



Control Predictivo Mejorado para un Convertidor Multinivel Asimétrico orientado a la Inyección de Energía Fotovoltaica

Profesor Guía : Dr. Javier Muñoz Vidal

Comité Evaluador : Dr. Pedro Melin Coloma
Dr. Johan Guzmán Díaz
Dr. Marco Rivera Abarca

Patricio Octavio Gaisse Aguirre

Curicó – Chile
2019

CONSTANCIA

La Dirección del Sistema de Bibliotecas a través de su encargado Biblioteca Campus Curicó certifica que el autor del siguiente trabajo de titulación ha firmado su autorización para la reproducción en forma total o parcial e ilimitada del mismo.



Two circular official stamps and handwritten signatures in blue ink. The left stamp is from the 'DIRECCIÓN SISTEMA DE BIBLIOTECAS UNIVERSIDAD DE TALCA' and the right stamp is from the 'SISTEMA DE BIBLIOTECAS CAMPUS CURICO'.

Curicó, 2021

Resumen

Hoy en día el aumento de la eficiencia de los paneles fotovoltaicos, junto con su decreciente costo a lo largo del tiempo ha dado pie a la masificación de las energías fotovoltaicas. Dicho lo anterior existen oportunidades para mejorar o desarrollar nuevos convertidores de potencia para la inyección de energía fotovoltaica a la red eléctrica.

Las soluciones existentes para resolver las problemáticas asociadas a los sistemas fotovoltaicos son los convertidores VSI (Voltage Source Inverter), NPC (Neutral Point Clamped) y CHB (Cascade H-Bridge). Sin embargo, las topologías CHB con fuentes DC asimétricas (9:3:1) generan una menor distorsión armónica y conmutan grandes cantidades de potencia a baja frecuencia de conmutación.

Del mismo modo existe una amplia variedad de estrategias de control para aplicaciones fotovoltaicas (control proporcional integrativo, control predictivo, entre otros). Las estrategias predictivas presentan un amplio rango de operación, rápida respuesta dinámica, permite la incorporación de restricciones en su función de costo y cuenta con reducidos estados válidos para topologías ACHB (Asymmetric Cascade H-Bridge), características que se pretenden explorar en esta tesis.

El presente trabajo propone una topología multinivel asimétrica de 27 niveles para aplicaciones fotovoltaicas, que considera una estrategia de control predictiva cuyo funcional permite minimizar las conmutaciones del convertidor. Esta propuesta asegura una inyección fotovoltaica altamente sinusoidal y estable ante perturbaciones de irradiancia, generando un bajo ripple en la señal de corriente y bajas pérdidas por conmutación.

Para validar el desempeño del control y la topología propuesta, primero se obtiene el modelo dinámico del sistema del lado AC y DC, el cual se comprueba mediante simulaciones computacionales. Posteriormente se realiza la implementación de un control maestro-esclavo, enfocado al control de tensión DC y corriente AC respectivamente.

Se simula la propuesta, y se obtiene un THD (Total Harmonic Distortion) en las señales de voltaje y la corriente del convertidor de un 7.07% y 1.53%, respectivamente, también se eliminan las conmutaciones indeseadas, propias del control predictivo en la celda de mayor potencia y se logra un correcto seguimiento en la tensión DC de la celda HPC. Por otra parte, se implementa un prototipo, en donde se inyecta energía a la red ante perturbaciones de irradiancia (con control DC) y se eliminan las conmutaciones no deseadas

en la celda mayor, generando un THD en la señal de voltaje y de corriente de 7.76% y 2.65% , respectivamente.

Agradecimientos

Se agradece el aporte de los estudiantes Laboratorio de Energías Renovables y Acondicionamiento Eléctrico (LERAE) por su contribución en la confección de este informe.

Este trabajo fue posible gracias al financiamiento del proyecto CONICYT/FONDECYT/1160806.

Dedicatoria

A mi familia y amigos.

Índice

Capítulo 1	Introducción	1
1.1	Introducción General	1
1.2	Revisión Bibliográfica	4
1.2.1	Trabajos Previos	4
1.2.2	Discusión Bibliográfica	13
1.3	Hipótesis de Trabajo	15
1.4	Objetivos	15
1.4.1	Objetivo General	15
1.4.2	Objetivos Específicos	15
1.4.3	Alcances	16
1.4.4	Metodología	16
Capítulo 2	Descripción del Proyecto de Tesis	19
2.1	Topología del Convertidor	19
2.2	Modulación del Convertidor	20
2.3	Modelo Dinámico del Convertidor	22
2.3.1	Modelo lado AC	22
2.3.2	Modelo lado DC	24
2.4	Algoritmo Predictivo	25
2.5	Ecuación de Estados Ceros	29
2.6	Estrategia de Control	31
2.7	Resultados de Simulación	32
2.7.1	Análisis en Estado Transiente	33
2.7.2	Análisis en Estado Estacionario	36
Capítulo 3	Construcción y Puesta en Marcha	40
3.1	Descripción General	40
3.2	Construcción de Sensores y Acondicionadores	43
3.2.1	Acondicionador General	44
3.3	Construcción de Puentes H y Aislación Eléctrica	45
3.4	Implementación de Tiempos Muertos	46
3.5	Implementación de Algoritmo de Enganche qPLL	49
3.6	Prototipo CMA	50
3.7	Desempeño de Celdas Convertidor Multinivel Asimétrico	52
3.8	Ecuación de estados válidos	57
Capítulo 4	Resultados Experimentales	58
4.1	Desempeño del CMA con Control Predictivo	58
4.2	Pruebas de Control de Corriente	61
4.3	Sintonización de Parámetros del Control Maestro	62
4.4	Análisis de resultados	62
Capítulo 5	Conclusiones	69
5.1	Sumario	69
5.2	Conclusiones	70
5.3	Trabajos Futuros	71
Capítulo 6	Bibliografía	72
Capítulo 7	Anexos	75

7.1	Código DSP.....	75
7.2	Código FPGA.....	88
7.3	PCB	92
7.3.1	Placa Puente H.....	92
7.3.2	Placa Sensor de Voltaje	93
7.3.3	Placa Acondicionadora de Voltaje	94
7.3.4	Placa Sensor de Corriente.....	94
7.3.5	Placa Acondicionadora de Corriente	95

Índice de Figuras

Fig. 2.1. Topología Multinivel Asimétrica	20
Fig. 2.2. Circuito Simplificado CMA	23
Fig. 2.3. Esquema Control Predictivo	25
Fig. 2.4. Señal celda HPC. (a) Señal con Conmutaciones no Deseadas. (b) Señal Esperada.	27
Fig. 2.5. Estados Cero en Puente H	30
Fig. 2.6. Esquema de control sistema monofásico	32
Fig. 2.7. Formas de Onda en Estado Transiente	35
Fig. 2.8. Formas de Onda Estado Estacionario.....	37
Fig. 2.9. Espectro armónico Simulación. (a) Tensión del convertidor, (b) corriente del convertidor.....	39
Fig. 3.1. Esquema de Elementos del Prototipo.....	40
Fig. 3.2. Sensores Aislados. (a) Sensor de Voltaje, (b) Sensor de Corriente	43
Fig. 3.3. Circuito Acondicionador General	44
Fig. 3.4. Esquema General Puente H.....	45
Fig. 3.5. Construcción Puente H.....	46
Fig. 3.6. Puente H Clásico	47
Fig. 3.7. Prueba Implementación de tiempo muerto	48
Fig. 3.8. Algoritmo qPLL	49
Fig. 3.9. Esquema Conexión Prototipo CMA.....	50
Fig. 3.10. CMA Experimental	52
Fig. 3.11. Esquema de Conexión para Prueba de Celdas	53
Fig. 3.12. Celda HPC con Modulación Escalera	54
Fig. 3.13. Celda MPC con Modulación Escalera	54
Fig. 3.14. Celda LPC con Modulación Escalera	55
Fig. 3.15. Salida de Voltaje del CMA	55
Fig. 3.16. Salida de Voltaje y Corriente del CMA	56
Fig. 3.17. Conmutación de tablas de estado en prototipo experimental	57
Fig. 4.1 Tensión de la celda HPC sin matriz de restricciones	59
Fig. 4.2 Tensión de la celda HPC con matriz de restricciones	59
Fig. 4.3 Desempeño Matriz de Restricción	60
Fig. 4.4 Desempeño Control de Corriente Predictivo	61
Fig. 4.5 Esquema de Control Maestro	62
Fig. 4.6. Voltaje DC HPC y Corriente del Convertidor	63
Fig. 4.7. Corrientes Antes del Cambio en la Irradiancia	64
Fig. 4.8. Corrientes Después del Cambio en la Irradiancia	64
Fig. 4.9 Espectro armónico Experimental. (a) Tensión del convertidor, (b) corriente del convertidor.....	67

Índice de Tablas

Tabla I. Matriz de Estados Válidos.	21
Tabla II. Matriz de Restricciones.	28
Tabla III. Tablas de Estados Cero.	30
Tabla IV. Parámetros de Simulación.....	32
Tabla V Elementos Prototipo	41
Tabla VI. Parámetros Implementación.....	42
Tabla VII. Tabla Comparativa THD i_c y v_c con control predictivo	68

Nomenclatura

Matrices

- s_c : matriz de estados válidos.
 M : matriz de restricciones.

Vectores

- v_{HPC} : voltaje AC celda HPC.
 v_{MPC} : voltaje AC celda MPC.
 v_{LPC} : voltaje AC celda LPC.
 v_9 : voltaje de salida DC celda de alta potencia.
 v_3 : voltaje de salida DC celda de mediana potencia.
 v_1 : voltaje de salida DC celda de baja potencia.
 V_{dc} : voltaje virtual convertidor.
 i_c : corriente del convertidor.
 i_L : corriente de la carga.
 v_s : voltaje de la red.
 v_c : voltaje del convertidor.
 V_{pv} : voltaje fotovoltaico.
 i_{pv} : corriente fotovoltaica.

Escalares

- R_c : resistencia del convertidor.
 R_L : resistencia de carga.
 R_s : resistencia de red.
 L_c : inductancia del convertidor.
 L_L : inductancia de la carga.
 L_s : inductancia de la red.
 C : Condensador enlace DC.
 i_c^d : corriente directa del convertidor.
 i_c^q : corriente de cuadratura del convertidor.
 i_c^{ref} : referencia de corriente plano abc .
 i_d^{ref} : referencia de corriente directa.
 i_q^{ref} : referencia de corriente de cuadratura.

v_s^d : voltaje directo de red.
 v_s^q : voltaje de cuadratura de la red.
 v_9^{ref} : referencia de voltaje de celda HPC.
 G_s : función de costo.
 f_s : frecuencia de la red.
 T_s : tiempo de muestreo.
 kp : ganancia proporcional.
 ki : ganancia integrativa.

Abreviaciones

Mayúsculas

IEEE	: Institute of Electrical and Electronics Engineers.
ACHB	: Asymmetric cascade H-Bridge.
SCHB	: Symmetric Cascade H-Bridge.
ERNC	: Non-Conventional Renewable Energy.
STATCOM	: Static Synchronous Compensator.
UPS	: Uninterruptible Power Supply.
2L-VSI	: Two Levels Voltage Source Inverter.
3L-NPC	: Three Levels Neutral Point Clamped.
AC	: Alternating Current.
MPPT	: Maximum Power Point Tracker.
DC	: Direct Current.
PWM	: Pulse Width Modulation.
NPC	: Neutral Point Clamped.
CHB	: Cascade H-bridge.
CMA	: Convertidor Multinivel Asimétrico.
THD	: Total Harmonic Distortion.
VSI	: Voltage Source Inverter.
CSI	: Current Source Inverter.
FACTS	: Flexible AC Transmission System.
HVDC	: High-Voltage Direct Current.
LA	: Lazo Abierto.
LC	: Lazo Cerrado.
PLL	: Phase Locked-Loop.
DSP	: Digital Signal Processing.
HPC	: High Power Cell.
MPC	: Medium Power Cell.
LPC	: Low Power Cell.
PI	: Proportional Integral.
IGBT	: Insulated Gate Bipolar Transistor.
FFT	: Fast Fourier Transform.
PCB	: Printed Circuit Board.
HPC	: High Power Cell.
MPC	: Medium Power Cell.
LPC	: Low Power Cell.

Minúsculas

<i>rms</i>	: Root Mean Square
<i>fp</i>	: Factor de Potencia.
<i>dq</i>	: Ejes Sincrónicos.
<i>abc</i>	: Ejes Trifásicos.

Capítulo 1 Introducción

1.1 Introducción General

En el contexto mundial a fines del 2017 la capacidad global de generación, a partir de fuentes renovables, aumentó 167 *GW* y alcanzó los 2.179 *GW* en todo el mundo, lo cual representa un crecimiento anual del 8.3%, el promedio de siete años consecutivos [1]. Por otra parte, en el mismo año se instalaron 99.1 *GW* de potencia a partir de fuentes fotovoltaicas y se espera que para este año se superen los 100 *GW* de potencia instalada [2]. El contexto nacional es similar, observándose un enorme crecimiento de la matriz eléctrica a partir de ERNC del 20.8% en 2019 [3], superando metas propuestas por la ley N°20.698, la cual imponía un 20% al 2025 [4]. Además, la legislación chilena ha impuesto una importante ley con el fin de fomentar el uso de estos tipos de energía, destacándose la ley N°20.571, la cual regula las tarifas de las inyecciones de energía en el sistema eléctrico provenientes de pequeñas fuentes de energías renovables [5]. Dicho lo anterior y observando la tendencia creciente de la incorporación de ERNC en la matriz eléctrica chilena, se han establecido metas políticas del 70% de crecimiento al año 2050, incluyendo la gran hidroeléctrica, sin embargo, se estima llegar a un 100% a esa fecha [3]. Lo anterior demuestra que en Chile y en el mundo existe un gran interés por la incorporación de ERNC en las distintas matrices eléctricas, con el fin de satisfacer las necesidades de los consumidores. Esto abre grandes oportunidades a la electrónica de potencia, la cual tiene la misión y obligación de integrar de manera eficiente las energías renovables a las distintas redes eléctricas y además garantizar la calidad y estabilidad de ellas, sobre todo en energías tan vulnerables a perturbaciones como la fotovoltaica.

La electrónica de potencia es un área multidisciplinaria que juega un rol fundamental y obligatorio en la incorporación de la energía fotovoltaica en el sistema eléctrico. De hecho, la fuerte masificación de esta energía abre un campo muy variado de dispositivos de potencia para aplicaciones en micro-redes, tales como compensadores estáticos (STATCOM), filtros activos, sistemas de alimentación ininterrumpida (UPS), inversores para inyección fotovoltaica, sistemas de generación distribuida, entre otros, destacándose por su uso

industrial los convertidores de punto neutro fijo (NPC), puente H en cascada (CHB) y convertidores multinivel modulares (MMC) [6] [7]. Si bien estas tecnologías han sido bien estudiadas por la comunidad científica, aún se pueden realizar mejoras en estrategias de control y topologías, con el fin de aumentar la calidad de las formas de onda, disminuir costos y aumentar rangos de potencia. Una de las alternativas más atractivas son las topologías multinivel, las cuales contienen un amplio campo de aplicaciones a nivel industria [8] [9] [10]- [11], debido a la alta calidad en sus señales de salida, al bajo número de componentes y altos rangos de potencia utilizando tecnología convencional [8]. En particular, el uso de topologías multinivel asimétricas permite aumentar aún más la calidad de la señal de salida del convertidor (en contraste a la topología simétrica) dependiendo de la asimetría entre sus fuentes DC [12] [13]. Sin embargo, debido a su naturaleza asimétrica esta topología presenta una importante distorsión armónica al momento de experimentar una falla en el módulo central, disminuyendo la calidad de la señal de salida del convertidor [10], por lo que es importante considerar módulos centrales extras para su oportuna mantención.

Por otra parte, los convertidores de potencia deben estar controlados por una estrategia de control que garantice los parámetros de frecuencia, fase, voltaje, corriente y potencia. Estos parámetros dependerán de la aplicación que se requiera, en cualquier caso, la estrategia de control es la encargada de realizar dicha labor. Existe una amplia variedad de estrategias de control para una infinidad de aplicaciones, tales como, control proporcional integrativo (PI), control proporcional resonante (PR), control por histéresis, control predictivo, control fuzzy, entre otros [14]. Particularmente la estrategia de control predictivo es adecuada para el control multi-variable en convertidores DC/DC y DC/AC, además presenta importantes ventajas de aplicación en convertidores multinivel asimétricos, debido a que en este se reduce considerablemente el coste computacional en comparación a su contraparte simétrica. Si bien esta estrategia ha sido bien estudiada por la comunidad científica [15]- [16], en donde se han visto desarrollos de diversas aplicaciones en convertidores multinivel [17]- [18], aún es posible encontrar nuevas mejoras, tanto en su optimización como en su aplicación en sistemas multi-variables. Y es así como en este trabajo se pretende optimizar la aplicación del control predictivo en topologías multinivel, reduciendo las conmutaciones indeseadas en la celda de mayor potencia, para evitar pérdidas por conmutación.

Dicho lo anterior, en este trabajo de tesis se pretende aplicar un convertidor multinivel asimétrico para inyectar energía fotovoltaica y garantizar la calidad de energía inyectada considerando los cambios de irradiancia de los arreglos fotovoltaicos y minimizando las conmutaciones de la celda de mayor potencia. Para esto se propone utilizar un convertidor multinivel asimétrico de 27 niveles a razón 9:3:1, comandado por una estrategia de control predictiva optimizada en su conmutación.

1.2 Revisión Bibliográfica

1.2.1 Trabajos Previos

A. Convertidores Multinivel

- X. Zhang, T. Zhao, W. Mao, D. Tan and L. Chang, "Multilevel Inverters for Grid-Connected Photovoltaic Applications: Examining Emerging Trends," in *IEEE Power Electronics Magazine*, vol. 5, no. 4, pp. 32-41, Dec. 2018.

Este artículo presenta las tecnologías multinivel más utilizadas para aplicaciones de inyección fotovoltaica ON-Grid, incluido los inversores de cinco niveles, inversores monofásicos no aislados y los inversores trifásicos de puente H en cascada aislados. Principalmente este artículo presenta las características principales de cada tecnología, entregando conclusiones importantes acerca del tamaño y las consecuencias del aumento de componentes en un multinivel de 5 niveles, la mayor eficiencia y menor costo de un inversor CHB monofásico y sus problemas de corriente de fuga y desequilibrios entre módulos, como también los altos rangos de potencia que pueden alcanzar los inversores fotovoltaicos CHB, lo cual entrega un potencial de aplicación prometedor para estas topologías.

Este documento posiciona a las topologías multinivel en cascada como una potencial alternativa para abordar la inyección de energía fotovoltaica, lo cual aporta con información y consideraciones para el desarrollo de esta tesis.

- F. Briz, M. Lopez, A. Rodriguez and M. Arias, "Modular Power Electronic Transformers: Modular Multilevel Converter Versus Cascaded H-Bridge Solutions," in *IEEE Industrial Electronics Magazine*, vol. 10, no. 4, pp. 6-19, Dec. 2016.

En este artículo se analizan los convertidores multinivel en cascada (CHB) y los convertidores multinivel modulares (MMC). Este análisis cubre aspectos como el número de celdas requeridas, las características de las dos topologías, las funcionalidades y sus potenciales usos.

Este documento entrega información general sobre el convertidor multinivel en cascada, destacando la modularidad, los rangos de potencia y las ventajas respecto a otras topologías que podrían ser considerados para justificar el desarrollo de esta tesis.

- P. Jana, S. Chattopadhyay, P. Bajpai and C. Chakraborty, "Asymmetrical cascaded multilevel inverter with single DC source using high frequency resonant converter," *2016 IEEE Students' Technology Symposium (TechSym)*, Kharagpur, 2016, pp. 73-78.

Este trabajo presenta un convertidor multinivel asimétrico de nueve niveles que utiliza solo una fuente DC. Este dispositivo cuenta con dos celdas de puente H, siendo la celda principal alimentada directamente desde la fuente DC (pudiendo ser baterías, sistema PV o celda de combustible) y la celda auxiliar es alimentada a través de un circuito resonante, el cual se abastece de la fuente DC.

Sin duda este trabajo es muy interesante y entrega una idea de cómo abordar el control y seguimiento de las celdas MPC (celda de mediana potencia) y LPC (celda de baja potencia), con el fin de asegurar la correcta proporción (9:3:1) respecto a la celda HPC.

- M. A. Hosseinzadeh, M. Sarbanzadeh, A. Salehi, M. Rivera, J. Munoz and P. Wheeler, "Performance Evaluation of Cascaded H-bridge Multilevel Grid-Connected Converter with Model Predictive Control Technique," *2019 IEEE International Conference on Industrial Technology (ICIT)*, Melbourne, Australia, 2019, pp. 1806-1811.

Este artículo presenta una interesante comparación entre topologías ACHB (puente H en cascada Asimétrica) y SCHB (puente H en cascada Simétrica) controladas por un modelo predictivo. Se compara el comportamiento dinámico de la corriente y el THD que generan las topologías de 7, 15 y 27 niveles. Se concluye que el control predictivo genera una respuesta dinámica muy rápida en los cambios de corriente y a su vez genera un THD muy pequeño en topologías asimétricas y simétricas (0.03% para el de 7 niveles, 0.01% para el de 15 niveles y 0.001% para el de 27 niveles).

Este trabajo entrega evidencia a la presente tesis de que si es factible implementar control predictivo en topologías ACHB, cuyos fundamentos servirán como respaldo para justificar algunos aspectos de esta tesis.

- S. Kouro, J. I. Leon, D. Vinnikov, L. G. Franquelo, “Grid-Connected Photovoltaic Systems”, *Industrial Electronics Magazine*, IEEE, March 2015.

Este artículo contiene un completo estudio sobre inversores para aplicaciones fotovoltaicas, describiendo la evolución desde el año 2000 hasta 2015 de los costos de instalación (mano de obra, materiales de construcción inversores, módulos fotovoltaicos, entre otros) y de distribución para las instalaciones de sistemas fotovoltaicos. También se habla sobre los requerimientos legales fotovoltaicos, de hecho, se realiza un resumen de los códigos y estándares internacionales, referentes a la aislación galvánica y detección anti-isla.

Uno de los temas fuertes abordados por este artículo es la configuración de sistemas fotovoltaicos, cuyo foco radica en una completa descripción de topologías para diversos tamaños de instalaciones fotovoltaicas (AC module, String Inverter, Multistring Inverter, Central Inverter), mencionando las ventajas y desventajas, eficiencias, rangos de potencia y voltajes de entrada para cada una. Se entrega además una revisión acerca de las configuraciones de estos sistemas con conexión a la red, describiendo aspectos como las eficiencias MPPT (Maximum Power Point Tracking) y eficiencia del convertidor para cada tipo de configuración (pequeña, mediana y alta escala). Finalmente se realiza un resumen de los avances en convertidores DC-DC para sistemas fotovoltaicos.

Sin duda, este trabajo aporta con un valioso estado del arte referente a las tecnologías utilizadas para aplicaciones fotovoltaicas, aportando además información específica acerca de las topologías multinivel asimétrico 1:2:4 utilizadas comercialmente.

- L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo and M. A. M. Prats, "The Age of Multilevel Converters Arrives," in *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28-39, June 2008.

Este artículo incluye una completa revisión, en donde se describen las principales características de los convertidores multinivel, detallando sus ventajas y desventajas. Se realiza una amplia clasificación de los convertidores de potencia existentes en la industria, nombrando las ventajas que poseen los convertidores multinivel por sobre los convertidores

clásicos de potencia. También, se entrega una revisión acerca de las distintas aplicaciones industriales que se les ha dado a estos convertidores.

Por otra parte, este trabajo aborda una amplia variedad de métodos de modulación para convertidores multinivel. Finalmente, se establece la aplicabilidad de cada tipo de modulación para distintas topologías multinivel abordadas.

Este trabajo será un gran aporte a la presente tesis de grado, ya que, permite entender de mejor forma el impacto que han tenido los convertidores multinivel en el área de electrónica de potencia y las grandes ventajas que lleva por encima de los sistemas de potencia clásicos. También, deja de manifiesto la versatilidad de esta configuración, mostrando los distintos tipos de aplicaciones para estos convertidores, dejando una idea más detallada y fomentando el inicio de futuros trabajos.

- S. Kouro *et al.*, "Recent Advances and Industrial Applications of Multilevel Converters," in *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2553-2580, Aug. 2010.

Este artículo entrega una completa revisión de las topologías multinivel clásicas, en las que se nombran las topologías NPC de tres niveles, la topología de puente H en cascada, entre otras. Análogamente se presenta un estudio de los rangos de potencia, salidas de voltaje, frecuencias, métodos de modulación, semiconductores de potencia y métodos de control para las topologías previamente mencionadas. También, se entrega una clasificación de los convertidores de potencia, específicamente las topologías multinivel de capacitor flotante, NPC, topologías en cascada, topologías híbridas y topologías multinivel matriciales. También se mencionan los avances recientes relacionados con estas topologías, y se destacan y describen los nuevos desarrollos que han sido aplicados a nivel industrial, entre estos, se puede nombrar la topología multinivel CHB con fuentes asimétricas.

Además, este documento cuenta con una revisión de los avances recientes en los métodos de modulación para topologías multinivel, mencionando los métodos de modulación clásicos y a los nuevos desarrollos relacionados con esta área de estudio. Además, se describen los avances recientes en los métodos de control para estas topologías, en donde se nombra y se describe la técnica de control predictivo.

Finalmente, se realiza una extensa revisión de las aplicaciones de los convertidores multinivel en distintas áreas: sistemas de potencia, aplicaciones automovilísticas, sistemas de propulsión, sistemas de transmisión, conversión y transmisión de energía.

Este artículo entrega un amplio contenido en el estado del arte de la presente tesis, junto con presentar detalles importantes acerca de la topología multinivel asimétrica, haciendo mención de los tipos de asimetrías, en los cuales se observa explícitamente el tipo de asimetría utilizado en esta tesis, mencionando como ventajas el aumento exponencial en el número de niveles al agregar más celdas, lo que permite obtener una señal de salida de mayor calidad. Por otro lado, esta topología permite conmutar las celdas de mayor potencia a frecuencia fundamental, reduciendo considerablemente las pérdidas por conmutación. Como desventajas se indica que al ser asimétrica las celdas están diseñadas para potencias y aislaciones térmicas diferentes, lo que quita modularidad a esta solución respecto al CHB simétrico. Culminando se obtiene información importante sobre la aplicación de técnicas predictivas para el control y modulación de los convertidores multinivel.

- J. Pereda and J. Dixon, "Cascaded Multilevel Converters: Optimal Asymmetries and Floating Capacitor Control," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 11, pp. 4784-4793, Nov. 2013.

Este trabajo presenta una revisión de las distintas configuraciones de los convertidores multinivel, las cuales son clasificadas por topologías monofásicas y trifásicas, entregando detalle a nivel de conexión de cada una de estas. También, se realiza una propuesta de dos métodos para sustituir las fuentes convencionales, los cuales consisten en reemplazar éstas por condensadores controlados o por un enlace flotante de alta frecuencia.

Por otro lado, se realiza un estudio sobre las distintas asimetrías utilizadas en los convertidores multinivel asimétricos, en función del número de niveles que entrega cada una. En dicho estudio se llega a la conclusión que la asimetría 3^n es la que genera mayor cantidad de niveles y menor distorsión armónica.

Sin duda, este trabajo aporta con un importante nivel de estudios relacionados con temas atinentes a esta tesis. Como se puede observar se analizan el control de fuentes DC por medio de la sustitución de fuentes ideales por condensadores, lo cual se pone en marcha en el presente trabajo. También se analiza el desempeño de distintos tipos de asimetrías, en donde se afirma que la asimetría 3^n es la que maximiza la cantidad de niveles a la salida del convertidor y por ende minimiza la distorsión armónica.

B. Control Predictivo

- J. Rodriguez et al., "State of the Art of Finite Control Set Model Predictive Control in Power Electronics," in *IEEE Transactions on Industrial Informatics*, vol. 9, no. 2, pp. 1003-1016, May 2013.

Este trabajo trata a fondo la estrategia de control predictiva, explicando detalladamente el algoritmo de control. También se entrega una clasificación de las aplicaciones en distintas topologías, tales como 3L NPC y CHB. También se entrega una revisión de las distintas funciones de costo aplicables para diferentes aplicaciones, tales como predicción de corriente, voltaje, torque, flujo, potencia activa, potencia reactiva, entre otros. Otro de los temas de interés abordados por este trabajo son las aplicaciones industriales que existen hasta el momento de este tipo de control, destacando los sistemas de generación distribuida, los filtros activos (AFs,) y acondicionadores de potencia, motores, energías renovables no convencionales (ERNC), entre otras. Finalmente se realiza una comparación entre las estrategias de control predictiva con las estrategias de control lineal, aplicada a dos topologías diferentes. La primera Two-Level Voltage Source Inverters (2L VSI) y NPC Multilevel Converter. Dicho estudio entregó conclusiones muy interesantes que destacan la superioridad del control predictivo respecto a los controladores clásicos (PI) en régimen transitorio, también se destaca que los controladores predictivos han demostrado un mejor comportamiento en el control desacoplado de las componentes de corriente, tanto en sistemas trifásicos como multifásicos. Sin embargo, el estudio concluyó que los controladores clásicos PI con PWM presentan un comportamiento en régimen estacionario superior a los esquemas de control predictivo.

Este trabajo aporta con los conocimientos pertinentes al momento de aplicar una estrategia de control predictivo, desde el algoritmo como tal hasta la función de costo y la aplicabilidad en distintos tipos de sistemas.

- S. Vazquez *et al.*, "Model Predictive Control: A Review of Its Applications in Power Electronics," in *IEEE Industrial Electronics Magazine*, vol. 8, no. 1, pp. 16-31, March 2014.

Este artículo proporciona una revisión de las aplicaciones del MPC en el área de electrónica, en donde se analizan trabajos publicados entre el 2007 y 2014 en IEEE Xplore relacionados con las palabras claves “Predictive” y “Power Converters”. Esta búsqueda entregó una gran cantidad de trabajos, los cuales fueron categorizados en cuatro grupos: convertidores conectados a la red, inversores con carga de salida RL , inversores con capacitor-inductor de salida (LC) y drivers de alto rendimiento. De acuerdo con estas categorías se abordó la implementación del control predictivo para cada una, explicando topologías, algoritmo predictivo y funciones de costo. También, se logra observar la aplicación del control predictivo en convertidores multinivel en cascada, lo cual entrega información y respaldo de la función de costo y el algoritmo predictivo para este trabajo de tesis.

- S. Vazquez, J. Rodriguez, M. Rivera, L. G. Franquelo and M. Norambuena, "Model Predictive Control for Power Converters and Drives: Advances and Trends," in IEEE Transactions on Industrial Electronics, vol. 64, no. 2, pp. 935-947, Feb. 2017.

Este trabajo describe el estado del arte de la estrategia de control MPC en distintas aplicaciones, se analizan las nuevas tendencias y desafíos existentes. Este artículo entrega principalmente una clasificación de las distintas aplicaciones en las cuales puede operar este tipo de control (CSC-AFE, Motores, STATCOM, HVDC, VSC-AFE, VSC-UPS y Matrix Converter). Para cada una de estas aplicaciones se establecen sus respectivas funciones de costo, lo cual entrega información clave para apoyar los fundamentos aplicados en esta tesis.

- E. Paredes, J. I. Simpson, J. Pontt and C. Silva, "Predictive current control of a Multilevel Active Filter for Industrial Installations," 2010 Joint International Conference on Power Electronics, Drives and Energy Systems & 2010 Power India, New Delhi, 2010, pp. 1-6.

En este trabajo se realiza un control predictivo para la compensación de corriente de un filtro activo shunt multinivel de nueve niveles. En primera instancia, se propone el bloque de control predictivo, considerando una función de costo, en donde el estado de los switches es determinado por el estado válido que minimice dicha función. Finalmente, se realiza un código de simulación en Matlab por medio de la herramienta Simulink, con el fin de validar los resultados.

Lo más relevante de este trabajo en la presente tesis es el bloque de control propuesto, ya que permite formar una idea general de las variables de entrada y salida del control.

- M. A. Perez, P. Cortes and J. Rodriguez, "Predictive Control Algorithm Technique for Multilevel Asymmetric Cascaded H-Bridge Inverters," in *IEEE Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4354-4361, Dec. 2008.

Este artículo presenta una descripción general de los convertidores multinivel, en donde se nombran las ventajas de los CHB con fuentes asimétricas por sobre los CHB con fuentes simétricas. Se muestra además un diagrama de flujo, el que representa el algoritmo de control predictivo. Posteriormente se realiza una implementación de dicho algoritmo de control sobre un convertidor CHB de 27 niveles, cuyos valores DC para cada celda fueron de 90V, 30V y 10V.

Este trabajo, si bien tuvo un objetivo de estudio diferente al de la presente tesis (evaluar el rendimiento dinámico del control predictivo en topologías multinivel), fue de mucho aporte para el desarrollo e implementación del control predictivo, de hecho, se utilizará un esquema y función de costo similar para la implementación del control de corriente.

- V. Yaramasu and B. Wu, "Predictive Control of a Three-Level Boost Converter and an NPC Inverter for High-Power PMSG-Based Medium Voltage Wind Energy Conversion Systems," in *IEEE Transactions on Power Electronics*, vol. 29, no. 10, pp. 5308-5322, Oct. 2014.

Este documento presenta un convertidor compuesto por un convertidor boost de tres niveles y topología NPC para un sistema eólico, en el cual se propone una estrategia predictiva para controlar el sistema, en donde se utilizan modelos de tiempo discreto de los dos convertidores para predecir el comportamiento futuro de las variables de control. Dichas predicciones se evalúan utilizando dos funciones de costo independientes y los estados de conmutación que minimizan estas funciones de costo se seleccionan para aplicarse a los convertidores pertinentes.

Este trabajo aporta con información relevante para la incorporación de múltiples variables de control, comandadas por estrategias predictivas, lo cual conforma parte del objetivo principal de esta propuesta.

- V. Yaramasu and B. Wu, "Model Predictive Decoupled Active and Reactive Power Control for High-Power Grid-Connected Four-Level Diode-Clamped Inverters," in *IEEE Transactions on Industrial Electronics*, vol. 61, no. 7, pp. 3407-3416, July 2014.

Este paper presenta un esquema predictivo para un inversor de cuatro niveles conectado a la red, el cual predice el comportamiento futuro de la potencia activa, reactiva y voltaje DC de los condensadores del enlace DC.

La función de costo del esquema predictivo abordado en este trabajo incorpora el control de voltaje DC y corriente AC y además incorpora funciones adicionales para un mejor desempeño del convertidor. Esto es de mucha ayuda para el presente trabajo, ya que, entrega una visión de cómo incluir múltiples variables y restricciones en una misma función de costo, lo cual permite sacar un mayor provecho al algoritmo predictivo.

- J. Muñoz, B. Soto, A. Villalón, M. Rivera, P. Cossutta and M. Aguirre, "Predictive Control of a 27-level Asymmetric Multilevel Current Source Inverter," *2018 IEEE International Conference on Environment and Electrical Engineering and 2018 IEEE Industrial and Commercial Power Systems Europe (EEEIC / I&CPS Europe)*, Palermo, 2018, pp. 1-6.

Este trabajo presenta una estrategia de control predictivo en una topología multinivel asimétrica de 27 niveles VSC. La estrategia de control manipula tanto la restricción de conmutaciones, la corriente de salida y el voltaje DC. El documento presenta información útil para considerar en la implementación del control predictivo de la presente tesis, tal como la manera de plantear la función de costo y la forma de como incluir restricciones en las conmutaciones.

- V. Yaramasu, M. Rivera, B. Wu and J. Rodriguez, "Predictive Control of Four-Leg Power Converters," *2015 IEEE International Symposium on Predictive Control of Electrical Drives and Power Electronics (PRECEDE)*, Valparaiso, 2015, pp. 121-125.

Este trabajo presenta un esquema predictivo para un convertidor fuente de voltaje de cuatro piernas y cuatro niveles. Se presenta un esquema predictivo de corriente (PCC) y un esquema predictivo de voltaje (PVC), cada uno controla la corriente de la carga y los voltajes de los capacitores del enlace DC, respectivamente. Esta entrega información de cómo abordar un control predictivo multivariable y un control DC sin reguladores lineales, lo cual puede aportar en trabajos futuros en la línea de esta tesis.

1.2.2 Discusión Bibliográfica

En el área de la electrónica de potencia existe una gran tendencia por los convertidores multinivel, debido a que estos presentan una gran versatilidad, alto rango de potencia y formas de onda altamente sinusoidales. Estos convertidores cuentan con configuraciones de única fuente DC y de múltiples fuentes DC. En configuraciones de una sola fuente DC se tienen las topologías NPC (Neutral Point Clamped) y MMC (Modular Multilevel Converter) y para configuraciones de múltiples fuentes DC se tienen las topologías CHB (Cascaded H-bridge) con fuentes DC simétricas y CHB con fuentes DC asimétricas [8] - [10]. Por otra parte, las técnicas de modulación para estos convertidores pueden ser variadas, en donde se pueden observar trabajos que aplican técnicas PWM (Pulse Width Module), modulación por espacios vectoriales, modulación por control predictivo, eliminación selectiva de armónicos y modulación escalera [8] [10] [13] [19] [20] [21] [22] [23] [24] [25]. Del mismo modo, existe una amplia variedad de estrategias de control aplicadas a los convertidores multinivel, en donde se observan estrategias lineales, tales como PI (Proporcional Integrativa) y PR (Proporcional Resonante) [25] [26] y estrategias no lineales como control predictivo [16].

La puesta en marcha de una topología multinivel asimétrica implica algunas consideraciones, la primera es la cantidad de niveles que se pretende obtener en la señal de tensión del convertidor. Dicha cantidad viene dada por el tipo de asimetría en la tensión de sus fuentes DC, lo cual determina el nivel de distorsión armónica en la señal de corriente del convertidor. En la literatura se observan asimetrías que entregan de 3, 5, 9 y 27 niveles [13] [27]. Por otra parte, es de mucha importancia asegurar la asimetría de las fuentes DC, por lo que se necesitan convertidores DC/DC para dicha tarea [28] [29], también existen otros trabajos que abordan el control de las celdas menores [30]. Es importante considerar que el incumplimiento en la asimetría implica una distorsión armónica en la señal de salida del convertidor, lo cual se puede traducir en pérdidas atribuidas a la generación de armónicos en

la señal de corriente.

Las topologías asimétricas han tomado lugar en la industria mundial, y es así como se muestra en algunos artículos [8] [10]. Tal son los desarrollos de estos convertidores que ya tienen un lugar bien definido en el área industrial, de hecho se pueden observar aplicaciones, tales como convertidores multinivel orientados a propulsión marina, aplicaciones fotovoltaicas, automovilística, FACTS, STATCOM, filtros activos HVDC, entre otros [10]- [11]. Particularmente utilizar un convertidor multinivel para inyección de energía fotovoltaica tiene muchos beneficios, debido a que es posible abarcar amplios rangos de potencia con topologías multinivel simétricas, con tan solo aumentar el número de celdas, y en el caso asimétrico es posible reducir las pérdidas por conmutación, conmutando a frecuencia fundamental (50Hz) la celda del inversor central.

El enfoque de esta tesis se basará particularmente en los convertidores multinivel asimétrico con puente H en cascada. Si bien existen varias asimetrías para estos convertidores [31] [32], existen estudios relacionados con los diferentes tipos de asimetrías y se ha comprobado que la proporción que cuenta con menor componente armónico a la salida del convertidor es la 9:3:1 [12] [13].

Finalmente, la estrategia de control es un punto importante a considerar al momento de controlar alguna variable eléctrica del convertidor. Particularmente el control predictivo es adecuado para controlar múltiples variables [33] y además permite la inclusión de restricciones para mejorar su desempeño [15] - [16]. Existen diversos estudios en donde se aplican técnicas predictivas en topologías multinivel [17] - [33]. Por otra parte, existen estudios que comparan este tipo de control con estrategias clásicas (PI) conmutadas con técnicas PWM para una topología determinada, En donde se observó la superioridad del control predictivo en la respuesta transiente, pero inferioridad en la respuesta estacionaria [15].

1.3 Hipótesis de Trabajo

- **H1:** es posible controlar los flujos de corriente AC en un convertidor multinivel asimétrico de 27 niveles, usando una estrategia de control predictivo.
- **H2:** mediante una estrategia maestro-esclavo, es posible controlar los flujos de corriente AC y la tensión DC de manera simultánea.
- **H3:** es factible mejorar la estrategia de control predictivo añadiendo restricciones a la función de costo con el objetivo de limitar conmutaciones y reducir las pérdidas por conmutación en la celda de mayor potencia.

1.4 Objetivos

1.4.1 Objetivo General

- Desarrollar un esquema de control maestro-esclavo para un convertidor multinivel asimétrico de 27 niveles que considere el seguimiento predictivo de corriente, el control lineal de la tensión en la celda de mayor potencia y la limitación de conmutaciones de ésta.

1.4.2 Objetivos Específicos

- Desarrollar un control predictivo capaz de controlar la corriente de un convertidor asimétrico de 27 niveles.
- Establecer una penalización en la función de costo para limitar las conmutaciones en los cambios de estado de la celda HPC.
- Incorporar una estrategia de alternación de tablas de conmutación para asegurar la distribución equitativa de pérdidas en los semiconductores de una misma celda.
- Por medio de una simulación computacional, evaluar el desempeño de un convertidor multinivel asimétrico de 27 niveles (controlado por la estrategia propuesta) para la inyección de energía fotovoltaica a una micro-red ante la presencia de variaciones de irradiancia.
- Implementar un prototipo de baja potencia operando en lazo cerrado para validar los resultados de las simulaciones.

1.4.3 Alcances

- Las simulaciones computacionales se realizarán en el software Matlab y en PSIM.
- Los switches utilizados en las simulaciones serán considerados ideales.
- Para efectos de simulación e implementación se considerará un sistema monofásico.
- No se considerará el control DC de las celdas de baja potencia y media potencia.
- Para la modulación y el control se considerará un esquema predictivo.
- Las simulaciones del convertidor multinivel asimétrico incluirán perturbaciones de irradiancia en los paneles fotovoltaicos.
- El prototipo experimental operará en lazo cerrado.
- La potencia del prototipo experimental será de 5 kW.
- La alimentación DC del convertidor será a través de un emulador solar.
- No se realizará un análisis cuantitativo de las pérdidas.
- Se considerará el convertidor conectado a la red.
- El prototipo se controlará a través de FPGA Spartan-6 y DSP TMS320f28335.
- No se incorporará algoritmos MPPT.

1.4.4 Metodología

Estudio y revisión bibliográfica.

- *Revisión bibliográfica en IEEEExplore de los temas relevantes:* se realiza una revisión selectiva del estado del arte de convertidores multinivel, control predictivo y temas complementarios al desarrollo de la propuesta.
- *Estudio de la topología del convertidor:* en esta etapa se estudia todo lo relacionado con estas topologías, haciendo énfasis en topologías orientadas a la inyección de energías fotovoltaicas.
- *Obtención del modelo dinámico del sistema AC:* en esta etapa se formaliza el comportamiento de convertidor, obteniendo su modelo dinámico.
- *Obtención del modelo matemático del sistema DC:* se propone un modelo dinámico que describa el comportamiento del lazo DC.
- *Estudio sobre la estrategia de control predictivo:* de acuerdo con la revisión del estado del arte respecto al control predictivo, se seleccionan artículos que aborden la

integración de restricciones en la función de costo y la aplicación de control predictivo en sistemas fotovoltaicos.

- *Estudio sobre la ecualización de los estados cero del convertidor multinivel:* se realiza un análisis de como generar, distribuir y aplicar las tablas de estados válidos para la equitativa distribución de los estados cero en el convertidor.
- *Estudio sobre el esquema de control más adecuado para el sistema propuesto:* se estudia cómo aplicar un control en cascada, considerando el control DC y control AC

Simulación de algoritmo de conmutación.

- *Simulación algoritmo de conmutación en Matlab y PSIM:* se simula un algoritmo de conmutación escalera para comprobar el desempeño de la topología.
- *Simulación de conmutación a través de control predictivo y PSIM:* se establece un modelo predictivo de corriente general, se discretiza y se programa en PSIM en lazo abierto, para evaluar su desempeño, tanto en control de corriente como en modulación.
- *Simulación del esquema de control LA para inyección y control DC:* en esta etapa se propone y simula una estrategia de control maestro-esclavo en lazo abierto, en donde se determina la corriente necesaria para mantener el voltaje DC en una referencia determinada.
- *Simulación del esquema de control LC para inyección de potencia a la red, ante cambios de irradiancia.:* en esta etapa se cierra el lazo de control maestro-esclavo y se comprueba el desempeño de ambos controles ante perturbaciones en la irradiancia de los paneles fotovoltaicos.

Implementación del prototipo.

- *Diseño y fabricación de placas de potencia y de control:* en esta etapa se diseñan las placas puente-H, sensores de corriente y voltaje, acondicionadores de corriente y voltaje, y otras placas necesarias para el prototipo.
- *Programación de tiempos muertos en FPGA:* en esta etapa se realiza la programación de los tiempos muertos, en donde se toman 6 señales de entrada y se generan 6 salidas adicionales desfasadas en 180°. Estas 12 salidas son necesarias para conmutar correctamente la topología en cascada.

- *Programación de algoritmo de conmutación en DSP:* al igual que los algoritmos programados en PSIM, se realiza la programación del algoritmo de conmutación escalera para comprobar el desempeño de las celdas de potencia.
- *Comprobar funcionamiento de sensores:* aquí se calibran los sensores de voltaje y corriente, para luego asegurar que lo medido está llegando de manera adecuada a la DSP.
- *Programación de algoritmo de control en DSP:* se establece el tiempo de muestreo y se programa el algoritmo predictivo en la DSP.

Pruebas experimentales.

- *Realizar prueba de sensores de corriente y de voltaje AC:* se realiza una serie de pruebas en la calibración de los sensores de voltaje y corriente, para asegurar su adecuado funcionamiento.
- *Realizar pruebas de estados válidos:* se verifican las señales HPC, MPC, LPC, y la señal de voltaje del convertidor, determinado si los estados corresponden a los de la simulación y verificando si la señal de voltaje del convertidor cumple con el máximo de 27 niveles.
- *Realizar pruebas de control predictivo básico:* en esta etapa se realizan pruebas de control de corriente y cambios dinámicos, con el fin de comprobar el desempeño del control predictivo básico.
- *Realizar pruebas de control predictivo con mejoras implementadas:* se implementa una tabla de restricciones en la función de costo del control predictivo y se comprueba la eliminación de las conmutaciones no deseadas.
- *Realizar estudios del desempeño ante aplicación de perturbaciones:* se realiza un estudio del desempeño del esquema maestro-esclavo, en donde se realizan perturbaciones en la generación de los paneles fotovoltaicos conectados a la celda HPC.

Capítulo 2 Descripción del Proyecto de Tesis

2.1 Topología del Convertidor

En este trabajo de tesis se presenta una topología multinivel asimétrica de 27 niveles orientada a la inyección de energía fotovoltaica a una micro red eléctrica. En la Fig. 2.1 se logra observar la topología, la cual está compuesta por tres celdas monofásicas High Power Cell (HPC), Medium Power Cell (MPC) y Low Power Cell (LPC) conectadas en cascada. Cada una de estas considera el uso de módulos fotovoltaicos con diferentes niveles de tensión DC, cuya proporción es de 9:3:1. Es posible encontrar en la literatura otras asimetrías para este convertidor [34] [35] sin embargo se ha demostrado que la relación 9:3:1 minimiza los estados redundantes [12] [13] y por lo tanto se genera menor contenido armónico en la forma de onda resultante del convertidor. Debido a la distribución asimétrica de los voltajes, HPC maneja como máximo un 70% de la potencia total del convertidor, mientras que el 30% restante se distribuye entre los módulos MPC y LPC. Estas dos últimas celdas deben asegurar la proporción respecto a la tensión DC de la celda HPC pese a los cambios de irradiancia en los paneles fotovoltaicos. Dicho esto, es importante señalar que la relación de voltajes para las celdas inferiores debe asegurarse mediante lazos de control externos y hardware adicional (convertidores DC/DC) [29].

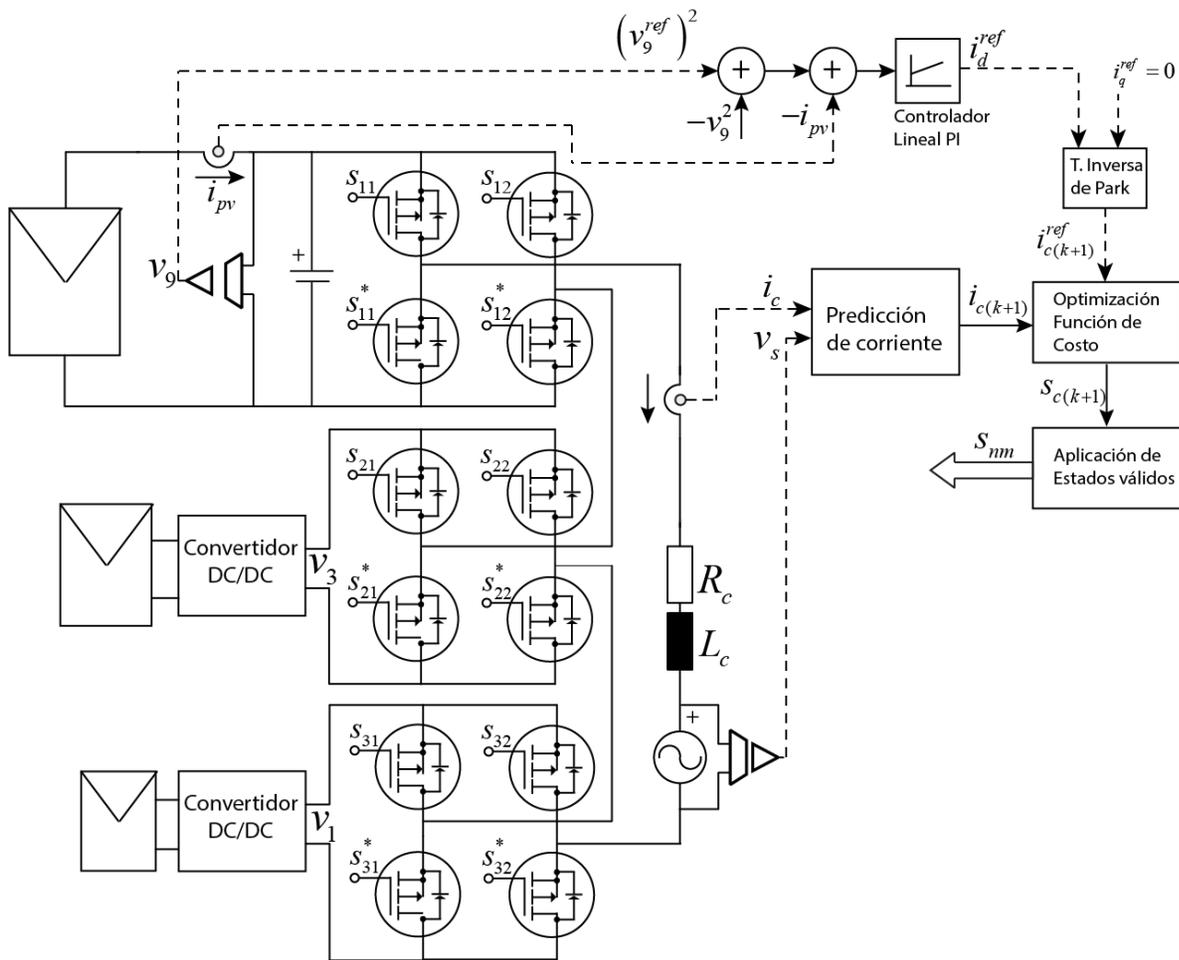


Fig. 2.1. Topología Multinivel Asimétrica.

2.2 Modulación del Convertidor

Para poner en marcha la modulación del convertidor es necesario identificar los estados válidos de éste. Si bien para una topología de tres celdas de puentes H en cascada existen 64 estados válidos, 37 de estos son estados redundantes ‘cero’, por lo que no es posible utilizarlos para otro fin que no sea la alternación equitativa de pérdidas entre los semiconductores de las celdas del convertidor, ya que estos no influyen en la señal de salida del convertidor. Dicho esto, solamente se utilizarán dos matrices de 27 estados válidos, en donde la primera matriz considerará los estados ceros ‘11’ y la segunda considerará los estados ceros ‘00’. En la sección 1.1 se abordará con mayor detalle este tópico, el cual tiene como objetivo principal, la distribución equitativa de los estados ceros en cada celda, con el fin de distribuir de manera equitativa las pérdidas por conducción de los semi-conductores de las tres celdas. Los estados válidos generalizados para este convertidor se muestran en la

Tabla I, en donde los estados marcados enmarcados son los que presentan conmutaciones no deseadas generadas por el control predictivo estándar. Dicha problemática se desarrollará ampliamente en secciones posteriores.

Tabla I. Matriz de Estados Válidos.

Estado	Nivel	HPC	MPC	LPC	Voltaje convertidor
1	-13	-1	-1	-1	$-V_9 - V_3 - V_1$
2	-12	-1	-1	0	$-V_9 - V_3$
3	-11	-1	-1	+1	$-V_9 - V_3 + V_1$
4	-10	-1	0	-1	$-V_9 - V_1$
5	-9	-1	0	0	$-V_9$
6	-8	-1	0	+1	$-V_9 + V_1$
7	-7	-1	+1	-1	$-V_9 + V_3 - V_1$
8	-6	-1	+1	0	$-V_9 + V_3$
9	-5	-1	+1	+1	$-V_9 + V_3 + V_1$
10	-4	0	-1	-1	$-V_3 - V_1$
11	-3	0	-1	0	$-V_3$
12	-2	0	-1	+1	$-V_3 + V_1$
13	-1	0	0	-1	$-V_1$
14	0	0	0	0	0
15	1	0	0	+1	$+V_1$
16	2	0	+1	-1	$+V_3 - V_1$
17	3	0	+1	0	$+V_3$
18	4	0	+1	+1	$+V_3 + V_1$
19	5	+1	-1	-1	$+V_9 - V_3 - V_1$
20	6	+1	-1	0	$+V_9 - V_3$
21	7	+1	-1	+1	$+V_9 - V_3 + V_1$
22	8	+1	0	-1	$+V_9 - V_1$
23	9	+1	0	0	$+V_9$
24	10	+1	0	+1	$+V_9 + V_1$
25	11	+1	+1	-1	$+V_9 + V_3 - V_1$
26	12	+1	+1	0	$+V_9 + V_3$
27	13	+1	+1	+1	$+V_9 + V_3 + V_1$

2.3 Modelo Dinámico del Convertidor

2.3.1 Modelo lado AC

Para formalizar el comportamiento del convertidor, es necesario obtener el modelo dinámico del sistema. Para esto se definen las siguientes ecuaciones.

$$V_{dc} = v_9 + v_3 + v_1 \quad (2.1)$$

Donde V_{dc} es el voltaje DC total del convertidor que se conforma por v_9 (voltaje DC de la celda HPC), $v_3 = \frac{v_9}{3}$ (voltaje DC de la celda MPC) y $v_1 = \frac{v_9}{9}$ (Voltaje DC de la celda LPC).

$$v_c = s_c V_{dc} \quad (2.2)$$

Donde v_c representa el voltaje AC del convertidor y s_c es la función de conmutación que representa los 27 estados válidos no redundantes del convertidor.

Del mismo modo v_c puede ser representado por la sumatoria de las señales AC de cada celda.

$$v_c = v_{HPC} + v_{MPC} + v_{LPC} \quad (2.3)$$

Donde v_{HPC} , v_{MPC} y v_{LPC} corresponden al voltaje AC de las celdas HPC, MPC y LPC, respectivamente.

Con la ayuda del circuito simplificado de la Fig. 2.2 se obtiene la siguiente ecuación dinámica del convertidor.

$$v_s = L_c \frac{d}{dt} i_c + R_c i_c + s_c V_{dc} \quad (2.4)$$

Una vez obtenido el modelo dinámico del convertidor es necesario obtener su equivalente discreto [36]. Esto es requerido para programar el algoritmo predictivo y poder evaluar cada estado válido del convertidor de manera discreta.

Para esto se aplica una aproximación de Euler de primer orden en la derivada de la ecuación dinámica (2.4).

$$v_{s(k)} = L_c \frac{i_{c(k+1)} - i_{c(k)}}{T_s} + R_c i_{c(k)} + s_{c(k)} V_{dc} \quad (2.5)$$

Reordenando, (2.5) obtiene la corriente a predecir $i_{c(k+1)}$.

$$i_{c(k+1)} = \frac{T_s}{L_c} (v_{s(k)} - s_{c(k)} V_{dc}) + \left(1 - \frac{T_s R_c}{L_c}\right) i_{c(k)} \quad (2.6)$$

Finalmente, (2.6) predice el estado futuro de la corriente del convertidor.

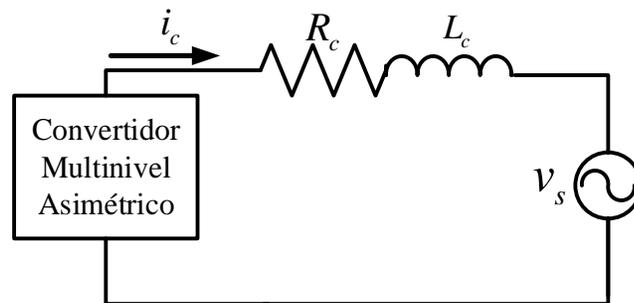


Fig. 2.2. Circuito Simplificado CMA.

2.3.2 Modelo lado DC

Por otra parte, también es necesario formalizar el comportamiento del enlace DC de la celda HPC, con el fin de aplicar un lazo de control maestro. Para esto se considera un balance de potencia entre el convertidor y el condensador de la celda HPC.

$$\frac{1}{2} \frac{CdV_{pv}^2}{dt} = v_s^d i_c^d - V_{pv} i_{pv} \quad (2.7)$$

La ecuación (2.7) representa el balance de potencias entre el lado AC del convertidor y el condensador del lado DC, donde V_{pv} representa el voltaje del condensador, el cual también es representado por v_o . Aplicando la transformada de Laplace a (2.7) y considerando el término $-V_{pv} i_{pv}$ como una perturbación se tiene:

$$V_{pv}^2 = \frac{2v_s^d}{sC} i_c^d \quad (2.8)$$

de la ecuación (2.8) se obtiene la función de transferencia del sistema, la cual se representa en la ecuación (2.9).

$$G_s = \frac{V_{pv}^2}{i_c^d} = \frac{2v_s^d}{sC} \quad (2.9)$$

A partir de la función G_s , se realizó el cálculo de parámetros del correspondiente lazo de control PI, para esto se estableció un tiempo de asentamiento (t_s) de 2 s, con un sobrepaso del 0% ,lo cual dio como resultado un $kp = 0.00040292$ y un $ki = 0.0001477$.

2.4 Algoritmo Predictivo

El diagrama de la Fig. 2.3 muestra cada una de las etapas correspondientes al control predictivo, en donde se observa una etapa de medición, en la cual se obtiene la medición de la corriente del convertidor i_c y el voltaje de la red v_s , posteriormente se aplica el estado de conmutación óptimo $s_{c(k)}$, obtenido en la predicción anterior. Luego de esto se inicializa el proceso de evaluación de la ecuación

(2.6), dicho proceso se repite 27 veces, lo cual corresponde al número de estados válidos considerados en el convertidor. Una vez obtenido $i_{c(k+1)}$ se procede a calcular la función de costo g_j , cuyo valor depende de la diferencia absoluta entre $i_{c(k+1)}^{ref}$ y $i_{c(k+1)}$, luego este valor se optimiza, considerando el estado válido que genere el mínimo valor g_j . Por último, se almacena el estado válido óptimo para ser aplicado en el siguiente ciclo de control.

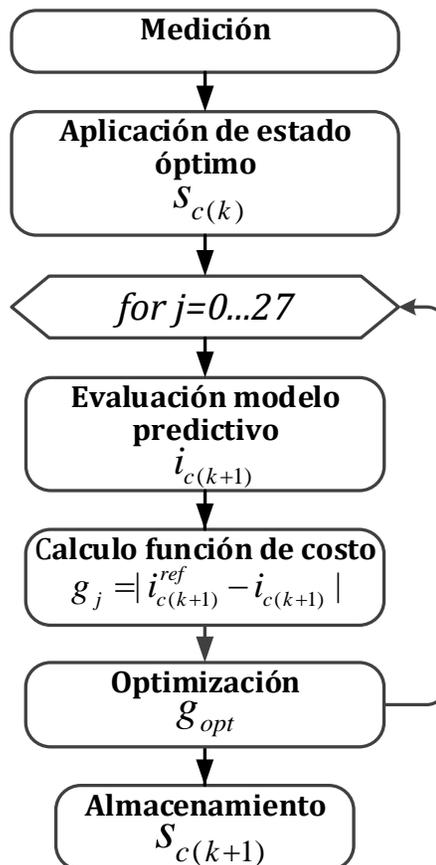
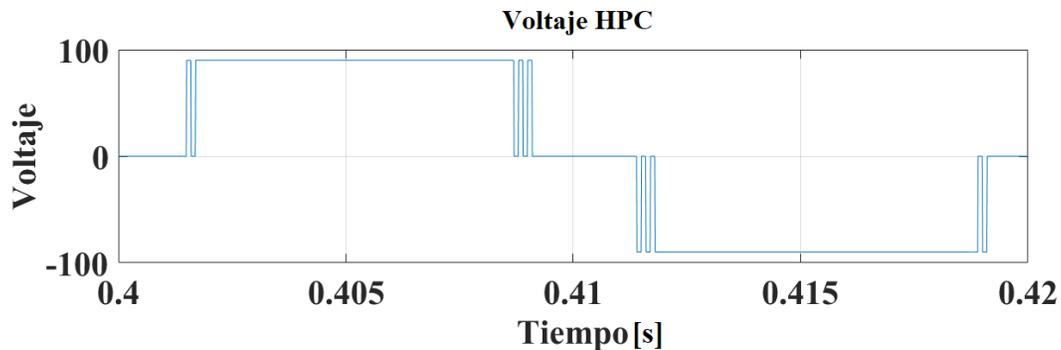


Fig. 2.3. Esquema Control Predictivo.

Siguiendo los pasos del diagrama de la Fig. 2.3 se logró un correcto control sobre la corriente del convertidor, sin embargo, se observaron varias conmutaciones en los cambios

de estado de las celdas. De acuerdo a la naturaleza del convertidor se determinó que dichas conmutaciones aportan un efecto negativo en la celda HPC (véase la Fig. 2.4 (a)), ya que esta manipula la mayor cantidad de potencia (máximo 70%), por lo cual se generarían pérdidas por conmutación adicionales respecto a una señal sin conmutaciones (véase la Fig. 2.4 (b)). Si bien en las celdas MPC y LPC también se produce el mismo efecto, estos se consideran muy inferiores, respecto a la celda HPC, por lo cual no se considerarán en el presente estudio. El efecto que produce las conmutaciones adicionales es normal en lazos predictivos sobre todo si este no cuenta con un elemento penalizador de conmutaciones en su función de costo. Dicho esto, se propone establecer una matriz de penalizaciones (basándose en un método abordado en el artículo [37]) que limite las conmutaciones adicionales producidas en los cambios de estado de la celda HPC. Por lo tanto, se aplicará un nuevo término en la función de costo, el cual servirá como restricción para eliminar estas conmutaciones indeseadas. Este término será una matriz cuyo valor estará en función del estado actual $s_{c(k)}$ y el estado futuro $s_{c(k+1)}$. Tras aplicar esta matriz de restricciones en la función de costo del control predictivo se espera obtener una señal parecida a la Fig. 2.4 (b).



(a)

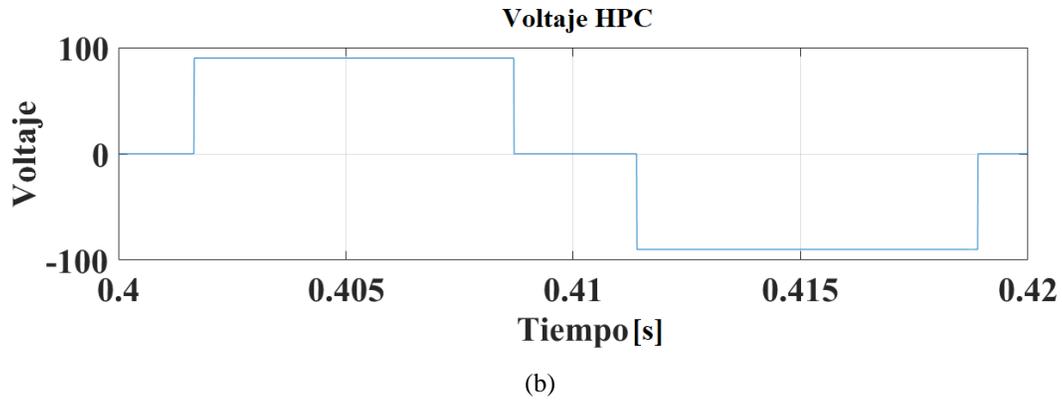


Fig. 2.4. Señal celda HPC. (a) Señal con Conmutaciones no Deseadas. (b) Señal Esperada.

Para realizar la matriz de restricciones es necesario considerar los estados válidos de la Tabla I. En dicha tabla se logra observar que los estados enmarcados son los que generan las conmutaciones en la celda HPC. Considerando lo anterior se generará la matriz de restricciones descrita en la Tabla II, la cual se aplicará como una nueva componente en la función de costo $M_{(k)(k+1)}$.

Tabla II. Matriz de Restricciones.

$S_{c(k)} / S_{c(k+1)}$	1	...	9	10	...	18	19	...	27
1	0	...	0	1	...	1	1	...	1
:	:		:	:		:	:		:
9	0	...	0	1	...	1	1	...	1
10	1	...	1	0	...	0	1	...	1
:	:		:	:		:	:		:
18	1	...	1	0	...	0	1	...	1
19	1	...	1	1	...	1	0	...	0
:	:		:	:		:	:		:
27	1	...	1	1	...	1	0	...	0

La Tabla II nace de la Tabla I y está compuesta por 27 filas y 27 columnas, cuyas filas representan el estado válido actual $s_{c(k)}$ y las columnas representan el estado válido futuro $s_{c(k+1)}$. El contenido de la entrega las regiones de conmutación en función de los estados actuales y futuros previamente mencionados, en donde '1' representa conmutación entre los estados y '0' la no conmutación entre estos. La lógica de la Tabla II consiste en posicionarse en el estado actual y determinar si el estado futuro conmuta la celda HPC. Es de esperar que, al momento de conmutar indeseadamente, la función de costo aumente su valor impidiendo la aplicación del respectivo estado futuro, a no ser que realmente se produzca un cambio en la celda HPC y se entre a la zona de no-conmutación. Con este método se asegura la reducción de conmutaciones de manera eficiente en la celda HPC.

Considerando lo anterior, se tiene que la nueva función de costo se denotará de la siguiente manera:

$$g_j = |i_{c(k+1)}^{ref} - i_{c(k+1)}| + \lambda M_{(k)(k+1)} \quad (2.10)$$

Donde g corresponde a la función de costo $M_{(k)(k+1)}$ es la matriz de restricciones mostrada en la Tabla II, k es el estado actual, $k+1$ estado a evaluar y λ corresponde al parámetro de ponderación que se calcula en función del error máximo admisible en la función de costo que se desea obtener.

2.5 Ecuación de Estados Ceros

Con el fin de sacar el máximo provecho a la topología propuesta, es preciso utilizar estratégicamente los estados ceros del convertidor, con tal de distribuir de manera equitativa la carga en los semiconductores y evitar el desgaste parcial de estos. En la Fig. 2.5. se muestra un esquema básico de la celda de puente H, en donde se observa el estado cero ‘11’, el cual implica que tanto s_{11} como s_{12} están cerrados, lo que indica que la celda no entrega ningún tipo de tensión, sin embargo, permite el paso de la corriente ante una eventual carga en los terminales T_1 y T_2 . Cabe mencionar que los interruptores s_{11}^* y s_{12}^* están desfasados 180° respecto a s_{11} y s_{12} .

En caso de solamente utilizar el estado cero ‘11’, los semiconductores s_{11} y s_{12} sufrirían una mayor carga respecto a los semiconductores s_{11}^* y s_{12}^* , lo que produce un desequilibrio en el desgaste de estos. Dicho lo anterior, una manera adecuada de distribuir equitativamente la carga de los semiconductores es alternar cada un ciclo de onda las dos tablas de estado (incluyendo el estado cero ‘00’ de la ruta azul), cuya única diferencia es el valor de los estados cero, siendo en la primera tabla el estado cero ‘11’ y en la segunda el estado cero ‘00’, véase las Tabla III (a)-(b).

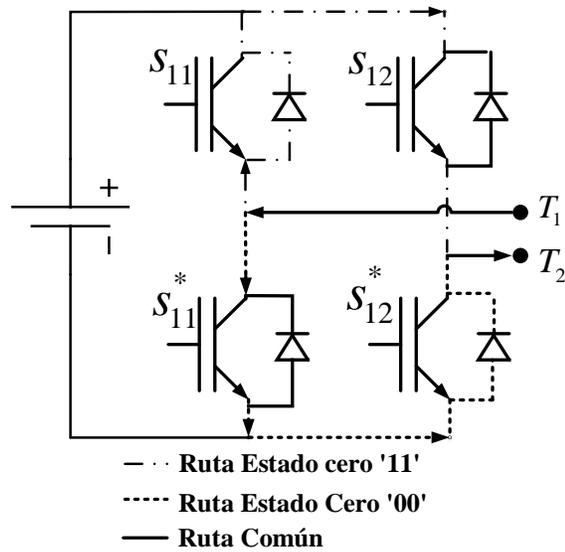


Fig. 2.5. Estados Cero en Puente H.

Tabla III. Tablas de Estados Cero.

(a) Tabla de estados con estados cero "00", (b) Tabla de estados con estados cero "11".

(a)							(b)						
Nivel	s_{11}	s_{12}	s_{21}	s_{22}	s_{31}	s_{32}	Nivel	s_{11}	s_{12}	s_{21}	s_{22}	s_{31}	s_{32}
-13	0	1	0	1	0	1	-13	0	1	0	1	0	1
-12	0	1	0	1	0	0	-12	0	1	0	1	1	1
-11	0	1	0	1	1	0	-11	0	1	0	1	1	0
-10	0	1	0	0	0	1	-10	0	1	1	1	0	1
-9	0	1	0	0	0	0	-9	0	1	1	1	1	1
-8	0	1	0	0	1	0	-8	0	1	1	1	1	0
-7	0	1	1	0	0	1	-7	0	1	1	0	0	1
-6	0	1	1	0	0	0	-6	0	1	1	0	1	1
-5	0	1	1	0	1	0	-5	0	1	1	0	1	0
-4	0	0	0	1	0	1	-4	1	1	0	1	0	1
-3	0	0	0	1	0	0	-3	1	1	0	1	1	1
-2	0	0	0	1	1	0	-2	1	1	0	1	1	0
-1	0	0	0	0	0	1	-1	1	1	1	1	0	1
0	0	0	0	0	0	0	0	1	1	1	1	1	1
1	0	0	0	0	1	0	1	1	1	1	1	1	0
2	0	0	1	0	0	1	2	1	1	1	0	0	1
3	0	0	1	0	0	0	3	1	1	1	0	1	1
4	0	0	1	0	1	0	4	1	1	1	0	1	0
5	1	0	0	1	0	1	5	1	0	0	1	0	1
6	1	0	0	1	0	0	6	1	0	0	1	1	1
7	1	0	0	1	1	0	7	1	0	0	1	1	0
8	1	0	0	0	0	1	8	1	0	1	1	0	1
9	1	0	0	0	0	0	9	1	0	1	1	1	1
10	1	0	0	0	1	0	10	1	0	1	1	1	0
11	1	0	1	0	0	1	11	1	0	1	0	0	1
12	1	0	1	0	0	0	12	1	0	1	0	1	1
13	1	0	1	0	1	0	13	1	0	1	0	1	0

2.6 Estrategia de Control

El diagrama de la Fig. 2.6. muestra la propuesta de control, la cual considera un enfoque maestro-esclavo. El lazo maestro corresponde al control DC de la celda HPC del convertidor, mientras que el lazo esclavo corresponde al control de corriente del lado AC de éste. El bloque maestro es implementado a través de un lazo proporcional integrativo (PI), mientras que el bloque esclavo se controla a través de un lazo predictivo.

El lazo esclavo es el responsable de controlar la corriente del convertidor de acuerdo con la referencia de corriente activa y reactiva i_d^{ref} y i_q^{ref} proporcionadas de manera externa, en donde i_d^{ref} es entregada por el control maestro y i_q^{ref} es establecida en cero. Este bloque tiene como objetivo proporcionar el set de estados válidos para el futuro estado del convertidor $s_{c(k+1)}$. Posteriormente se observa un bloque inverso de Park el cual transforma las referencias del plano dq al plano abc , entregando la referencia de corriente futura $i_{c(k+1)}^{ref}$. Dicha señal llega al bloque de control predictivo (descrito en la Fig. 2.3) de igual forma que la corriente del convertidor y el voltaje de la red.

Por otra parte se puede observar un bloque PI encargado de controlar la tensión en la celda HPC del convertidor, el cual se alimenta con la diferencia entre las señales $(v_9^{ref})^2$ y v_9^2 (véase la ecuación (2.6)), en donde v_9^{ref} se establece en $39 V$ y v_9 es la medición de la tensión DC de la celda HPC. La salida de este bloque PI proporciona la referencia de corriente directa para mantener la tensión de la celda HPC en la referencia $(v_9^{ref})^2$.

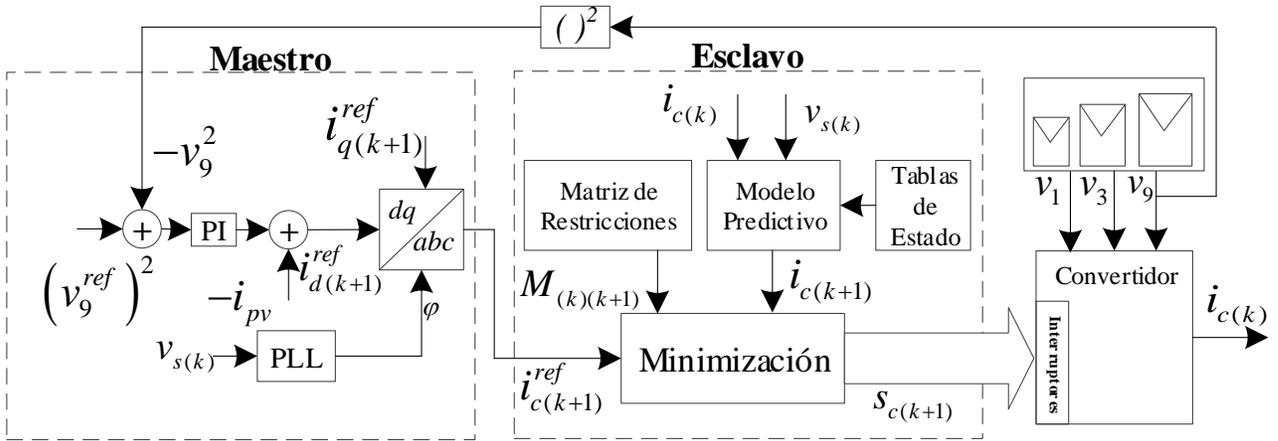


Fig. 2.6. Esquema de control sistema monofásico.

2.7 Resultados de Simulación

En esta sección se mostrarán y discutirán las principales formas de onda obtenidas con los métodos presentados en esta propuesta.

Este trabajo se simuló en el software PSIM y Matlab, y se consideraron perturbaciones de irradiancia en el arreglo fotovoltaico conectado a la celda HPC. También cabe mencionar que en este trabajo se considerarán los parámetros de la Tabla IV.

Tabla IV. Parámetros de Simulación

Elemento	Descripción	Valor
R_c	Resistencia del Convertidor	10Ω
L_c	Inductor del Convertidor	20 mH
v_s	Voltaje de la Red	20 V
C	Condensador Celda HPC	$4700 \mu\text{F}$
v_c	Voltaje del convertidor	56.4 V
v_9^{ref}	Referencia Voltaje DC	39 V
i_q^{ref}	Referencia Corriente q	0 A
f_s	Frecuencia del Sistema	50 Hz

2.7.1 Análisis en Estado Transiente

En la siguiente sección se realizará un análisis dinámico de las señales obtenidas por simulación, con el propósito de demostrar el correcto seguimiento de la señal de corriente a través del enfoque maestro-esclavo.

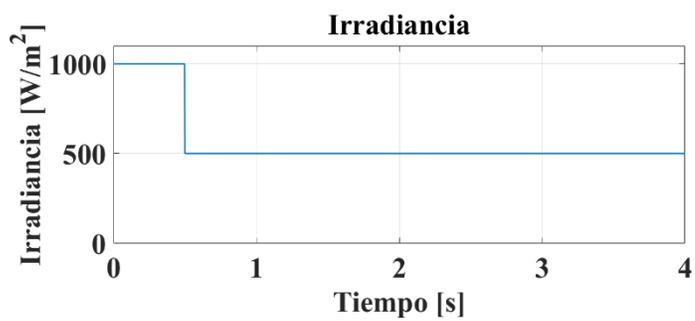
Para evaluar el desempeño de la estrategia de control se impuso un valor inicial de irradiancia de $1000 W / m^2$ para el arreglo fotovoltaico de la celda HPC. A partir de los $0.5 s$ se disminuyó la irradiancia a $500 W / m^2$ emulando una eventual pérdida de generación en los paneles fotovoltaicos a raíz del efecto sombra (véase la Fig. 2.7 (a)). Una vez impuesto este cambio en la generación fotovoltaica se observa en Fig. 2.7 (b) que la corriente del convertidor en $t < 0.5 s$ se encuentra en estado estacionario en un valor de $3A$. En $t > 0.5 s$ se produce el cambio dinámico en la generación fotovoltaica y se observa una caída en la señal de corriente i_c y la corriente de referencia i_d^{ref} (generada por el lazo maestro). Esta última desciende gradualmente hasta llegar a un valor final de $1.5 A$. Dicha disminución se produce debido a que la generación fotovoltaica disminuye y por ende la corriente inyectada a la red también disminuye. Se observa que, ante el cambio dinámico, la corriente se ajusta a las nuevas condiciones de generación con el fin de asegurar que el condensador de la celda HPC se mantenga en la referencia v_g^{ref} , véase la Fig. 2.7 (c).

Si bien la dinámica del control predictivo en lazo abierto es bastante rápida (del orden de los ms), en un esquema maestro-esclavo esta dinámica se ve regida por el sistema más lento, que en este caso corresponde al control de tensión de la celda HPC, el cual se lleva a cabo por un control proporcional integrativo (PI) con un tiempo de asentamiento de $2 s$ y un sobrepaso del 0% . Por esta razón la corriente i_c demora $2 s$ en llegar a su referencia.

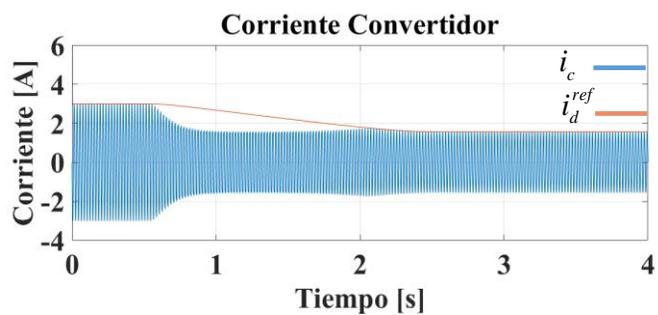
Cabe mencionar que tanto para la corriente y voltaje DC se presenta un ripple mayor en $t < 0.5 s$ respecto a $t > 0.5 s$ lo cual se debe a que este lazo corresponde a un bloque PI (control lineal), el cual está diseñado para un punto de operación específico, por lo tanto, al momento de cambiar las condiciones de operación (perturbación de irradiancia) se observa una disminución del ripple en la respuesta de ambas variables. Dicho efecto también se atribuye a que las nuevas condiciones de generación implican manipular una menor cantidad de corriente.

Por otra parte, en la Fig. 2.7 (d) se muestra el voltaje AC de la celda HPC, el cual tiene una amplitud conmutada entre 0 y $\pm 39V$. en $t > 0.5 s$ se observa que el voltaje de esta celda demora alrededor de 2 s en estabilizarse.

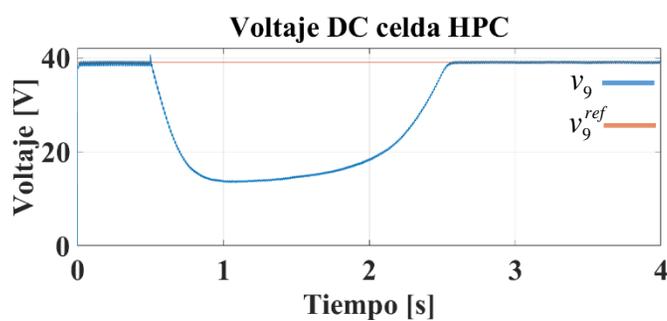
La Fig. 2.7 (e) muestra la potencia instantánea inyectada hacia la red, en donde se puede observar que en $t < 0.5 s$ esta tiene un valor en estado estable de 80 W . Sin embargo, dicho valor desciende a 40 W debido a la disminución en la generación de los paneles fotovoltaicos.



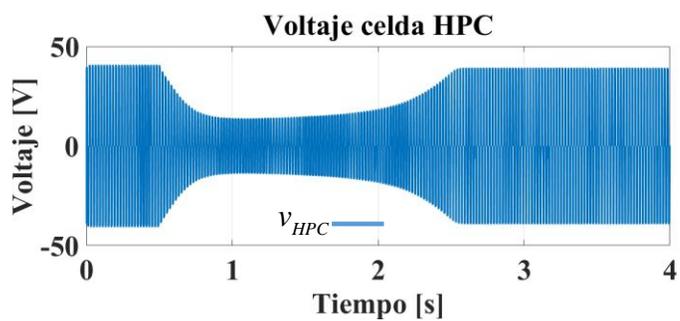
(a)



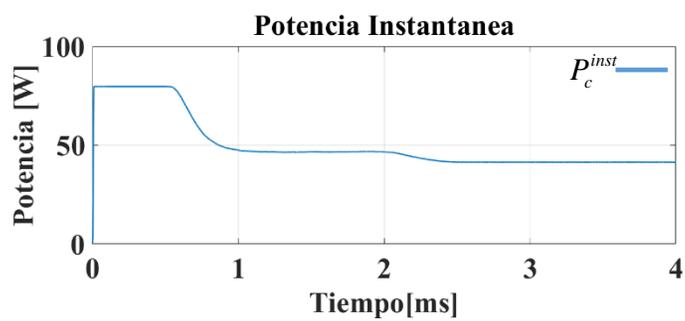
(b)



(c)



(d)



(e)

Fig. 2.7. Formas de Onda en Estado Transiente.

2.7.2 Análisis en Estado Estacionario

En esta sección se comentarán los resultados obtenidos en simulación, principalmente se pretende confirmar la correcta respuesta del sistema en estado estacionario y además demostrar la eficaz eliminación de las conmutaciones no deseadas, lo cual comprende parte de los objetivos de la presente tesis.

En la Fig. 2.8 (a) se muestra la señal obtenida en la celda HPC aplicando la matriz de restricciones $M_{(k)(k+1)}$, mientras que en la Fig. 2.8 (b) se muestra la señal obtenida en la celda HPC sin aplicar la matriz dicha matriz. Es importante mencionar que, para cada ciclo de onda, la celda HPC debería conmutar solo 4 veces y no 16 veces como se muestra en Fig. 2.8 (b). Se observa que con la restricción de conmutaciones en la función de costo se eliminaron completamente las conmutaciones producidas en los cambios de estado de HPC, por lo tanto, y considerando las cifras anteriores, se eliminaron a un 25% las conmutaciones en la celda HPC con ayuda de la matriz de restricciones en la función de costo.

Las celdas MPC y LPC de las Fig. 2.8 (c)-(d) no muestran cambios ante las perturbaciones, debido a que, para efectos de simulación, las celdas son alimentadas con fuentes DC externas de 30 y 10 V. Se puede observar que existen conmutaciones adicionales en los cambios de estado de las celdas MPC y LPC, esto es debido a la naturaleza del control predictivo y a la ausencia de restricciones en la función de costo para mitigarlas. De hecho, se estableció que las conmutaciones de las celdas menores generan un impacto despreciable (respecto a las conmutaciones en la celda HPC) en la señal de salida del convertidor.

La Fig. 2.8 (e) muestra la señal de voltaje del convertidor, en donde se aprecia la forma escalonada debido a la naturaleza de la topología multinivel asimétrica 9:3:1, obteniendo un máximo de 27 niveles.

La Fig. 2.8 (f) muestra la señal de corriente del convertidor, en donde se obtuvo un THD en las señales de corriente y voltaje de 1.53% y 7.07%, respectivamente. Dichos valores se posicionan dentro de los estándares recomendados por la IEEE [38].

Finalmente, en la Fig. 2.8 (g), se muestra la conmutación de las tablas de estado, en donde se asegura una distribución equitativa de los estados cero, lo que impide el trabajo desigual de los semiconductores del convertidor.

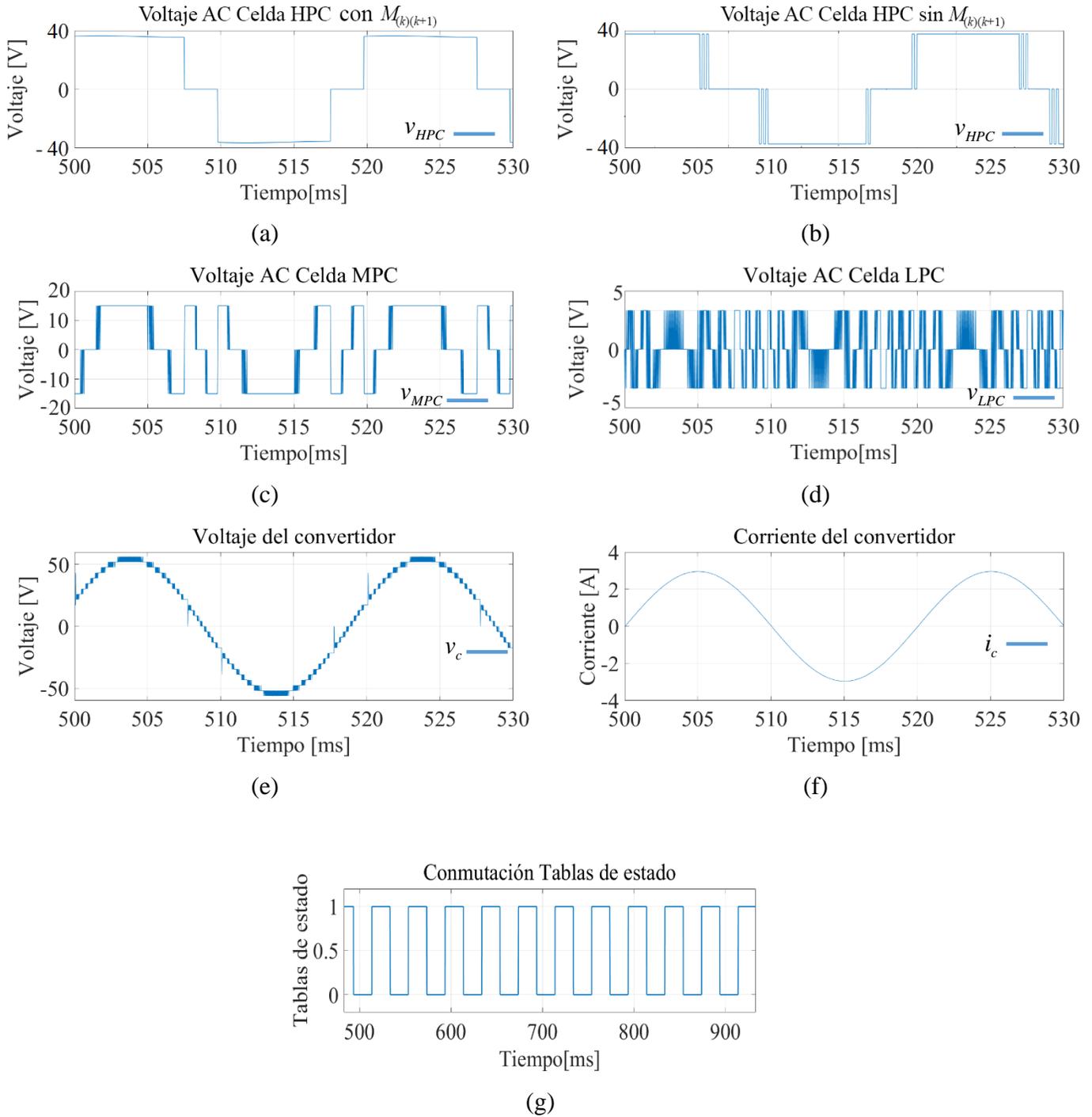


Fig. 2.8. Formas de Onda Estado Estacionario.

La Fig. 2.9 (a) y (b) muestra el espectro armónico de las señales de voltaje y corriente del convertidor utilizando control predictivo, en donde se utiliza una escala logarítmica en el eje y , con el propósito de mostrar con mayor claridad toda las componentes del espectro.. Por otra parte, el eje x representa los armónicos de la señal, donde el primer armónico corresponde a la frecuencia fundamental (50 Hz), los demás armónicos (del 2 al 50) son múltiplos de la fundamental.

Es importante mencionar que el espectro armónico de voltaje concentra su mayor amplitud (42 V) en la frecuencia fundamental (50 Hz). La amplitud del resto de las componentes armónicas se encuentra muy lejos de la amplitud fundamental y pueden ser fácilmente eliminadas al con la aplicación de algún filtro. La Fig. 2.9 (a) y (b) demuestran la baja componente armónica de este convertidor, respecto a otras topologías, lo cual es una de las razones por las cuales se propone como solución a las problemáticas planteadas en la sección 1.

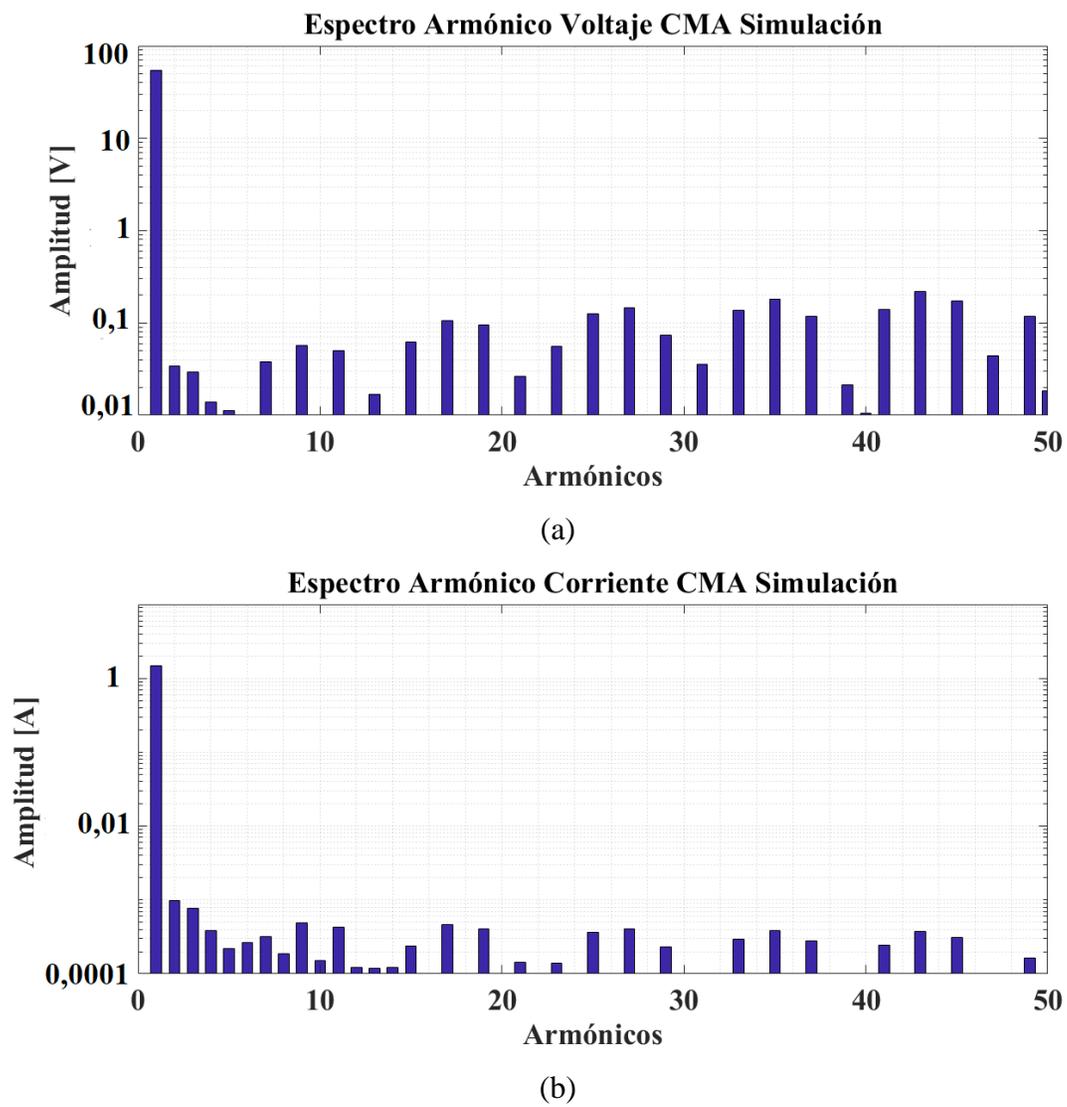


Fig. 2.9. Espectro armónico Simulación. (a) Tensión del convertidor, (b) corriente del convertidor

Capítulo 3 Construcción y Puesta en Marcha

3.1 Descripción General

Hasta el momento se ha descrito detalladamente el tema de tesis, se han abordado modelos dinámicos, esquemas de control y resultados de simulación. En este capítulo se tomará lo previamente visto y se abordará del punto de vista de implementación experimental, en donde existen varios aspectos a tomar en cuenta que por supuesto la construcción, programación, conexión, alimentación y sincronización de la señal tomará la mayor demanda de tiempo y esfuerzo.

En la Tabla V se describen los principales componentes del prototipo y en el diagrama de la Fig. 3.1 se muestra como interactúan entre sí.

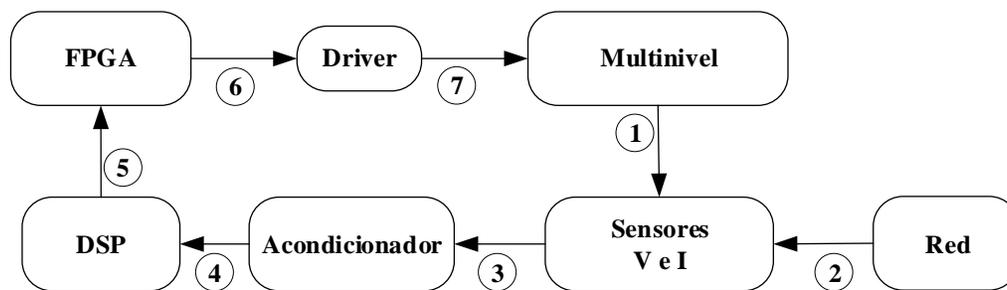


Fig. 3.1. Esquema de Elementos del Prototipo

- 1) Voltaje DC y corriente AC del convertidor.
- 2) Voltaje y corriente AC de la red Eléctrica.
- 3) Señales de sensores en corriente proporcional a la medición.
- 4) Señales de sensores en voltaje entre 0 y 3 V .
- 5) Seis señales de disparo provenientes de la DSP
- 6) doce señales de disparo transmitidas por fibra óptica
- 7) Disparos eléctricamente aislados.

Tabla V Elementos Prototipo

DSP	En este procesador digital de señales se programarán todos los algoritmos relacionados con el control, la conmutación y el procesamiento de las señales analógicas proveniente de los sensores. Este dispositivo tiene como entrada las señales de los sensores de voltaje y corriente, y como salida 6 señales de conmutación (2 señales por cada puente H).
FPGA	Este dispositivo tiene como entrada las 6 señales entregadas por la DSP y tiene como salida 12 señales en fibra óptica. Como se puede observar, este dispositivo es el encargado de generar las 6 señales restantes, las cuales son generadas respecto a las originales y consideran el tiempo muerto necesario para no alcanzar los estados prohibidos en las piernas del convertidor, evitando cortos circuitos y por ende el deterioro de las celdas.
Driver	Esta etapa está incorporada al puente H y es la encargada de tomar los pulsos de la FPGA (fibra óptica) aislar eléctricamente las señales de control a la entrada.
Multinivel	Este es el sistema y conexión en cascada de las celdas puente H
Sensores V e I	Aquí se incluyen sensores aislados para el voltaje DC de la celda HPC y sensores de corriente aislados para la corriente del convertidor, corriente de la red, corriente de la carga y la corriente de generación PV.
Acondicionador	Este dispositivo está diseñado para el sensor de corriente y el sensor de voltaje, cuyo objetivo juega un rol fundamental en el acondicionamiento de señal, permitiendo transformar una señal en corriente alterna ($4-20\text{ mA}$) a una señal de alterna de 0 a 3.3 V .
Red	La red eléctrica es a la cual el sistema debe ser capaz de inyectar energía fotovoltaica. De esta red se extrae la señal de voltaje para el posterior enganche PLL.

Por otra parte, es importante considerar que para todas las pruebas que se realizarán de ahora en adelante, se considerarán los parámetros de implementación de la Tabla VI.

Tabla VI. Parámetros Implementación

R_c	Resistencia del convertidor	10Ω
L_c	Inductancia del convertidor	20 mH
R_L	Resistencia de carga	5Ω
L_L	Inductancia de carga	20 mH
v_s	Voltaje de red	20 V
v_c	Voltaje del convertidor	56.4 V
C	Condensador celda principal	$4700 \mu\text{F}$
v_9^{ref}	Referencia DC celda principal	39 V
f_s	Frecuencia del sistema	50 Hz

3.2 Construcción de Sensores y Acondicionadores

Un aspecto importante de abordar a la hora de implementar un control a lazo cerrado es la recepción íntegra de las señales de corriente de la red eléctrica y voltaje DC, considerando la completa aislación entre el lado de potencia y el lado de control (baja potencia). Es por esto que en este trabajo se optó por utilizar sensores aislados de efecto Hall, los cuales aseguran completa aislación y brindan seguridad a nuestro sistema de baja potencia. Dichos sensores son ilustrados en la Fig. 3.2.

Por otra parte, se fabricaron las placas para montar cada uno de estos sensores, ver anexos 7.3.2 y 7.3.4.

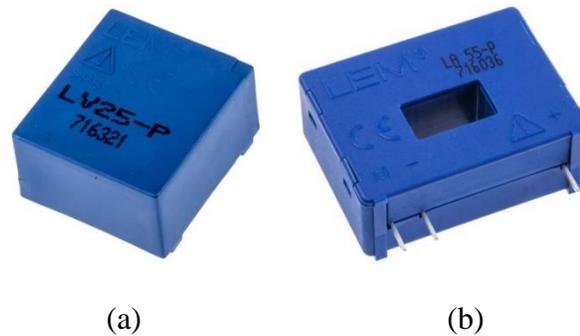


Fig. 3.2. Sensores Aislados. (a) Sensor de Voltaje, (b) Sensor de Corriente

Luego de establecer el tipo de sensor, es necesario conocer las especificaciones de cada uno, en donde se tiene para el sensor de voltaje, una relación entrada salida de 2500:1000y para el sensor de corriente una relación de 1:2000. Se considera también que estos sensores por si solos pueden entregar magnitudes negativas, lo cual no es permitido en las entradas analógicas del procesador digital de señales (DSP). Dicho lo anterior es necesario diseñar y construir una etapa acondicionadora para cada sensor, la cual transforme la señal entregada por el sensor a una señal análoga de 0 V a 3 V adecuada para la DSP.

3.2.1 Acondicionador General

La Fig. 3.3 muestra el esquema general utilizado para acondicionar la señal entregada por los sensores de corriente y voltaje. Se pueden observar 3 etapas, primera es la etapa seguidora, en donde se obtiene la señal entregada por el sensor (posterior a la resistencia de medición previamente calculada). La segunda etapa involucra el offset, el cual se establece en 1.5 V , con el fin de trabajar en un mayor rango (positivo) a la entrada analógica de la DSP. Por último, la etapa sumadora es la encargada de unir tanto la señal censada como el offset, con esto se asegura una señal de medición entre 0 V y 3 V . Las placas PCB se pueden ver en los anexos 7.3.4 y 7.3.5. Posteriormente se procedió a desarrollar las PCB y posterior construcción en formato SMD.

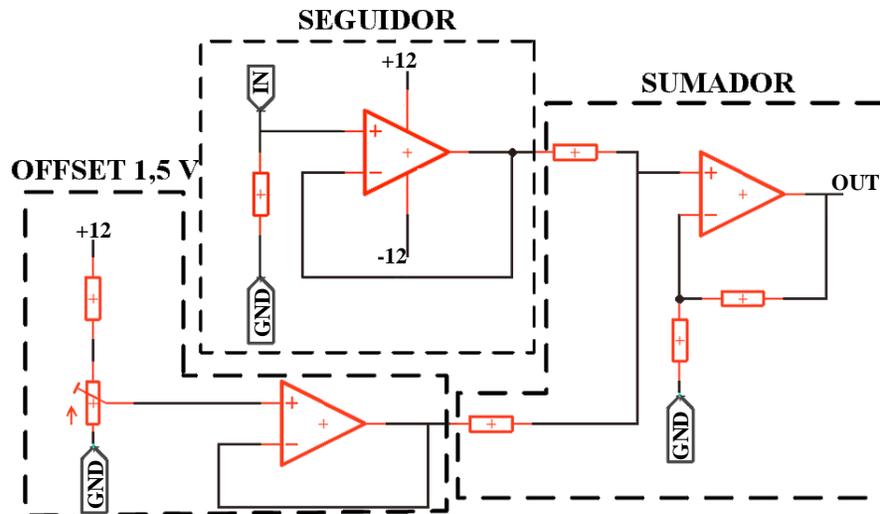
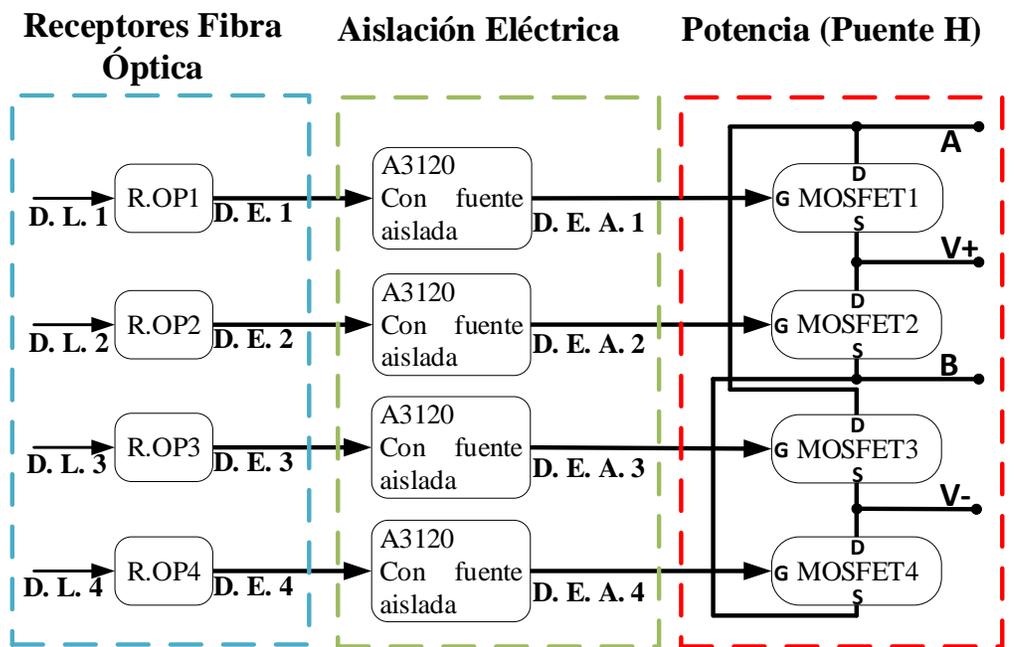


Fig. 3.3. Circuito Acondicionador General

3.3 Construcción de Puentes H y Aislación Eléctrica

Para el diseño y construcción de las celdas de potencia hay que considerar diversos aspectos, dentro de los más importantes, se abordará la aislación eléctrica tanto de la FPGA hacia la placa de potencia, como la aislación entre los pulsos de disparo en cada compuerta de los cuatro MOSFET que componen el puente H. El esquema de la Fig. 3.4 representa las tres etapas que se considerarán para el diseño y fabricación de la placa puente H, en donde se puede observar una etapa receptora, la cual se encarga de mantener aislación eléctrica entre la FPGA y la celda puente H a través de fibra óptica, también realiza la conversión de disparos de luz a pulsos eléctricos. La segunda etapa es la aislación eléctrica, en donde se utiliza un optoacoplador aislado A3120, alimentado con fuentes independientes (Mornsun). Esta etapa entrega una señal aislada eléctricamente para posteriormente controlar las compuertas (G) de cada MOSFET. Por último, la etapa de potencia es la encargada de generar la señal sinusoidal, en función de los disparos recibidos en su compuerta (G), se puede observar que los interruptores están interconectados en forma de puente H.



D. L. : Disparo de Luz D. E. :Disparo Eléctrico D. E. A. : Disparo Eléctrico Aislado

Fig. 3.4. Esquema General Puente H

Considerando el esquema de la Fig. 3.4, se realizaron los esquemáticos y PCB en el programa EAGLE (Ver anexo 7.3.1), y luego se fabricaron y probaron. En la Fig. 3.5 se puede observar la placa completamente construida y además se aprecian las etapas especificadas en el esquema de la Fig. 3.4.

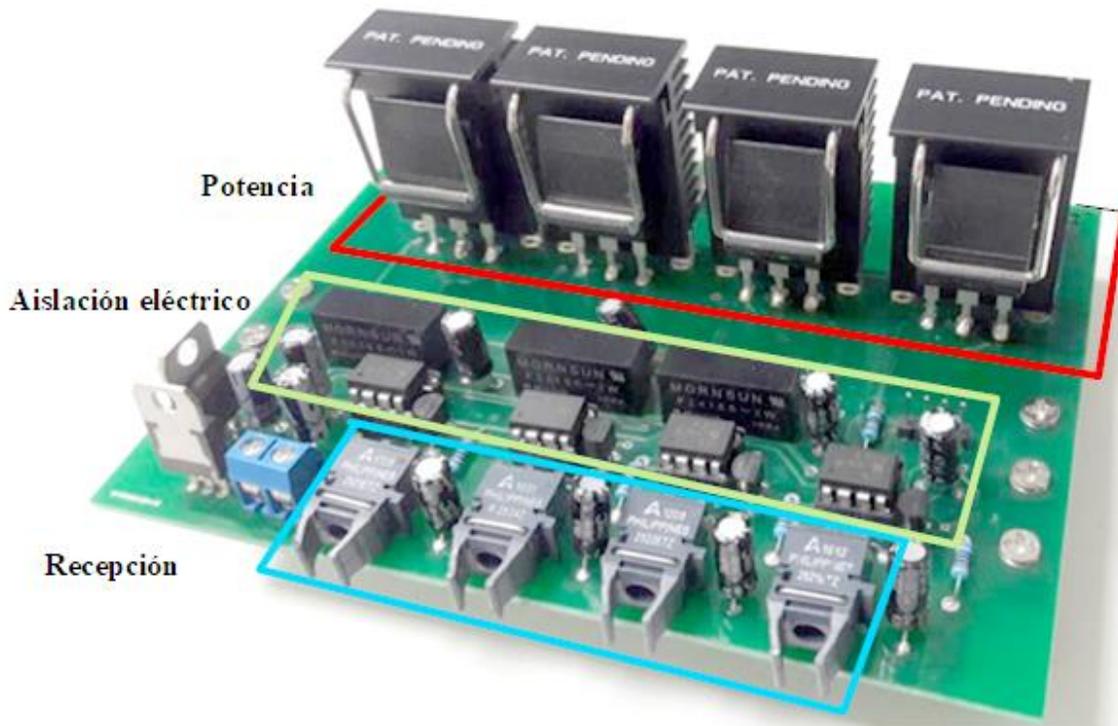


Fig. 3.5. Construcción Puesto H

3.4 Implementación de Tiempos Muertos

La implementación de los tiempos muertos es muy importante a la hora de poner en marcha la modulación de un puente completo de interruptores, ya que se debe asegurar que el intervalo de tiempo entre el cambio de s_{11} y s_{11}^* o s_{12} y s_{12}^* (véase la Fig. 3.6) sea suficientemente grande como para que no se generen cortocircuito entre estos. Una forma adecuada de realizar esta labor es considerar la modulación solamente de los primero switches (s_{11} y s_{12}) en un procesador digital de señales y luego con una FPGA generar los pulsos negados de s_{11}^* y s_{12}^* , añadiendo un tiempo entre la desactivación s_{11} y la activación de s_{11}^* , repitiéndose la misma lógica para la otra pierna (s_{12} y s_{12}^*). Es importante considerar que los tiempos de encendido (t_{on}) y apagado (t_{off}) de los MOSFET (C2M0080120D)

utilizados son de 12 ns y 23.2 ns , respectivamente. Considerando lo anterior se optó por dejar un tiempo mayor a $t_{on} + t_{off}$, dicha acción asegura que los interruptores no provoquen corto circuito en sus estados finales ni en sus transiciones de estados. Por lo tanto, el tiempo muerto adecuado para garantizar un correcto funcionamiento se estableció en $3\mu\text{s}$. Luego de establecer los tiempos muertos, se utilizó una DSP F28335 para ejecutar el algoritmo de conmutación y control, considerando 6 pulsos de salida, posteriormente a partir de estos 6 pulsos, se utilizó la FPGA Nexys Sparta 6E, la cual generó 6 salidas adicionales, las cuales fueron negadas y con el tiempo muerto añadido para su activación. Los códigos para programar dicha labor se pueden observar en el anexo 7.2.

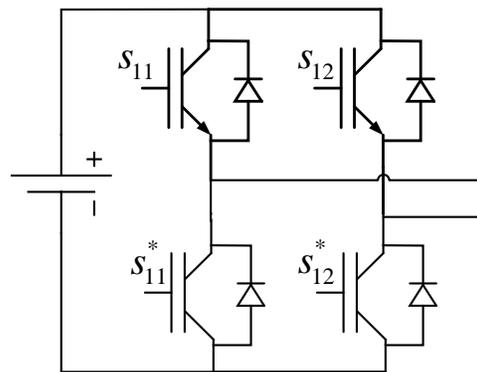


Fig. 3.6. Puente H Clásico.

En la Fig. 3.7 se muestra la implementación de los tiempos muertos, en donde se puede observar la señal del MOSFET s_{11} y s_{11}^* , junto con el tiempo atribuido al retardo del receptor óptico y a los $3\mu\text{s}$ de tiempo muerto establecido por código en la FPGA.

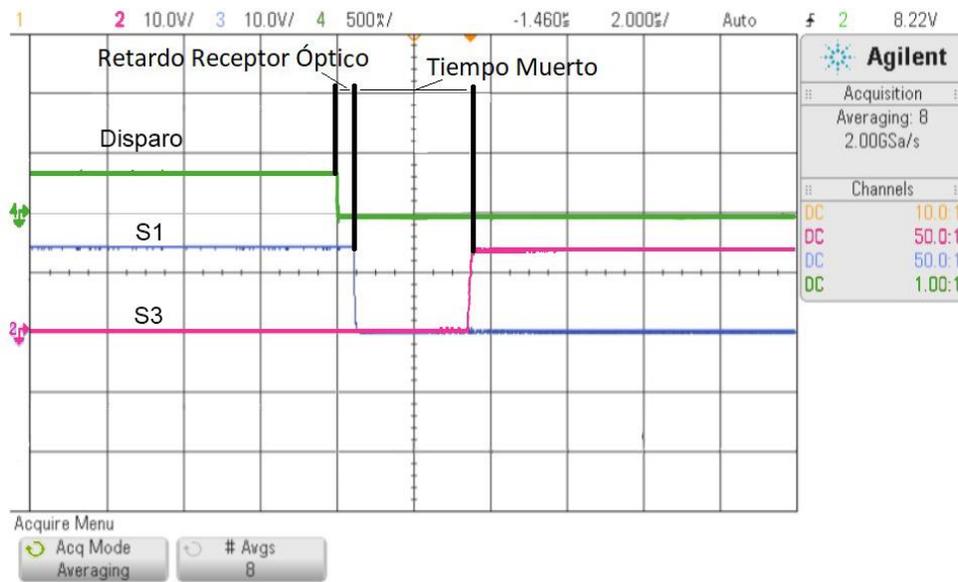


Fig. 3.7. Prueba Implementación de tiempo muerto

3.5 Implementación de Algoritmo de Enganche qPLL

Uno de los aspectos relevantes al momento de conectar el convertidor a una red eléctrica, es tener la correcta sincronía con esta. En el caso de no existir un algoritmo de enganche con la red eléctrica, se pueden producir serios problemas como generación de corrientes en contrafase con el voltaje de la red, poniendo en riesgo la integridad de los dispositivos conectados o en su defecto puede estropear el convertidor como tal.

Existe una amplia variedad de algoritmos de enganche [39]. En esta tesis se ha decidido utilizar un algoritmo qPLL trifásico para el sistema monofásico, esto debido a que se cuenta con un sistema trifásico balanceado y se necesita sensar solo las magnitudes de voltaje para aplicar el algoritmo. Teóricamente las señales de voltaje de la fuente AC programable se mantienen constantes independiente de que estas reciban potencia de manera desequilibrada, por lo tanto, el ángulo será siempre el mismo. Además, se ha optado por este método debido a su rapidez en comparación a otros algoritmos monofásicos cuyo tiempo de convergencia puede tardar varios ciclos de onda, lo que puede generar inestabilidad en la ejecución de algoritmos de control.

El algoritmo (véase el esquema de la Fig. 3.8) consiste básicamente en recibir los tres voltajes de fase de la red, luego aplica la transformada de Park, para obtener la componente $q_{(k)}$ resultante. Una vez obtenida la componente $q_{(k)}$ se aplica un filtro pasa bajos (*LPF*), cuya salida representa el error $e_{(k)}^{LPF}$ del lazo, luego el error es minimizado por medio de un *PI* discreto cuyo resultado es prealimentado por la velocidad angular (w) del sistema. Finalmente w_{out} pasa por un *VCO* discreto, el cual entrega el ángulo final de enganche φ . El algoritmo asociado al enganche se puede observar en el anexo 7.1.

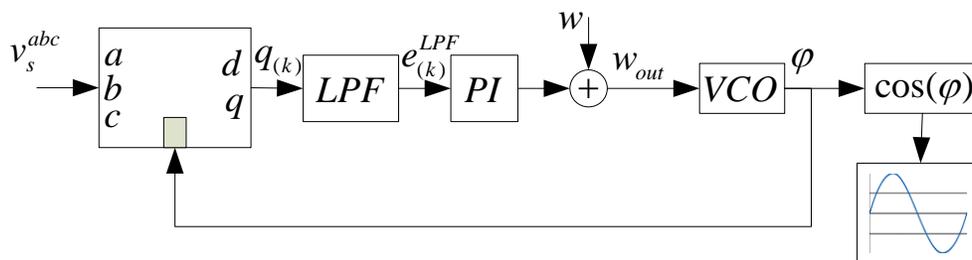


Fig. 3.8. Algoritmo qPLL

3.6 Prototipo CMA

Una vez construido los sensores, placas de potencia y considerando los dispositivos programables como DSP y FPGA, se procedió a montar un setup, que considera la interconexión de cada uno de estos elementos. Cabe mencionar que también se consideraron componentes tales como, fuentes de alimentación, interruptores de seguridad y cargas RL . El esquema general de conexión se presenta en la Fig. 3.9, en donde se observa el convertidor multinivel asimétrico (CMA) una carga RL y una fuente AC conectados en paralelo. Debido a que no se cuenta con una fuente AC regenerativa (que admita inyección de potencia) es necesario considerar una carga RL para para consumir la potencia generada por el convertidor y la potencia entregada por la fuente AC. Dicha carga RL debe ser lo suficientemente grande ($1 kW$), como para que la potencia generada por el panel no vaya en dirección a la fuente AC. Dicho de otro modo, la carga RL existe exclusivamente porque en el laboratorio LERAE no se cuenta con fuentes AC regenerativas, es por eso que se necesita de esta carga para emular dicho efecto.

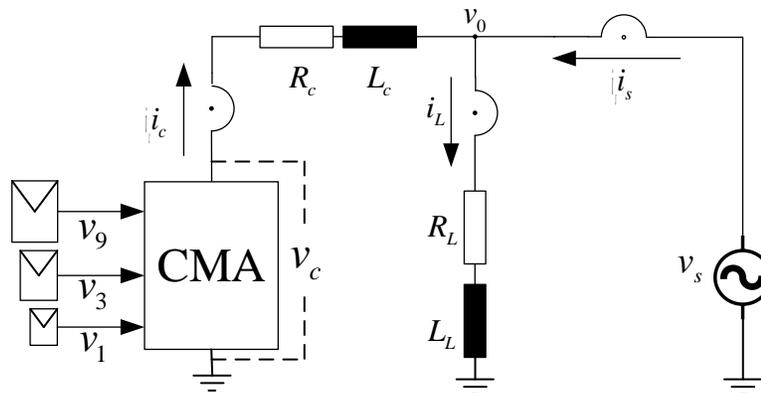


Fig. 3.9. Esquema Conexión Prototipo CMA.

Se observa que en el esquema del prototipo de implementación se incluyen nuevos términos, en donde i_L es la corriente que pasa por la carga RL , i_s es la corriente de la fuente AC no regenerativa e i_c es la corriente inyectada por el convertidor.

La interconexión de los componentes se puede observar en la Fig. 3.10, en donde se identifican sensores, placas de puente H, DSP, FPGA, cargas y fuentes de alimentación. Dichos componentes se nombran a continuación:

1. Alimentación puente H: estas fuentes DC son fundamentales para el funcionamiento del puente H, con estas fuentes se alimentan receptores ópticos, fuentes aisladas y optoacopladores.
2. Puentes H: celda que incluye etapa de las 3 etapas descritas en Fig. 3.4.
3. Alimentación Sensores: esta fuente DC alimenta a todos los sensores del sistema, ya sea sensores de corriente como sensores de voltaje.
4. Sensor Voltaje DC: este sensor se utiliza para obtener la tensión de la celda HPC.
5. FPGA Nexys: es la encargada de generar los tiempos muertos para la modulación del convertidor.
6. DSP TMS320f28335: es la encargada de ejecutar todos los algoritmos de conmutación y de control del sistema.
7. Sensor Corriente AC: este sensor mide la corriente generada por el convertidor, la cual es requerida por el control predictivo.
8. Sensor Voltaje AC: este sensor se utiliza para obtener el voltaje AC de la fuente AC, con el fin de implementar un PLL.
9. Carga *RL*: esta carga se utiliza para poder inyectar o consumir la energía generada tanto por el convertidor, como por la fuente AC.

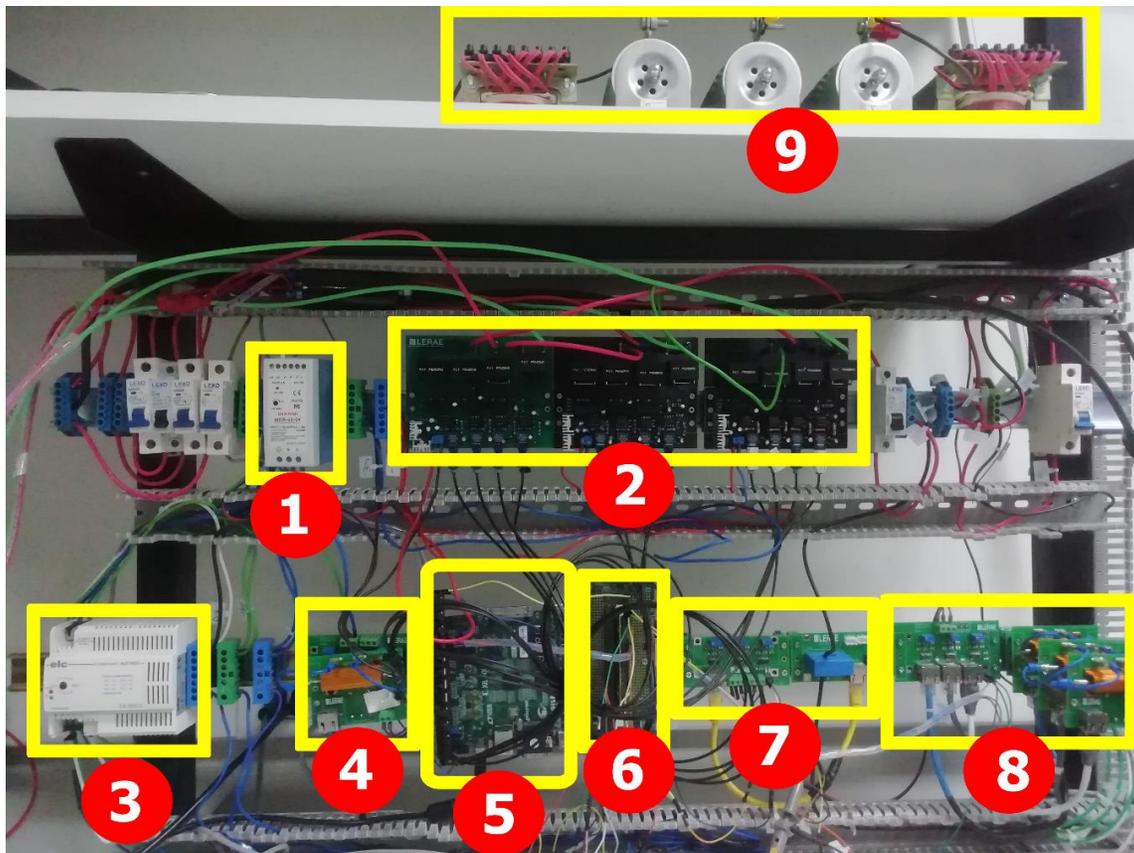


Fig. 3.10. CMA Experimental.

3.7 Desempeño de Celdas Convertidor Multinivel Asimétrico

Uno de los pasos a realizar, es la verificación y puesta en marcha de las placas de puente H. Para esto se conectarán las tres celdas en cascada, estas serán alimentadas con fuentes DC independientes en la razón 9:3:1, luego se conectarán dichas celdas con la DSP y la FPGA, en donde se considerará un programa (en la DSP) que solamente ejecute el algoritmo de conmutación en los switches, dicho algoritmo será una modulación de tipo escalera y no predictiva. Con esto se pretende tener las señales de salida para cada celda y la señal resultante de las celdas conectadas en cascada. Es importante mencionar que para esta prueba se utilizará una carga RL conectada al convertidor y se excluirá la conexión de la fuente AC (Véase el esquema de la Fig. 3.11).

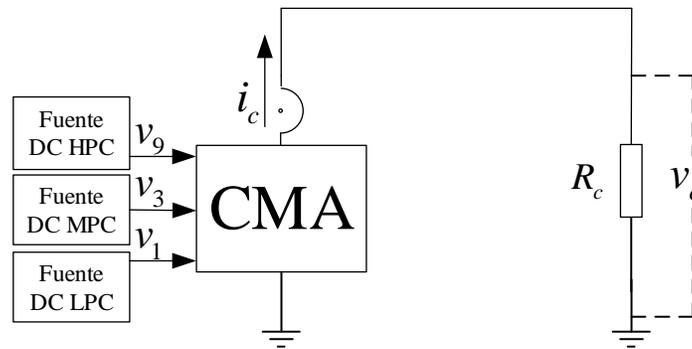


Fig. 3.11. Esquema de Conexión para Prueba de Celdas.

Una vez cargado los códigos de conmutación en la DSP y los tiempos muertos en la FPGA se procedió a realizar las pruebas, con tal de ver el desempeño de las placas de potencia.

Las Fig. 3.12, Fig. 3.13 y Fig. 3.14 representan las señales HPC, MPC y LPC respectivamente, cuyas formas de onda son correctas según las características del CMA de 27 niveles mostradas en la sección 2.1.

La Fig. 3.15 entrega la señal de tensión del convertidor v_c , cuyo valor está definido por la suma entre v_{HPC} , v_{MPC} y v_{LPC} , dicha señal corresponde a una señal escalada altamente sinusoidal y se corresponde a la señal obtenida en simulación (Fig. 2.8(e)). La señal de corriente es mostrada en la Fig. 3.16 y se observa que es altamente sinusoidal a pesar de no contar con un filtro inductivo, también se muestra la señal de tensión del convertidor con el fin de observar la sincronía entre ambas señales, la cual se da debido a que se consideró una carga resistiva y no inductiva para esta prueba. En definitiva, los resultados fueron comparados con las señales de simulación y se concluyó que tanto la amplitud como la frecuencia, del voltaje del convertidor (Fig. 3.15), eran las adecuadas, también se observa que la señal del convertidor es altamente sinusoidal, al igual que su correspondiente señal de corriente.

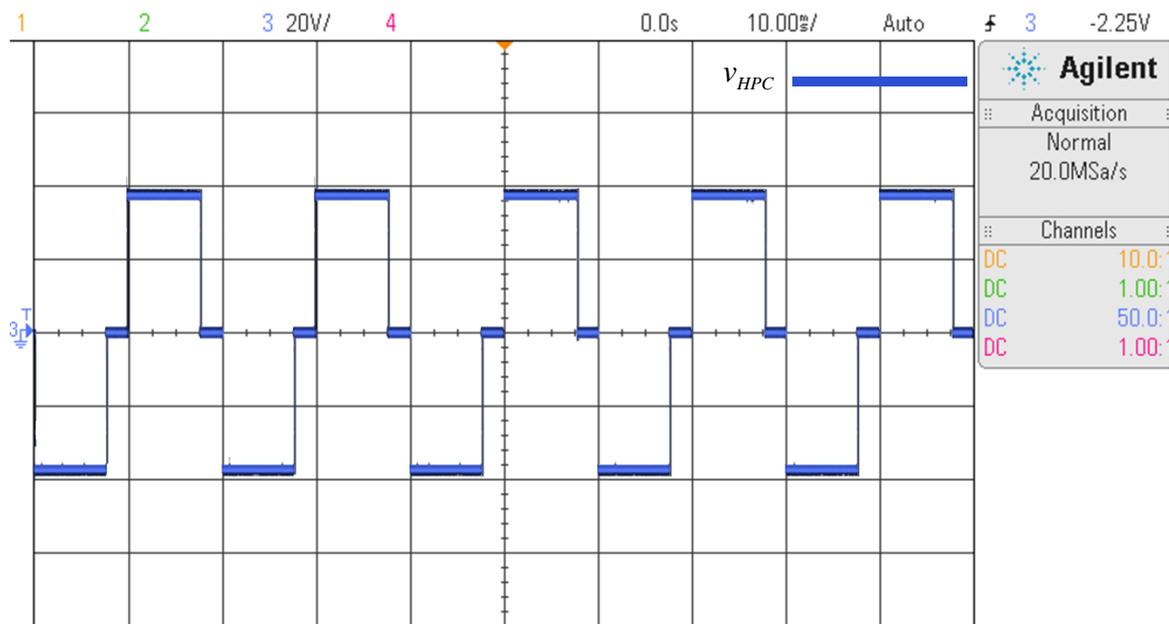


Fig. 3.12. Celda HPC con Modulación Escalera.

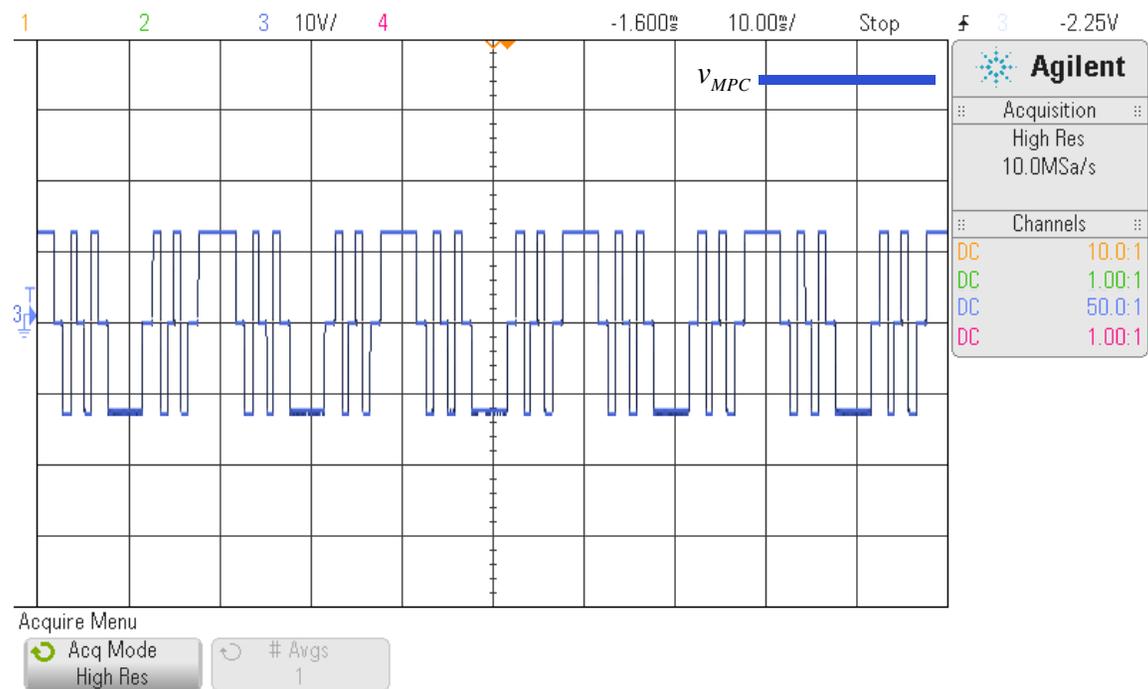


Fig. 3.13. Celda MPC con Modulación Escalera.

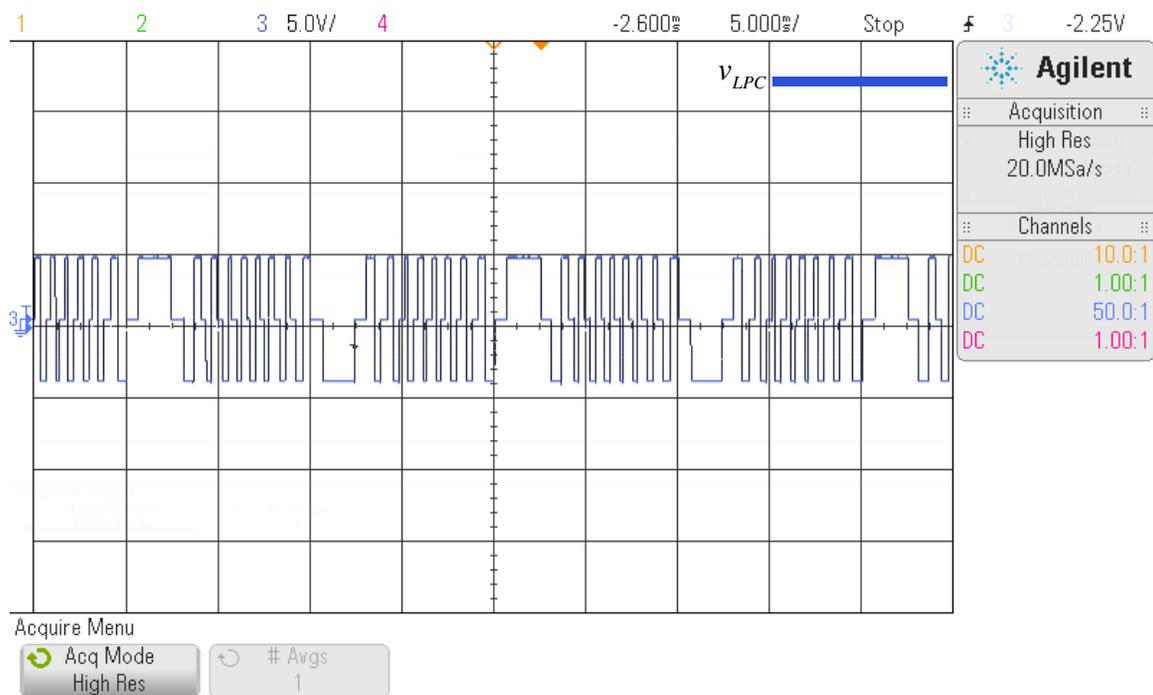


Fig. 3.14. Celda LPC con Modulación Escalera.

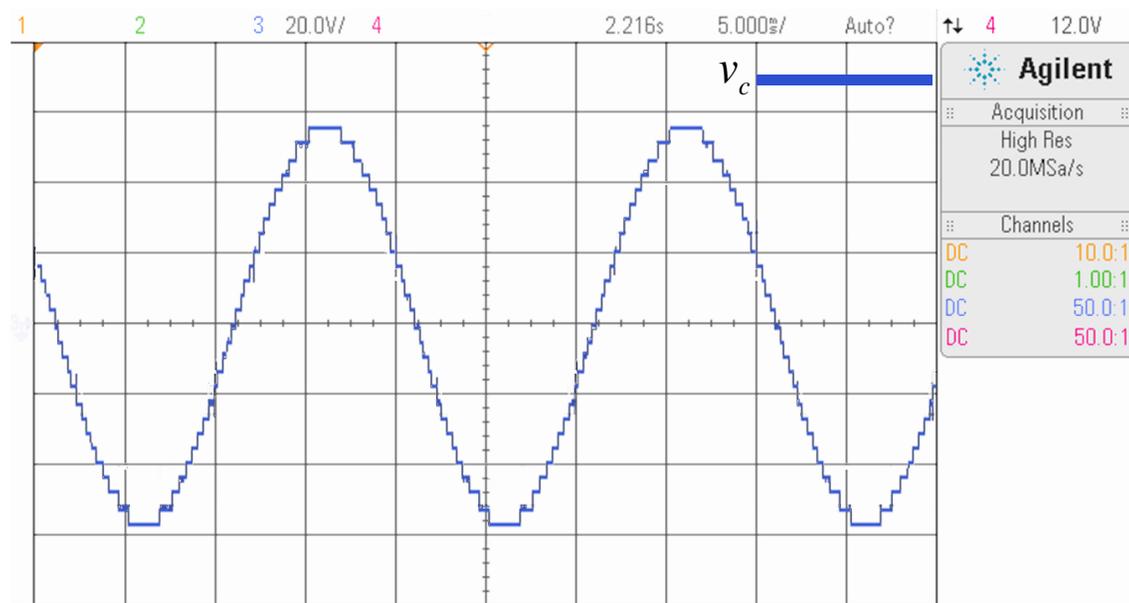


Fig. 3.15. Salida de Voltaje del CMA.

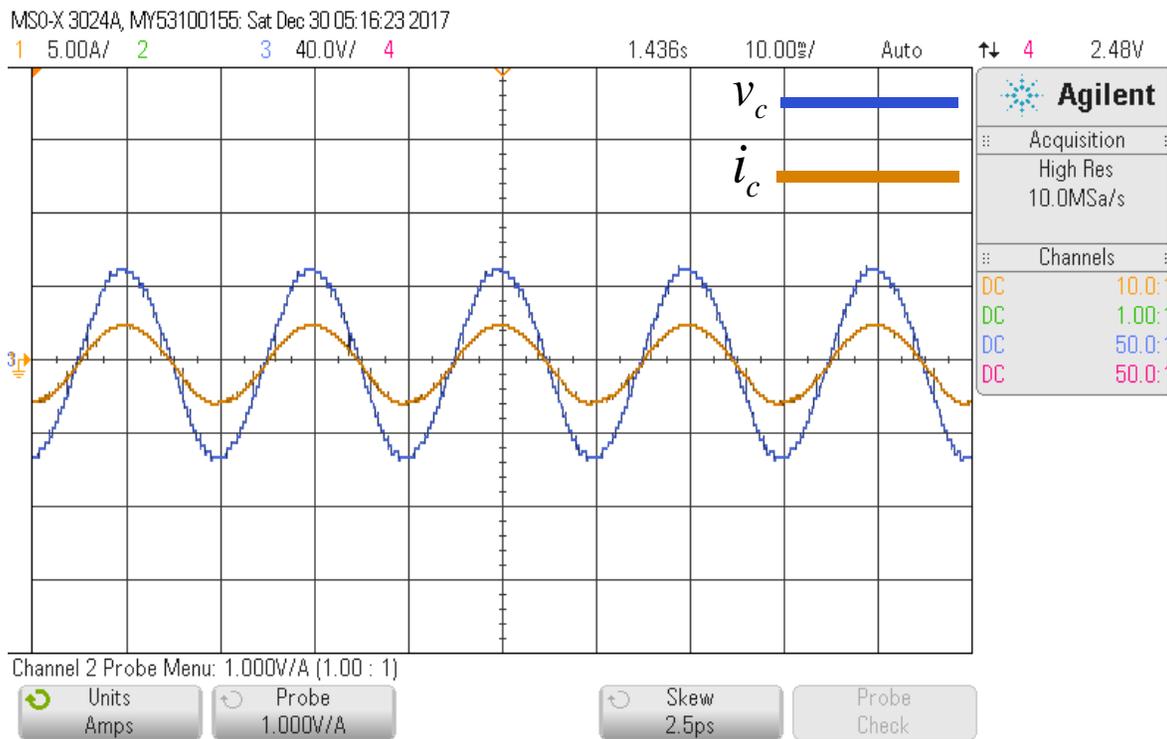


Fig. 3.16. Salida de Voltaje y Corriente del CMA.

3.8 Ecuación de estados válidos

En esta sección se mostrará cómo se aplican, en prototipo experimental del convertidor, las tablas de estado vistas en secciones anteriores (Tabla III). Para poder mostrar la conmutación de las tablas de estados se utilizó una salida digital de la DSP, en donde 0 V representa la aplicación de la Tabla III (a) y 5 V representa la aplicación de la tabla Tabla III (b). Dichas tablas son asignadas al momento de aplicar el set de estados válidos determinados por el control predictivo. La Fig. 3.17 muestra la conmutación de estas, las cuales se intercalan cada 20 ms (un ciclo de onda). Con esto se asegura un desgaste equitativo de todos los interruptores de la topología.

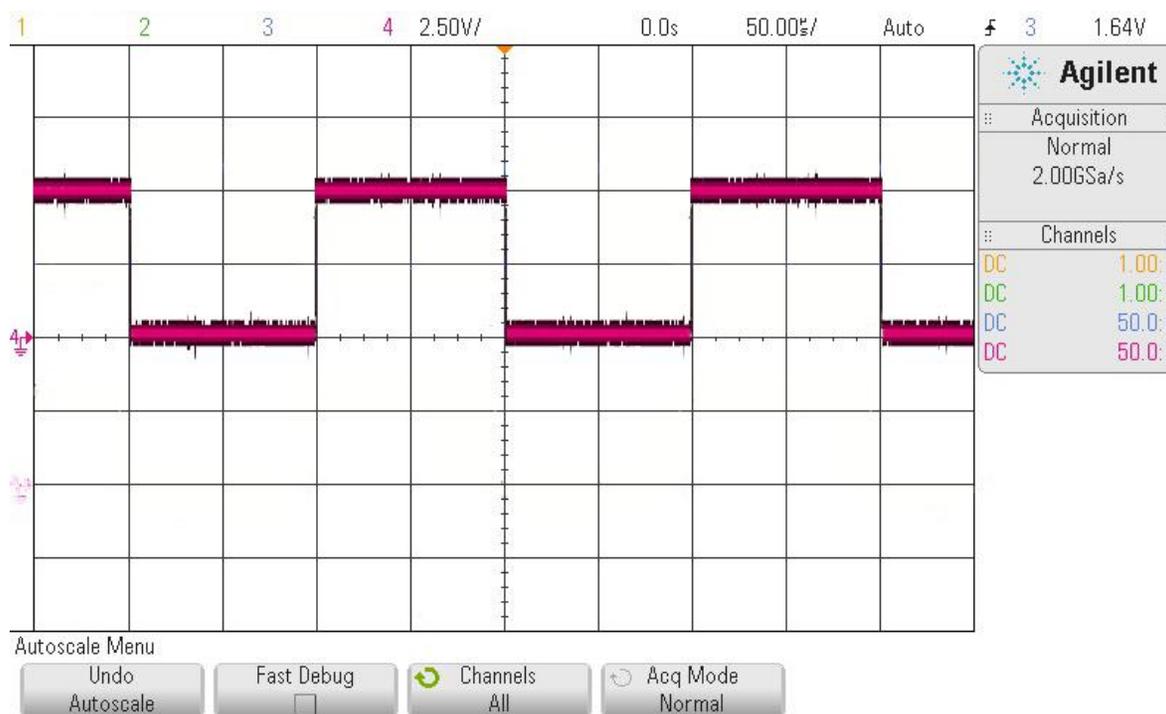


Fig. 3.17. Conmutación de tablas de estado en prototipo experimental.

Capítulo 4 Resultados Experimentales

En este capítulo se mencionarán lo principales resultados experimentales obtenidos, en donde se realizarán pruebas dinámicas ante perturbaciones en la generación fotovoltaica, dichos resultados serán analizados con el fin de validar las hipótesis planteadas en la sección 1.3 de la presente tesis. Cabe mencionar que a partir de ahora las pruebas se realizarán en base al prototipo experimental mostrado en la Fig. 3.10 y los códigos asociados al desarrollo se pueden ver en el anexo 7.1.

4.1 Desempeño del CMA con Control Predictivo

En esta sección se realizará una comparación experimental entre la aplicación y la no aplicación de la tabla de restricciones dentro de la función de costo del control predictivo aplicado en el convertidor, esto con el fin de comprobar si realmente se están eliminando las conmutaciones indeseadas en la celda HPC y validar de manera experimental los resultados obtenidos en simulación. Dicho lo anterior, inicialmente se implementó el control predictivo en el convertidor sin la incorporación de la matriz M , véase la Fig. 4.1. Como resultado se obtuvo una señal de tensión en la celda HPC con conmutaciones no deseadas en los cambios de estados de ésta. Dicho resultado describe con normalidad el comportamiento típico de una estrategia de control predictiva, en donde se observa una conmutación en la selección de estados válidos, reflejadas principalmente en los cambios de estado de la celda HPC.

Por otra parte, y haciendo énfasis a una de las hipótesis planteadas en esta tesis (H1), se procede a incorporar una matriz de restricción de conmutaciones para validar los resultados obtenidos en simulación. En la Fig. 4.2 se muestran los resultados obtenidos aplicando la matriz de restricción M en la función de costo del control predictivo y se observa la completa desaparición de las conmutaciones no deseadas en los cambios de estado de la celda HPC. Dicho lo anterior se validan los resultados obtenidos en simulación.

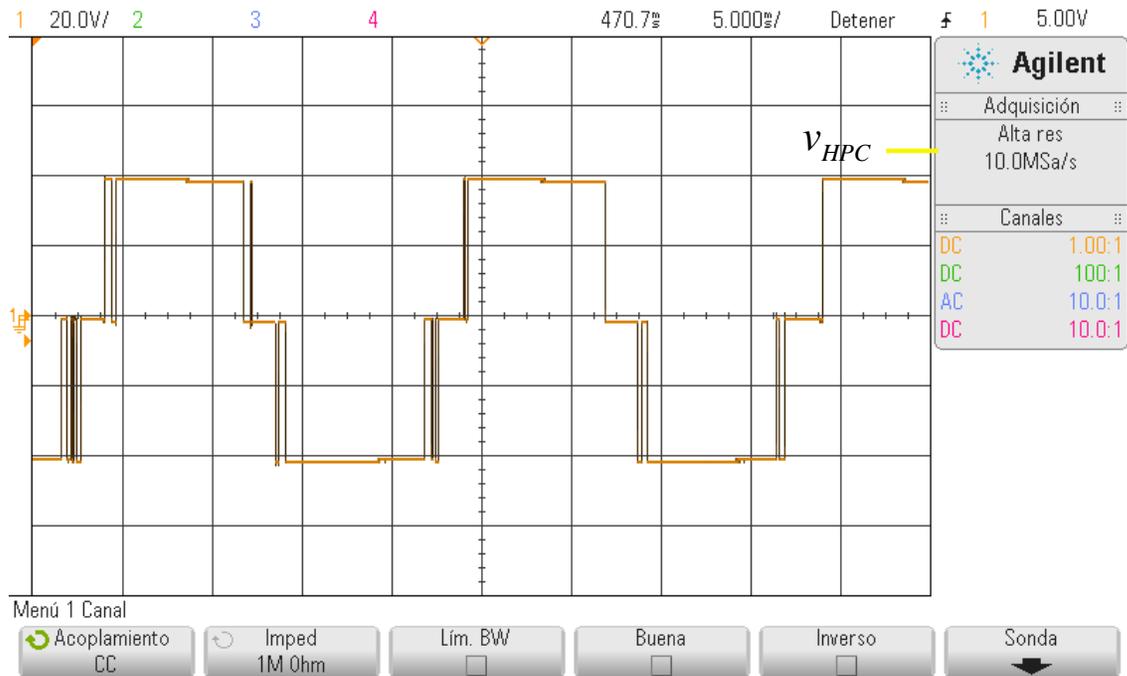


Fig. 4.1 Tensión de la celda HPC sin matriz de restricciones.

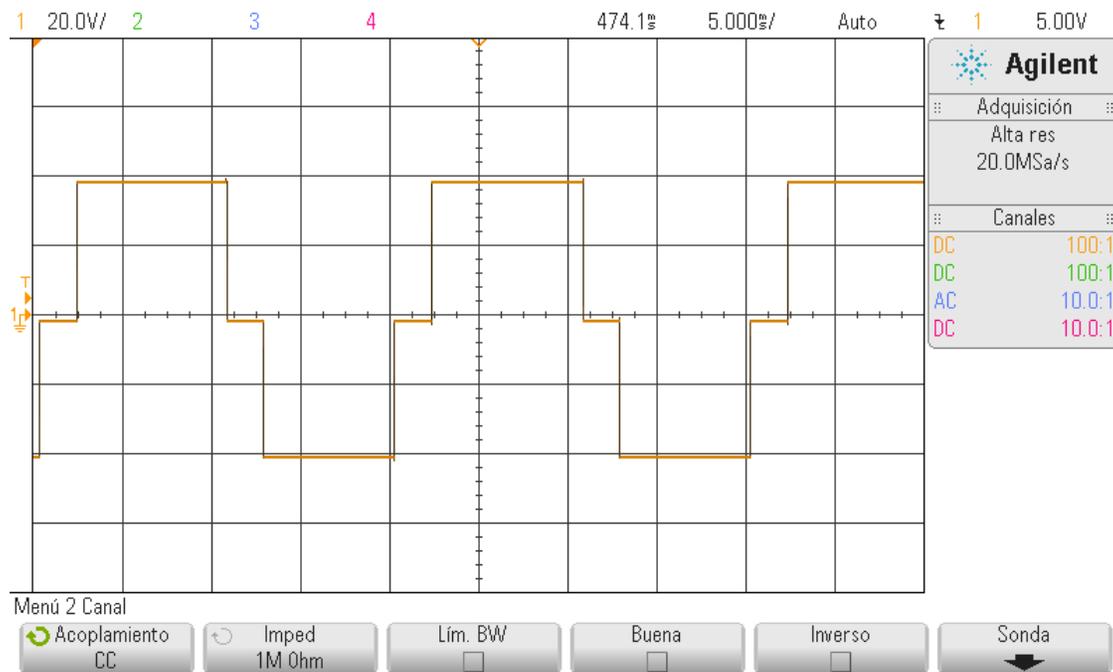


Fig. 4.2 Tensión de la celda HPC con matriz de restricciones.

En la Fig. 4.3 se muestra el voltaje v_g , el cual representa el voltaje *DC* de la celda HPC. Dicho valor se encuentra en su referencia (39 V), gracias al seguimiento que realiza el control esclavo con el fin de establecer un valor de corriente i_c para mantener la referencia v_g en su valor de Set-Point. La corriente i_c es mostrada en la Fig. 4.3 y se observa que encuentra estacionada en una corriente final de 0.8A para mantener v_g en su referencia.

Por otra parte, en la Fig. 4.3 se muestra el voltaje del convertidor v_c , observándose que es altamente sinusoidal.

Por último se muestra el comportamiento del voltaje v_{HPC} , en donde es importante observar que la celda HPC ya no cuenta con las conmutaciones no deseadas que se mostraron en la Fig. 4.1, debido a la incorporación de la matriz de restricciones en la función de costo del control predictivo. Dicha acción valida de forma experimental la correcta aplicación de la hipótesis H3.

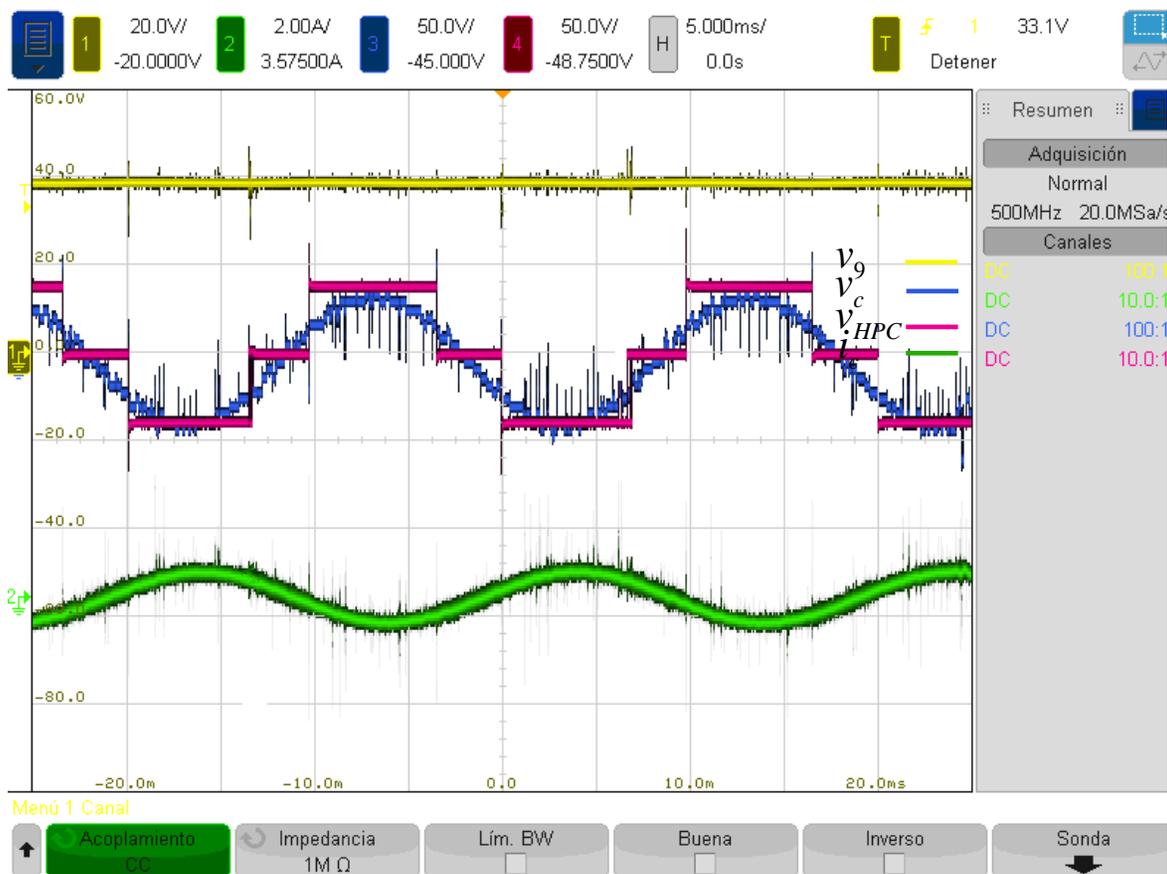


Fig. 4.3 Desempeño Matriz de Restricción.

4.2 Pruebas de Control de Corriente

En esta sección se realizarán las pruebas del control predictivo, particularmente el control de corriente, para esto se realizará un cambio en la componente d de la corriente, dicho cambio será de tipo escalón en donde se reducirá la corriente de 2 A a 1 A .

Una vez aplicado el cambio se observa en la Fig. 4.4, la rápida respuesta del control de corriente, el cual tarda alrededor de 2 ms en estabilizarse y adquirir el nuevo valor de corriente impuesto. Cabe mencionar que la componente de cuadratura (q) se establece en cero, por lo que no se impone un cambio en la fase de la señal de corriente.

En esta prueba se obtuvo la distorsión armónica total (THD) de la señal i_c , entregando un valor de 2.1% , lo cual es un valor que refleja la alta calidad de dicha señal pese a ser controlada por una estrategia predictiva.

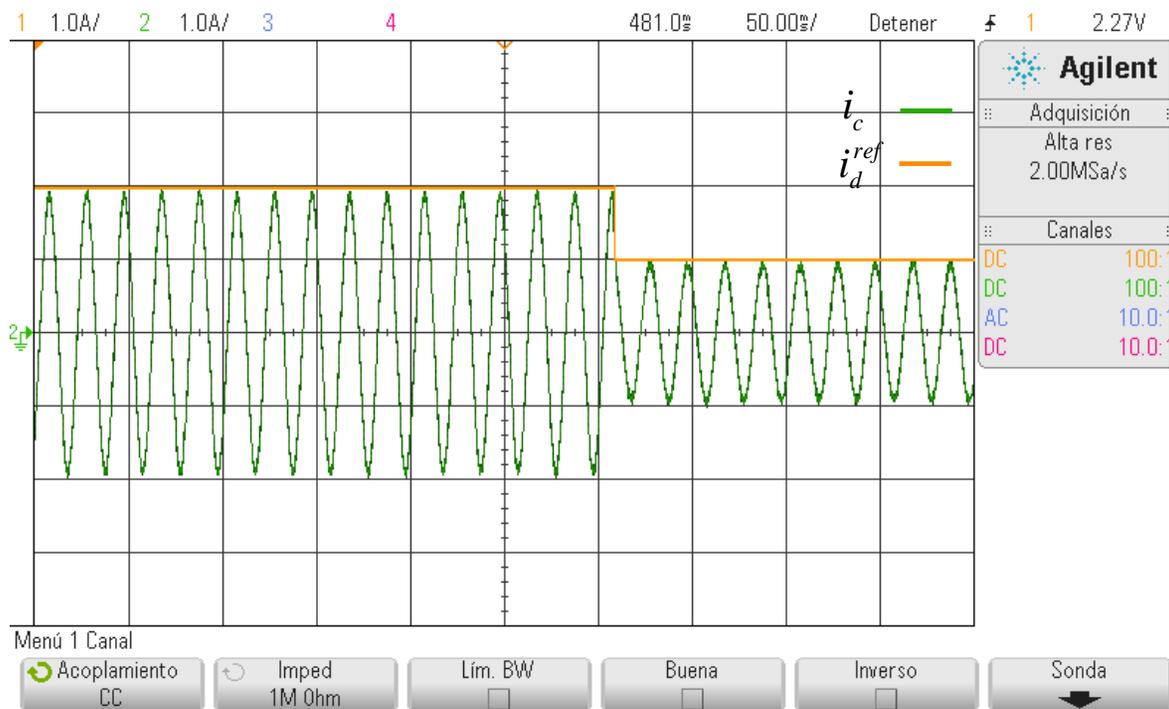


Fig. 4.4 Desempeño Control de Corriente Predictivo.

4.3 Sintonización de Parámetros del Control Maestro

Para poder introducir un controlador lineal es de suma importancia establecer la dinámica de comportamiento deseado. La Fig. 4.5 representa el esquema de control maestro basado en modelo de balance de potencias mostrada en la ecuación (2.6), el cual se describió en la sección 2.6. Hay que considerar que la implementación del algoritmo de control es discreta, por lo tanto, el lazo de control debe ser expresado en el plano Z, tal como se muestra en la Fig. 4.5.

Para poder diseñar el controlador lineal, en primer lugar, se definió un sobrepaso del 0% y un tiempo de asentamiento t_s de 2 s y a partir de dichos parámetros se obtuvo un $k_p = 0.0004$ y un $k_i = 0.000147$.

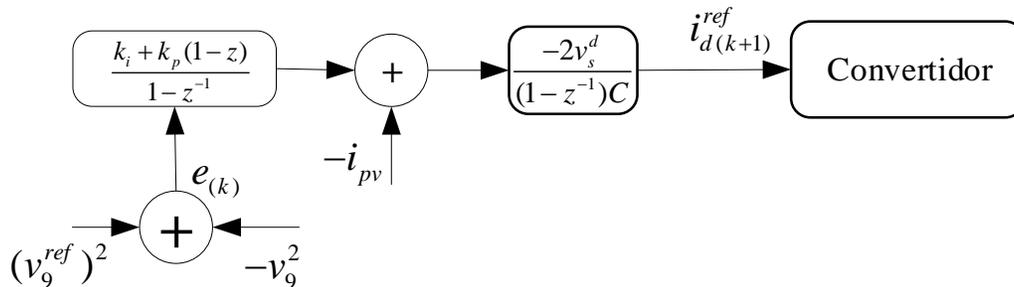


Fig. 4.5 Esquema de Control Maestro.

4.4 Análisis de resultados

En esta sección se realizarán las pruebas y análisis del control maestro-esclavo, en donde se aplicarán perturbaciones en la generación de los paneles fotovoltaicos conectados en la celda HPC. Para dichas pruebas se considerarán los parámetros de la Tabla IV.

En la Fig. 4.6 se aprecian dos señales, v_9 (señal 1) corresponde al control DC de la celda HPC, el cual fue previamente sintonizado, estableciéndose un tiempo de asentamiento de 2 s y un sobrepaso del 0%. Se logra observar en dicha figura que la respuesta dinámica cumple con los tiempos establecidos en la sintonización del controlador, tal como se estableció en la sección 4.3. Por otra parte, la señal i_c (señal 2) representa el comportamiento de la corriente del convertidor, en donde se observa que previo a la perturbación en la irradiancia de los paneles fotovoltaicos, la corriente de inyección hacia la red es de 1.7 A.

Posterior a la perturbación se observa que la corriente disminuye a 0.8 A , ya que la potencia de generación disminuye y ante este escenario, la corriente se regula (gracias al control maestro), tal que el voltaje de la celda HPC se mantenga en la referencia establecida de 39V . Es posible corroborar que tanto el tiempo de asentamiento como el sobrepaso de tensión DC de la celda HPC obedece a los parámetros de diseño.

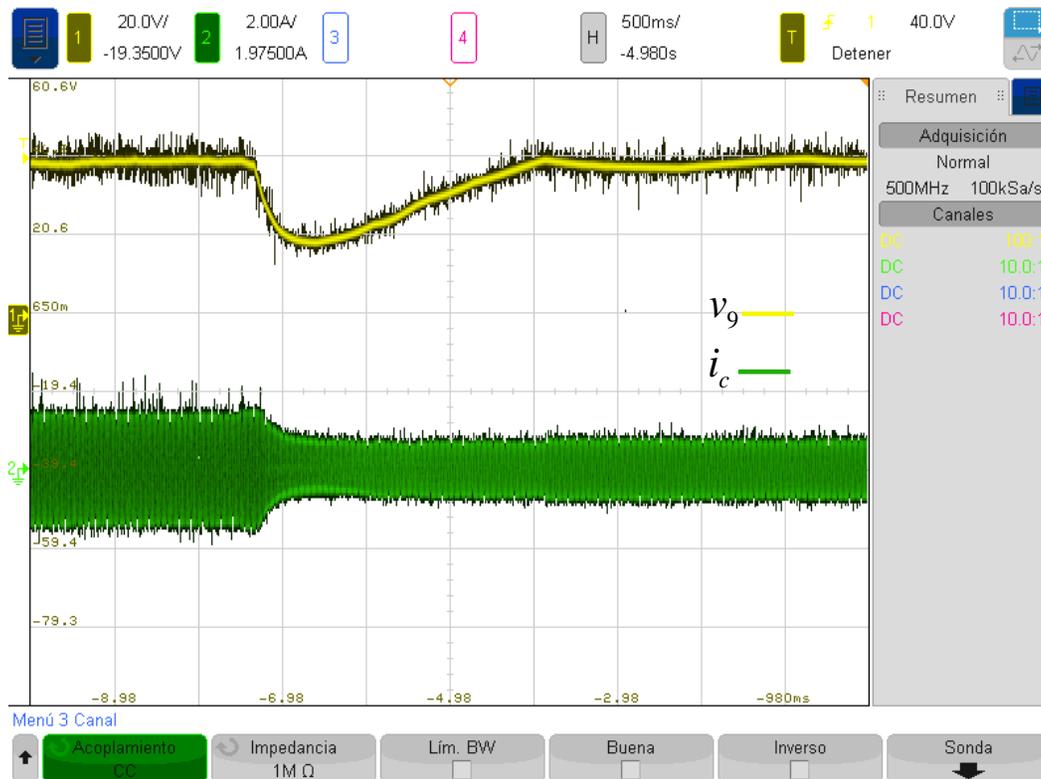


Fig. 4.6. Voltaje DC HPC y Corriente del Convertidor.

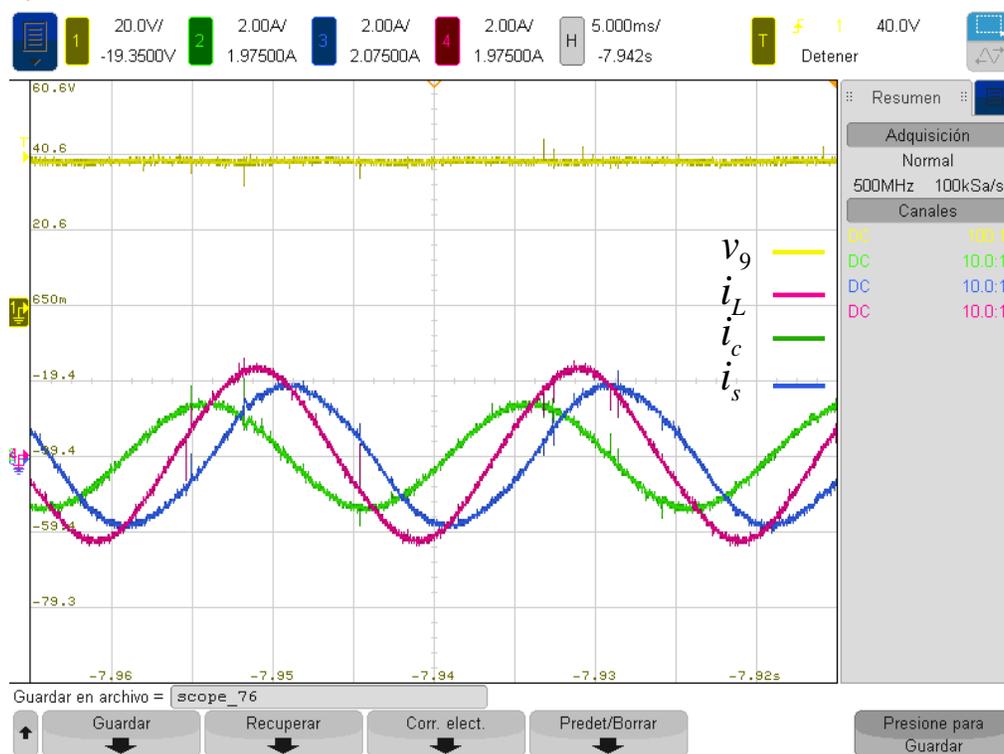


Fig. 4.7. Corrientes Antes del Cambio en la Irradiancia.

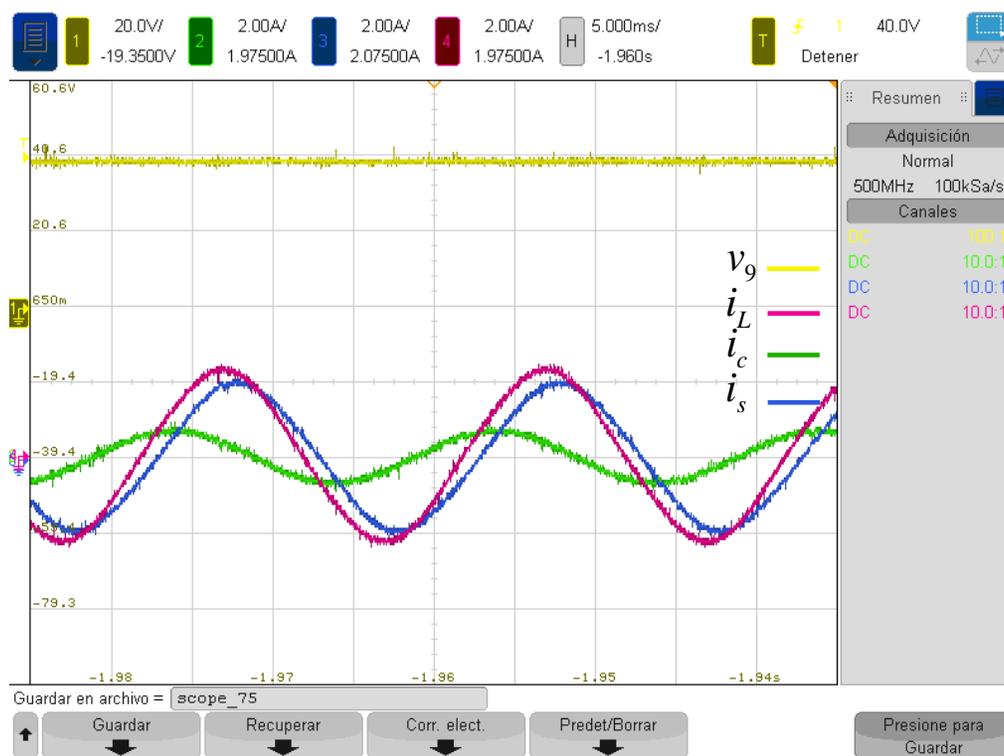


Fig. 4.8. Corrientes Después del Cambio en la Irradiancia.

Por otra parte, se muestran dos gráficas, la Fig. 4.7 y la Fig. 4.8. La primera representa el comportamiento de las corrientes i_c , i_s y i_L , en estado estacionario, previo a la perturbación de irradiancia y la segunda representa el comportamiento de las mismas corrientes, en estado estacionario, posterior a la perturbación de irradiancia. Por definición, y guiándose por el esquema del a Fig. 3.9 la relación entre las corrientes i_c , i_s y i_L puede ser obtenida a través de un análisis de nodos en estado estacionario.

Con el fin de definir como se obtiene la corriente resultante inyectada se realizará dicho análisis de forma breve.

$$i_L = i_c + i_s \quad (4.1)$$

Entonces la ley de corriente de Kirchoff (LCK) en la ecuación (4.1), se tiene

$$\frac{v_0}{R_L + L_L} = \frac{v_c - v_0}{R_c + L_c} + \frac{v_s - v_0}{R_s + L_s} \quad (4.2)$$

Despejando v_0 de (4.2), se tiene:

$$v_0 = \frac{(R_L + L_L)(R_c + L_c)(R_s + L_s)}{(R_c + L_c)(R_s + L_s + R_L + L_L) + (R_L + L_L)(R_s + L_s)} \left(\frac{v_c}{(R_c + L_c)} + \frac{v_s}{(R_s + L_s)} \right) \quad (4.3)$$

Por lo tanto, utilizando v_0 y los valores de la respectiva carga se obtiene la corriente i_L inyectada mostrada en la ecuación (4.4)

$$i_L = \frac{v_0}{R_L + L_L} \quad (4.4)$$

A continuación, se mostrará el espectro armónico obtenido en las señales de corriente y voltaje del convertidor en la modalidad experimental y en estado estacionario. El espectro armónico de la señal de voltaje del prototipo CMA se muestra en la Fig. 4.9 (a) e indica una distribución similar a lo obtenido en simulación, en donde se tiene la mayor amplitud concentrada en la primera armónica (frecuencia fundamental $50Hz$). Desde la 2^{da} armónica en adelante se distribuyen las componentes de orden inferior de altas frecuencias (hasta $2.5 KHz$), en donde la 2^{da} tiene una amplitud del orden de los mV .

En la Fig. 4.9 (b) se muestra la distribución armónica de la señal de corriente del convertidor, la cual es consecuencia de la distribución armónica de voltaje y un posterior filtrado debido a la componente inductiva de la carga L_c . Para esto último se considerará el procedimiento de [40], con el fin de acotar dentro de un rango permisible el THD de corriente. Para obtener el valor del inductor capaz de generar un THD menor al 2% se considerará la ecuación (4.5)

$$L_c = \frac{v_c - v_s}{4f_c \delta} \quad (4.5)$$

Donde f_c corresponde a la frecuencia máxima de conmutación y δ corresponde al error máximo de corriente admisible.

Para obtener la frecuencia máxima de conmutación se realizó un análisis en la celda LPC, debido a que ésta conmuta a mayor que frecuencia que el resto de las celdas de la topología. En dicho análisis se obtuvieron un total de 50 conmutaciones por ciclo, de las cuales se atribuyeron 10 conmutaciones por cada flanco, debido a la acción del control predictivo, obteniéndose un total de conmutaciones (T_c) de:

$$f_c = S_c^{pred} S_c^{ciclo} f_s = 50 \times 10 \times 50 \text{ Hz} = 25kHz$$

Donde S_c^{ciclo} corresponde al total de conmutaciones por ciclo de la celda LPC y S_c^{pred} corresponde a las conmutaciones, en LPC, proporcionadas por la naturaleza del control predictivo. Por otra parte, considerando que las tensiones utilizadas en el prototipo fueron de $56,4V$ para el convertidor y de $20V$ para la fuente AC y estableciendo un error admisible de $0,02 A$ para la corriente del convertidor se tiene que:

$$L_c = \frac{56,4V - 20V}{4 \times 25.000 \times 0.02 A} = 18 \text{ mH} \quad (4.6)$$

Se debe considerar que, por razones prácticas, solo se contaba con inductores de 20 mH en el laboratorio, por lo que fue dicho valor el que se consideró para la carga inductiva. Cabe mencionar que en el prototipo existen condiciones que incrementan el valor de THD en la corriente, pese al cálculo realizado en (4.6), lo cual se reflejará en el valor de THD de corriente obtenidos del prototipo y mostrados en la Tabla VII.

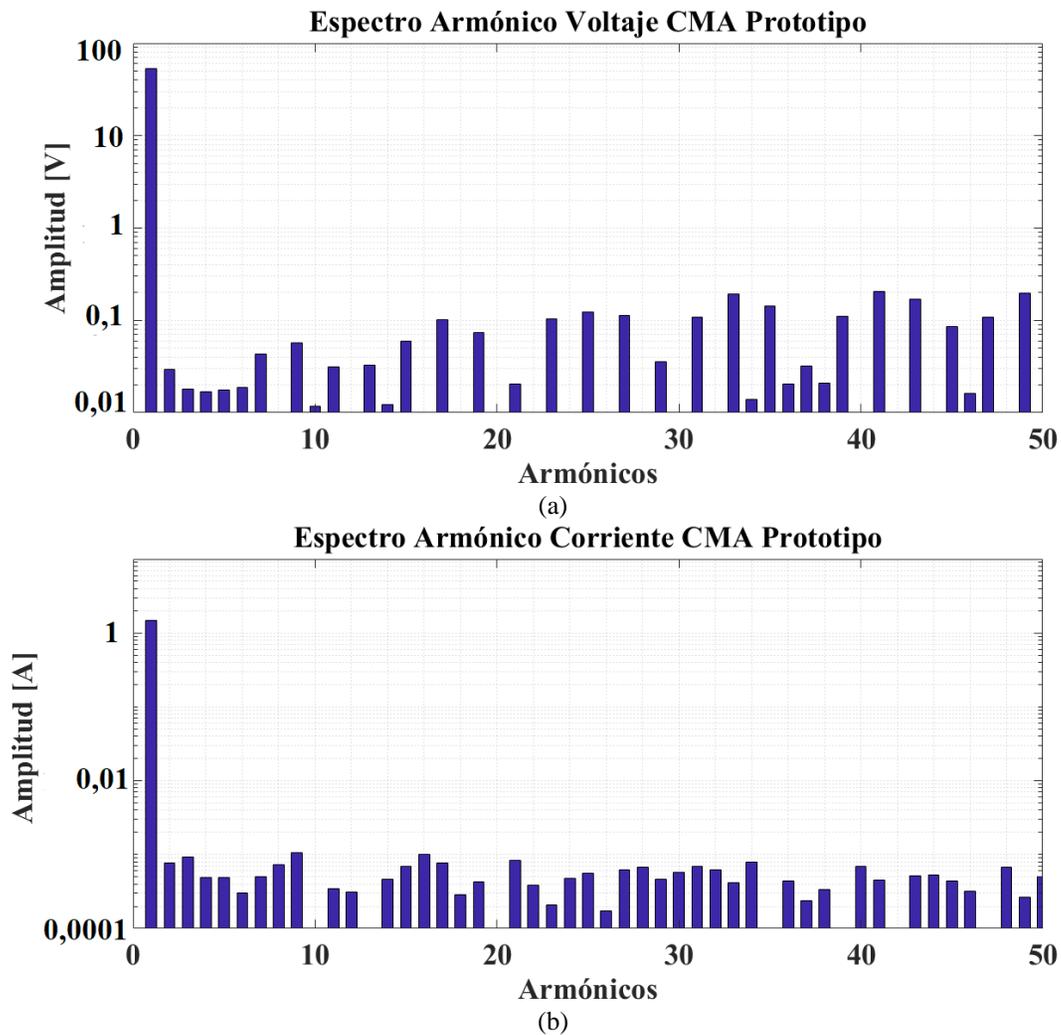


Fig. 4.9 Espectro armónico Experimental. (a) Tensión del convertidor, (b) corriente del convertidor

Se comparó la calidad de la corriente obtenida en la simulación Fig. 2.8 (b) y la señal de corriente obtenida en el prototipo y se observa que la distorsión armónica del prototipo es mayor a la de simulación, lo cual tiene absoluta lógica, considerando que en la implementación existían pérdidas atribuidas al cableado, a las señales obtenida de los sensores, corrientes parásitas, caídas de tensión en los semiconductores y elementos pasivos,

entre otros factores. Dicho esto, se analizó la distorsión armónica de las señales de corriente y voltaje del convertidor, obteniendo un THD de 2.65% y 7.76% , respectivamente. Estas magnitud cumple con los estándares de calidad recomendados por la IEEE [38].

A continuación, se presenta Tabla VII, en donde se realiza una comparación de la distorsión armónica de las señale i_c y v_c obtenidas en simulación y en el prototipo.

Tabla VII. Tabla Comparativa THD i_c y v_c con control predictivo

	Simulación	Experimental
$THD i_c$	1.53%	2.65%
$THD v_c$	7.07%	7.76%

Capítulo 5 Conclusiones

5.1 Sumario

- Se realizó una amplia revisión bibliográfica de la literatura existente de los convertidores multinivel asimétricos y control predictivo. Se hizo especial énfasis en los convertidores multinivel en cascada y estrategias de control predictivas orientadas a convertidores multinivel.
- Se presentó una topología multinivel asimétrica en cascada de 27 niveles y en base a esta, se propuso el modelo generalizado del convertidor monofásico, el cual se discretizó para poder aplicar estrategias de control predictivas.
- Se aplicó un control predictivo de corriente en el CMA en simulación y prototipo, el cual respondió adecuadamente ante un cambio escalón (Fig. 4.4), lo que demuestra la veracidad de la Hipótesis H1.
- Se aplicó un esquema maestro-esclavo, en simulación y prototipo, con el fin de controlar tanto el enlace DC como la corriente del convertidor, lo cual demostró su correcto seguimiento ante perturbaciones de irradiancia (Fig. 4.6), comprobando la hipótesis H2.
- Se incorporó en la función de costo una tabla de restricciones, con el fin de limitar las conmutaciones en la celda HPC, lo cual fue completamente logrado en el prototipo y simulación, obteniendo como resultado una señal de tensión HPC libre de conmutaciones indeseadas (Fig. 4.2 y Fig. 4.3). Esto demuestra la Hipótesis H3.
- Se analizaron los resultados del prototipo y se compararon con los resultados de simulación. particularmente los valores de distorsión armónica

5.2 Conclusiones

La aplicación del esquema predictivo permitió controlar los flujos de corriente del CMA, tardando alrededor de 2 ms en estabilizarse ante una entrada de tipo escalón de 2 a 1 A, entregando una distorsión armónica de 2.1% en dicha prueba.

La implementación de una tabla de restricciones en la función de costo del control predictivo, al igual que en los resultados de simulación, pudo disminuir de manera exitosa las conmutaciones no deseadas en la celda HPC, en donde se eliminaron 12 conmutaciones de un total de 16, lo que representa una disminución al 25% de las conmutaciones en la celda HPC.

La estrategia de control maestro-esclavo pudo controlar de manera adecuada el voltaje DC de la celda HPC ante perturbaciones de irradiancia y su convergencia se situó dentro de los parámetros de diseño. Del mismo modo, tanto la respuesta dinámica como la respuesta estacionaria fueron satisfactorias.

Las simulaciones computacionales aproximaron acertadamente el comportamiento del prototipo experimental, tanto en el control maestro como en el control esclavo.

El prototipo experimental, entregó un THD en la señal de corriente y voltaje de 2.65% y 7.76%, respectivamente. Estas magnitudes contrastaron con las obtenidas en simulación las cuales fueron de 1.53% y 7.07% para la corriente y voltaje respectivamente. Dicho incremento en de THD se atribuye a las distintas pérdidas que implica la implementación de un prototipo físico. Dichos valores se posicionan dentro de los estándares de calidad recomendados por la IEEE [38].

Se logró distribuir satisfactoriamente los estados ceros mediante la incorporación de dos tablas de estado, con estados ceros opuestos. Dicha acción aseguró el funcionamiento equitativo de todos los interruptores de cada celda, evitando sobre exigencia de solo dos interruptores por celda.

5.3 Trabajos Futuros

Incorporar el control DC de la celda HPC en la función de costo del control predictivo, con el fin de proponer una estrategia de control unificada y sacar el máximo provecho a la estrategia predictiva, sin estrategias de control externas.

Alimentar la celda HPC con una fuente DC principal y con esta alimentar las celdas MPC y LPC, aislándolas a través de convertidores resonantes, los cuales, a su vez, asegurarán la asimetría 9:3:1 respecto al voltaje DC de la celda HPC. Además, incorporar un algoritmo MPPT para obtener el máximo punto de potencia.

Realizar un análisis cuantitativo de pérdidas, en donde se pueda respaldar de manera matemática la efectividad de la reducción de conmutaciones en la celda HPC.

Incorporar la compensación de reactivos y armónicos en la red, aprovechando las prestaciones del convertidor.

Establecer una estrategia de control en modo isla para el convertidor asimétrico y probar su desempeño en una micro-red.

Aplicar la matriz de restricciones para la celda de mediana potencia, con el fin de reducir aún más las conmutaciones no deseadas.

Capítulo 6 Bibliografía

- [1] IRENA, «<http://irena.org>,» [En línea].
- [2] S. P. Europe, «http://www.solarpowereurope.org/fileadmin/user_upload/SolarPower_Europe_Global_Market_Outlook_2018.pdf,» [En línea].
- [3] «Matriz energética sería generada en 100% por energías renovables no convencionales en 2050,» [En línea]. Available: <http://www.revistaei.cl/2018/10/01/matriz-energetica-seria-generada-100-energias-renovables-no-convencionales-2050/#>.
- [4] Ley 20.698, Ampliación de la matriz energética mediante fuentes de energías renovables no convencionales., 2015.
- [5] Ley 20.571, Regulación de las Tarifas Eléctricas de las generadoras residenciales., 2015.
- [6] ABB.
- [7] Schneider-Electric.
- [8] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo y M. A. M. Prats, «The age of multilevel converters arrives,» *IEEE Industrial Electronics Magazine*, vol. 2, pp. 28-39, 6 2008.
- [9] S. Kouro, J. I. Leon, D. Vinnikov y L. G. Franquelo, «Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology,» *IEEE Industrial Electronics Magazine*, vol. 9, pp. 47-61, 3 2015.
- [10] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, B. Wu, J. Rodriguez, M. A. Perez y J. I. Leon, «Recent Advances and Industrial Applications of Multilevel Converters,» *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 2553-2580, 8 2010.
- [11] J. Rodriguez, S. Bernet, B. Wu, J. O. Pontt y S. Kouro, «Multilevel Voltage-Source-Converter Topologies for Industrial Medium-Voltage Drives,» *IEEE Transactions on Industrial Electronics*, vol. 54, pp. 2930-2945, 12 2007.
- [12] J. Pereda y J. Dixon, «Cascaded Multilevel Converters: Optimal Asymmetries and Floating Capacitor Control,» *IEEE Transactions on Industrial Electronics*, vol. 60, pp. 4784-4793, 11 2013.
- [13] A. Yenes, D. Muñoz y J. Pereda, «Optimal asymmetry for cascaded multilevel converter with cross-connected half-bridges,» de *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, 2015.
- [14] S. D. R. D. C. a. A. M. K. Ogata, Ingeniería de control moderna, [Madrid]: Prentice Hall, 2010.
- [15] J. Rodriguez, M. P. Kazmierkowski, J. R. Espinoza, P. Zanchetta, H. Abu-Rub, H. A. Young y C. A. Rojas, «State of the Art of Finite Control Set Model Predictive Control in Power Electronics,» *IEEE Transactions on Industrial Informatics*, vol. 9, pp. 1003-1016, 5 2013.

- [16] J. Muñoz, P. Gaisse, F. Cadena, M. Rivera, C. Baier y C. Restrepo, «Model predictive control for a 27-level asymmetric multilevel STATic COMPensator,» de *2017 IEEE Southern Power Electronics Conference (SPEC)*, 2017.
- [17] M. A. Perez, P. Cortes y J. Rodriguez, «Predictive Control Algorithm Technique for Multilevel Asymmetric Cascaded H-Bridge Inverters,» *IEEE Transactions on Industrial Electronics*, vol. 55, pp. 4354-4361, 12 2008.
- [18] J. A. Villalón, Predictive Control For A 27-Level Asymmetric Multilevel Current Source Invertir, 2018.
- [19] F. Briz, M. Lopez, A. Rodriguez y M. Arias, «Modular Power Electronic Transformers: Modular Multilevel Converter Versus Cascaded H-Bridge Solutions,» *IEEE Industrial Electronics Magazine*, vol. 10, pp. 6-19, 12 2016.
- [20] X. Zhang, T. Zhao, W. Mao, D. Tan y L. Chang, «Multilevel Inverters for Grid-Connected Photovoltaic Applications: Examining Emerging Trends,» *IEEE Power Electronics Magazine*, vol. 5, pp. 32-41, 12 2018.
- [21] J. I. Leon, S. Vazquez, S. Kouro, L. G. Franquelo, J. M. Carrasco y J. Rodriguez, «Unidimensional Modulation Technique for Cascaded Multilevel Converters,» *IEEE Transactions on Industrial Electronics*, vol. 56, pp. 2981-2986, 8 2009.
- [22] P. L. Kamani y M. A. Mulla, «Middle-Level SHE Pulse-Amplitude Modulation for Cascaded Multilevel Inverters,» *IEEE Transactions on Industrial Electronics*, vol. 65, pp. 2828-2833, 3 2018.
- [23] K. Ding, K. W. E. Cheng y Y. P. Zou, «Analysis of an asymmetric modulation method for cascaded multilevel inverters,» *IET Power Electronics*, vol. 5, pp. 74-85, 1 2012.
- [24] A. Edpuganti y A. K. Rathore, «A Survey of Low Switching Frequency Modulation Techniques for Medium-Voltage Multilevel Converters,» *IEEE Transactions on Industry Applications*, vol. 51, pp. 4212-4228, 9 2015.
- [25] J. Muñoz, P. Gaisse, C. Baier, M. Rivera, R. Gregor y P. Zanchetta, «Asymmetric multilevel topology for photovoltaic energy injection to microgrids,» de *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2016.
- [26] J. Muñoz, P. Gaisse, F. Cadena, C. Baier, R. Aliaga y J. Troncoso, «Proportional resonant controller for a 27-level asymmetric multilevel STATCOM,» de *2017 CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON)*, 2017.
- [27] M. A. Hosseinzadeh, M. Sarbanzadeh, A. Salehi, M. Rivera, J. Munoz y P. Wheeler, «Performance Evaluation of Cascaded H-bridge Multilevel Grid-Connected Converter with Model Predictive Control Technique,» de *2019 IEEE International Conference on Industrial Technology (ICIT)*, 2019.
- [28] D. Rojas, J. Muñoz, R. Aliaga, P. Gaisse, H. Guerrero y M. Rivera, «Dual-Stage Dc-Dc Multistring Configuration for Photovoltaic Solar Energy Conversion,» de *2018 IEEE ANDESCON*, 2018.
- [29] P. Silva, J. Muñoz, R. Aliaga, P. Gaisse, C. Restrepo y M. Fernández, «On the DC/DC converters for cascaded asymmetric multilevel inverters aimed to inject photovoltaic energy into microgrids,» de *2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC)*, 2016.

- [30] P. Jana, S. Chattopadhyay, P. Bajpai y C. Chakraborty, «Asymmetrical cascaded multilevel inverter with single DC source using high frequency resonant converter,» de *2016 IEEE Students' Technology Symposium (TechSym)*, 2016.
- [31] S. K. Chattopadhyay y C. Chakraborty, «Performance of Three-Phase Asymmetric Cascaded Bridge (16 : 4 : 1) Multilevel Inverter,» *IEEE Transactions on Industrial Electronics*, vol. 62, pp. 5983-5992, 10 2015.
- [32] S. A. Gonzalez, M. I. Valla y C. F. Christiansen, «Five-level cascade asymmetric multilevel converter,» *IET Power Electronics*, vol. 3, pp. 120-128, 1 2010.
- [33] V. Yaramasu y B. Wu, «Predictive Control of a Three-Level Boost Converter and an NPC Inverter for High-Power PMSG-Based Medium Voltage Wind Energy Conversion Systems,» *IEEE Transactions on Power Electronics*, vol. 29, pp. 5308-5322, 10 2014.
- [34] S. K. Chattopadhyay y C. Chakraborty, «Three-Phase Hybrid Cascaded Multilevel Inverter Using Topological Modules with 1:7 Ratio of Asymmetry,» *IEEE Journal of Emerging and Selected Topics in Power Electronics*, pp. 1-1, 2018.
- [35] R. A. Vargas, A. Figueroa, S. E. DeLeon, J. Aguayo, L. Hernandez y M. A. Rodriguez, «Analysis of Minimum Modulation for the 9-Level Multilevel Inverter in Asymmetric Structure,» *IEEE Latin America Transactions*, vol. 13, pp. 2851-2858, 9 2015.
- [36] G. Sánchez, M. Murillo, L. Genzelis, N. Deniz y L. Giovanini, «MPC for nonlinear systems: A comparative review of discretization methods,» de *2017 XVII Workshop on Information Processing and Control (RPIC)*, 2017.
- [37] M. Rivera, S. Kouro, J. Rodriguez, B. Wu y J. Espinoza, «Predictive control of a current source converter operating with low switching frequency,» de *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, 2012.
- [38] IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems, Vols. 1 de IEEE Std 519-2014 (Revision of IEEE Std 519-1992), vol., no., pp.1-29, 11, 2014.
- [39] M. Castilla, *Control Circuits in Power Electronics: Practical issues in design and implementation*, 2016.
- [40] L. A. Moran, *A Simple and Low-Cost Control Strategy for Active Power Filters Connected in Cascade*, 1997.


```

1      ,      1      ,      1      }      ,      0      ,      0      ,      0      ,
{ 0    ,      0    ,      0    ,      0    ,      1    ,      1    ,      1    ,
0    ,      0    ,      0    ,      0    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
} 1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
0    ,      0    ,      0    ,      0    ,      0    ,      0    ,      0    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
} 1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
0    ,      0    ,      0    ,      0    ,      0    ,      0    ,      0    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
} 1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
0    ,      0    ,      0    ,      0    ,      0    ,      0    ,      0    ,
0    ,      0    ,      0    ,      0    ,      0    ,      0    ,      0    ,
} 1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,
1    ,      1    ,      1    ,      1    ,      1    ,      1    ,      1    ,

```

```

1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
0      ,      0      ,      0      ,      0      ,      0      ,      0      ,      0      ,
0      ,      0      ,      0      }      ,      ,      ,      ,      ,      ,      ,
{      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
0      ,      0      ,      0      ,      0      ,      0      ,      0      ,      0      ,
0      ,      0      ,      0      }      ,      ,      ,      ,      ,      ,      ,
{      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
0      ,      0      ,      0      ,      0      ,      0      ,      0      ,      0      ,
0      ,      0      ,      0      }      ,      ,      ,      ,      ,      ,      ,
{      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
0      ,      0      ,      0      ,      0      ,      0      ,      0      ,      0      ,
0      ,      0      ,      0      }      ,      ,      ,      ,      ,      ,      ,
{      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
0      ,      0      ,      0      ,      0      ,      0      ,      0      ,      0      ,
0      ,      0      ,      0      }      ,      ,      ,      ,      ,      ,      ,
{      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
1      ,      1      ,      1      ,      1      ,      1      ,      1      ,      1      ,
0      ,      0      ,      0      ,      0      ,      0      ,      0      ,      0      ,
0      ,      0      ,      0      }

```

```

};
//AGREGADO*****
#define PWM3_INT_ENABLE 1
#define PWM3_TIMER_TBPRD 7500// 0xFFFF
#define N 100
#define FACTOR 0.6667
int in=0;
char dato[8] = "00000000";
//AGREGADO prototipo

Uint32 EPwm3TimerIntCount;
__interrupt void adc_isr(void);
double spvc=90;
double kivc=0.999, kdvc=0.002, errpivc_1=0, outpivc=0, errpivc_2=0;
double tempo=0, Vsa2=0;
double s03f=0,s1203f=0,s2403f=0;
double c03f=0,c1203f=0,c2403f=0;
double vsd=0, vsq=0, ang=0, ok=0;

```

```

double Isadref=0,Isaqref=0, Isad=0, Isaq=0;
double vkmues[200], muest[500], IsaD[N], IsaQ[N], d=0, q=0,
Ismeas=0,Vsameas=0,Vsbmeas=0,Vscmeas=0, Isa=0,Vsa=0,Vsb=0,Vsc=0, pll=0,
isref=0, id=0, iq=0, ica=0,Tss=0, Ts=0.001, ga=0, gmina=1000, imina=0;
double Vhpcmeas=0, Vhpc=0;
double alfa=0, ek=0, kp, Ti=0, uk=0, ek1=0, L=0, R=0;
int indice=0, iant=0, jc=0;

Uint16 LoopCount;
Uint16 ConversionCount;
Uint16 Voltage1[10];
Uint16 Voltage2[10];
Uint16 voltage;
int sw, kn=0, test1=0;
double Iref=0;
int bandera=0;
int cuenta=0;
Uint16 val;
Uint16 val2;
#define pi 3.1415926535
#define f 50
double t=0, A=0;
double oVCO=0, T=0, w=2*pi*f;
double c0=0, s0=0, c01, s01, p=0, ald=0, a0d=0, alq=0, a0q=0;
double vd=0, vq=0, yd=0, yq=0, dalfa=0, beta=0, meas=0;
double ydm1=0, vdm1=0, yqm1=0, vqm1=0;
long int i=1;
int kv=0;
int iii=0;
int vect2[27][7]={
{-13, 0, 1, 0, 1, 0, 1},
{-12, 0, 1, 0, 1, 1, 1},
{-11, 0, 1, 0, 1, 1, 0},
{-10, 0, 1, 1, 1, 0, 1},
{-9, 0, 1, 1, 1, 1, 1},
{-8, 0, 1, 1, 1, 1, 0},
{-7, 0, 1, 1, 0, 0, 1},
{-6, 0, 1, 1, 0, 1, 1},
{-5, 0, 1, 1, 0, 1, 0},
{-4, 1, 1, 0, 1, 0, 1},
{-3, 1, 1, 0, 1, 1, 1},
{-2, 1, 1, 0, 1, 1, 0},
{-1, 1, 1, 1, 1, 0, 1},
{0, 1, 1, 1, 1, 1, 1},
{1, 1, 1, 1, 1, 1, 0},
{2, 1, 1, 1, 0, 0, 1},
{3, 1, 1, 1, 0, 1, 1},
{4, 1, 1, 1, 0, 1, 0},
{5, 1, 0, 0, 1, 0, 1},
{6, 1, 0, 0, 1, 1, 1},
{7, 1, 0, 0, 1, 1, 0},
{8, 1, 0, 1, 1, 0, 1},
{9, 1, 0, 1, 1, 1, 1},
{10, 1, 0, 1, 1, 1, 0},
{11, 1, 0, 1, 0, 0, 1},
{12, 1, 0, 1, 0, 1, 1},
{13, 1, 0, 1, 0, 1, 0}
};

```

```

int vect[27][7]={
{-13, 0, 1, 0, 1, 0, 1},
{-12, 0, 1, 0, 1, 0, 0},
{-11, 0, 1, 0, 1, 1, 0},
{-10, 0, 1, 0, 0, 0, 1},
{-9, 0, 1, 0, 0, 0, 0},
{-8, 0, 1, 0, 0, 1, 0},
{-7, 0, 1, 1, 0, 0, 1},
{-6, 0, 1, 1, 0, 0, 0},
{-5, 0, 1, 1, 0, 1, 0},
{-4, 0, 0, 0, 1, 0, 1},
{-3, 0, 0, 0, 1, 0, 0},
{-2, 0, 0, 0, 1, 1, 0},
{-1, 0, 0, 0, 0, 0, 1},
{0, 0, 0, 0, 0, 0, 0},
{1, 0, 0, 0, 0, 1, 0},
{2, 0, 0, 1, 0, 0, 1},
{3, 0, 0, 1, 0, 0, 0},
{4, 0, 0, 1, 0, 1, 0},
{5, 1, 0, 0, 1, 0, 1},
{6, 1, 0, 0, 1, 0, 0},
{7, 1, 0, 0, 1, 1, 0},
{8, 1, 0, 0, 0, 0, 1},
{9, 1, 0, 0, 0, 0, 0},
{10, 1, 0, 0, 0, 1, 0},
{11, 1, 0, 1, 0, 0, 1},
{12, 1, 0, 1, 0, 0, 0},
{13, 1, 0, 1, 0, 1, 0}
};

__interrupt void epwm3_timer_isr(void);
void InitEPwmTimer(void);
void conmutacion(void);
void pll3f();
int predictive();
void PirefCorriente();
void spi_xmit(Uint16 a);
void spi_fifo_init();
void spi_init();
Uint16 sdata; // send data
Uint16 rdata;

main()
{
// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the DSP2833x_SysCtrl.c file.

    InitSysCtrl();

    EALLOW;
    #if (CPU_FRQ_150MHZ) // Default - 150 MHz SYSCLKOUT
        #define ADC_MODCLK 0x3 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
150/(2*3) = 25.0 MHz
    #endif
    #if (CPU_FRQ_100MHZ)

```

```

    #define ADC_MODCLK 0x2 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
100/(2*2)    = 25.0 MHz
#endif

EDIS;

// Define ADCCLK clock frequency ( less than or equal to 25 MHz )
// Assuming InitSysCtrl() has set SYSCLKOUT to 150 MHz
EALLOW;
SysCtrlRegs.HISPCP.all = ADC_MODCLK;
EDIS;

// Step 2. Initialize GPIO:
// This example function is found in the DSP2833x_Gpio.c file and
// illustrates how to set the GPIO to it's default state.
// InitGpio(); // Skipped for this example

// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
DINT;

// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the DSP2833x_PieCtrl.c file.
InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
IER = 0x0000;
IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in DSP2833x_DefaultIsr.c.
// This function is found in DSP2833x_PieVect.c.
InitPieVectTable();

//AGREGADO*****
// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
EALLOW; // This is needed to write to EALLOW protected register
PieVectTable.ADCINT = &adc_isr;
PieVectTable.EPWM3_INT = &epwm3_timer_isr;
EDIS; // This is needed to disable write to EALLOW protected
registers

//AGREGADO*****
InitEPwmTimer(); // For this example, only initialize the ePWM
Timers
EPwm3TimerIntCount = 0;
// Step 4. Initialize all the Device Peripherals:
// This function is found in DSP2833x_InitPeripherals.c
// InitPeripherals(); // Not required for this example
InitAdc(); // For this example, init the ADC

```

```

//AGREGADO*****
// Enable CPU INT3 which is connected to EPWM1-6 INT:
IER |= M_INT3;

// Enable EPWM INTn in the PIE: Group 3 interrupt 1-6

PieCtrlRegs.PIEIER3.bit.INTx3 = PWM3_INT_ENABLE;

// Enable global Interrupts and higher priority real-time debug
events:
EINT;    // Enable Global interrupt INTM
ERTM;    // Enable Global realtime interrupt DBGM

//configurar pin 9 como salida

    EALLOW;
    // GpioCtrlRegs.GPBMUX1.bit.GPIO34 = 0;
    // GpioCtrlRegs.GPBDIR.bit.GPIO34 = 1;
    // GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 0;    // GPIO9 = GPIO9
    // GpioCtrlRegs.GPADIR.bit.GPIO9 = 1;    // GPIO9 = output

    GpioCtrlRegs.GPADIR.bit.GPIO0    = 1;    // IGBT A22
    GpioCtrlRegs.GPADIR.bit.GPIO2    = 1;    // IGBT A31
    GpioCtrlRegs.GPADIR.bit.GPIO4    = 1;    // IGBT A32
    GpioCtrlRegs.GPADIR.bit.GPIO6    = 1;    // IGBT B11
    GpioCtrlRegs.GPADIR.bit.GPIO8    = 1;    // IGBT B12
    GpioCtrlRegs.GPADIR.bit.GPIO7    = 1;    // IGBT B12

    GpioCtrlRegs.GPBDIR.bit.GPIO58   = 1;    // IGBT A11
    GpioCtrlRegs.GPBDIR.bit.GPIO60   = 1;    // IGBT A12
    GpioCtrlRegs.GPBDIR.bit.GPIO62   = 1;    // IGBT A21
    // SALIDAS CONMUTACIÓN DE IGBT
        GpioCtrlRegs.GPADIR.bit.GPIO7    = 1;    // IGBT A11
        GpioCtrlRegs.GPBDIR.bit.GPIO59   = 1;    // IGBT A11
        GpioCtrlRegs.GPBDIR.bit.GPIO61   = 1;    // IGBT A12
        GpioCtrlRegs.GPBDIR.bit.GPIO63   = 1;    // IGBT A21
        GpioCtrlRegs.GPADIR.bit.GPIO1    = 1;    // IGBT A22
        GpioCtrlRegs.GPADIR.bit.GPIO3    = 1;    // IGBT A31
        GpioCtrlRegs.GPADIR.bit.GPIO5    = 1;    // IGBT A32

        GpioCtrlRegs.GPADIR.all = 0xFFFFFFFF;    // All outputs
        GpioCtrlRegs.GPBDIR.all = 0xFFFFFFFF;    // All outputs
    EDIS;

    GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0;    // Enable pullup on GPIO9
    GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 0;    // GPIO9 = GPIO9
    GpioCtrlRegs.GPADIR.bit.GPIO1 = 1;    // GPIO9 = output

// Step 5. User specific code, enable interrupts:
    // Init SPI
    InitSpiaGpio();
// Enable ADCINT in PIE
PieCtrlRegs.PIEIER1.bit.INTx6 = 1;
IER |= M_INT1; // Enable CPU Interrupt 1
EINT;         // Enable Global interrupt INTM
ERTM;         // Enable Global realtime interrupt DBGM

LoopCount = 0;

```

```

ConversionCount = 0;

// Configure ADC

// Configure ADC
// Configure ADC
//AdcRegs.ADCTRL3.bit.SMODE_SEL = 0x1; // Setup
simultaneous sampling mode
AdcRegs.ADCMAXCONV.all = 0x0003; // Setup 2 conv's on SEQ1
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // Setup ADCINA0 as 1st
SEQ1 conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // Setup ADCINA1 as 2nd
SEQ1 conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // Setup ADCINA2 as 3rd
SEQ1 conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // Setup ADCINA3 as 4nd
SEQ1 conv.
AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x4; // Setup ADCINA4 as 4nd
SEQ1 conv.
AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 1; // Enable SOCA from ePWM
to start SEQ1
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Enable SEQ1 interrupt
(every EOS)

// AdcRegs.ADCTRL3.bit.SMODE_SEL=0X1;
spi_fifo_init(); // Initialize the Spi FIFO
spi_init(); // init SPI

// Assumes ePWM1 clock is already enabled in InitSysCtrl();

EPwm1Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
EPwm1Regs.ETSEL.bit.SOCASEL = 4; // Select SOC from from CPMA on
upcount
EPwm1Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
EPwm1Regs.CMPA.half.CMPA = 0x0080; // Set compare A value
EPwm1Regs.TBPRD = 0x1FFF; // Set period for ePWM1
EPwm1Regs.TBCTL.bit.CTRMODE = 0; // count up and start

EALLOW;
GpioCtrlRegs.GPBMUX1.bit.GPIO34 = 0;
GpioCtrlRegs.GPBDIR.bit.GPIO34 = 1;
GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 0; // GPIO9 = GPIO9
GpioCtrlRegs.GPADIR.bit.GPIO9 = 1; // GPIO9 = output

EDIS;
// Wait for ADC interrupt
//Initialize the SPI FIFO

for(;;)
{

spi_xmit(cos(ok)*1000+10000);

```

```

        while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { }
        // Check against sent data
        rdata = SpiaRegs.SPIRXBUF;

        LoopCount++;
    }
}
void error(void)
{
    __asm("      ESTOP0"); // Test
    failed!! Stop!
    for (;;)
}

void spi_init()
{
    SpiaRegs.SPICCR.all =0x000F; // Reset on, rising edge,
16-bit char bits
    SpiaRegs.SPICTL.all =0x0006; // Enable master
mode, normal phase, // enable talk, and SPI
int disabled.
    SpiaRegs.SPIBRR =0x007F;
    SpiaRegs.SPICCR.all =0x009F; // Relinquish SPI from
Reset
    SpiaRegs.SPIPRI.bit.FREE = 1; // Set so breakpoints
don't disturb xmission
}

void spi_xmit(Uint16 a)
{
    SpiaRegs.SPITXBUF=a;
}

void spi_fifo_init()
{
// Initialize SPI FIFO registers
    SpiaRegs.SPIFFTX.all=0xE040;
    SpiaRegs.SPIFFRX.all=0x204f;
    SpiaRegs.SPIFFCT.all=0x0;
}

void delay_loop()
{
    long i;
    for (i = 0; i < 1000000; i++) {}
}

void InitePwmTimer()
{
    EALLOW;
    SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0; // Stop all the TB clocks
    EDIS;
}

```

```

// Setup Sync
EPwm3Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN; // Pass through

// Allow each timer to be sync'ed

EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE;

EPwm3Regs.TBPHS.half.TBPHS = 300;

EPwm3Regs.TBPRD = PWM3_TIMER_TBPRD;
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up
EPwm3Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Enable INT on Zero
event
EPwm3Regs.ETSEL.bit.INTEN = PWM3_INT_ENABLE; // Enable INT
EPwm3Regs.ETPS.bit.INTPRD = 1; // Generate INT on 3rd event

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1; // Start all the timers
synced
EDIS;
}

```

```

__interrupt void adc_isr(void)
{

return;
}

```

```

__interrupt void epwm3_timer_isr(void)
{

//PLL
c01=cos(w*t);
s01=sin(w*t);

//Voltajes trifásicos
Vsameas=(AdcRegs.ADCRESULT0 >>4);
Vsbmeas=(AdcRegs.ADCRESULT1 >>4);
Vscmeas=(AdcRegs.ADCRESULT2 >>4);
//Corriente convertidor
Ismeas=(AdcRegs.ADCRESULT3 >>4);
//Voltaje celda HPC
Vhpcmeas=(AdcRegs.ADCRESULT4 >>4);

Vsa = 0.1646*Vsameas- 318.36;
Vsb=0.1628*Vsbmeas -260;
Vsc=0.1617*Vscmeas -314.31;
Isa=0.0034*Ismeas - 7.3882;
Vhpc= 0.1715*Vhpcmeas-351.36;

PIrefCorriente();
}

```

```

    pll3f();
    predictive();
    //conmutacion();

    GpioDataRegs.GPBDAT.bit.GPIO59      = test1; // IGBT11
    test1=~test1;
    EPwm3TimerIntCount++;

    // Clear INT flag for this timer
    EPwm3Regs.ETCLR.bit.INT = 1;

    // Acknowledge this interrupt to receive more interrupts from group 3
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
    // Reinitialize for next ADC sequence
    AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;          // Reset SEQ1
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;        // Clear INT SEQ1 bit
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;    // Acknowledge interrupt
to PIE

}

void conmutacion(void)
{

    //if(ek<0.5){
    //if(s01>=0.97 && s01<=1)
    //    kv=ceil(13*s01+13);
    //else if(s01<=-0.97 && s01>=-1)
    //    kv=floor(13*s01+13);
    //else
    //    kv=ceil(13*s01+13);

    GpioDataRegs.GPBDAT.bit.GPIO59 = vect2[kv][1]; // IGBT11
    GpioDataRegs.GPADAT.bit.GPIO7  = vect2[kv][1]; // IGBT11
    GpioDataRegs.GPBDAT.bit.GPIO61 = vect2[kv][2]; // IGBT12
    GpioDataRegs.GPBDAT.bit.GPIO63 = vect2[kv][3]; // IGBT21
    GpioDataRegs.GPADAT.bit.GPIO1  = vect2[kv][4]; // IGBT22
    GpioDataRegs.GPADAT.bit.GPIO3  = vect2[kv][5]; // IGBT31
    GpioDataRegs.GPADAT.bit.GPIO5  = vect2[kv][6]; // IGBT32

    t=t+0.0001;
    if (t>0.02)t=0;

}

```

```

int predictive()
{
    iq=0;
    //if(tempo>3000)
    //    id=1;
    //else
    //    id=0.5;
    iant=indice;

    id=outpivc;
    id=1.5;
    isref=id*c03f+iq*s03f;
    A=0.025;
    gmina=100;
    L=20e-3;
    // R=6.5;//---->>5A
    //R=15.4;
    R=10.8;
    for(jc=0;jc<26;jc++){
        ica=(Ts/L)*(-Vsa+vect2[jc][0]*52/13-R*Isa)+Isa;
        ga=(isref-ica+A*B[iant][i])*(isref-ica+A*B[iant][i]);

        if (ga<gmina){
            indice=jc;
            gmina=ga;
        }
    }

    GpioDataRegs.GPBDAT.bit.GPIO59 = vect[indice][1]; // IGBT A11
    GpioDataRegs.GPADAT.bit.GPIO7  = vect[indice][1]; // IGBT A11
    GpioDataRegs.GPBDAT.bit.GPIO61 = vect[indice][2]; // IGBT A12
    GpioDataRegs.GPBDAT.bit.GPIO63 = vect[indice][3]; // IGBT A21
    GpioDataRegs.GPADAT.bit.GPIO1  = vect[indice][4]; // IGBT A22
    GpioDataRegs.GPADAT.bit.GPIO3  = vect[indice][5]; // IGBT A31
    GpioDataRegs.GPADAT.bit.GPIO5  = vect[indice][6]; // IGBT A32
    t=t+0.0001;
        if (t>0.02)t=0;

    return 0;
}

void pll3f(){
    ang=ok;
    s03f=sin(ang);
    s1203f=sin(ang-2*pi/3);
    s2403f=sin(ang+2*pi/3);

    c03f=cos(ang);
    c1203f=cos(ang-2*pi/3);
    c2403f=cos(ang+2*pi/3);
    ////////////////T. de park 3F////////////////////
    vsd=FACTOR*(s03f*Vsa+s1203f*Vsb+s2403f*Vsc);
    vsq=FACTOR*(c03f*Vsa+c1203f*Vsb+c2403f*Vsc);
    //if(vsq>2){
    //LPF

```

```

    alfa=0.08;
    ek=ek+alfa*(-vsd-ek);
    //PI
    Ti=1;
    Ts=0.0001;
    kp=5;
    uk=uk+kp*ek*(1+Ts/Ti)-kp*ek1;
    ek1=ek;
    //Vco

    ok=ok+Ts*(w+uk);
    if(ok>=2*pi)
        ok=ok-2*pi;

    //else{
    //    ok=0;
    //}
}

void PIrefCorriente(){
    spvc=39;
    //kdvc=0.0040292;
    //kivc=0.001477;
    kdvc=0.00040292;
    kivc=0.0001477;

    errpivc_1=spvc-Vhpc;
    outpivc= outpivc+ kdvc*errpivc_1+kivc*errpivc_2;
    double TTi=0.27279;
    //outpivc=outpivc+kdvc*errpivc_1*(1+Ts*50/TTi)-kdvc*errpivc_2;

    errpivc_2=errpivc_1;
    if (outpivc>=4.5) outpivc=1.5;
    if (outpivc<=-4.5) outpivc=-1.5;
}

```

7.2 Código FPGA

```

`timescale 1ns / 1ps
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date:      17:44:14 07/15/2017
// Design Name:
// Module Name:      led
// Project Name:
// Target Devices:
// Tool versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
////////////////////////////////////////////////////////////////
module led(
    input  clk,
    input  wire PA9,PB9,PA3,PB3,PA1,PB1,
    output reg
PA9HI,PA9LO,PB9HI,PB9LO,PA3HI,PA3LO,PB3HI,PB3LO,PA1HI,PA1LO,PB1HI,PB1LO
    `define limite 100
    `define limite2 100 //limite de cuenta a la que llega count y count2
    `define limite3 100
    `define limite4 100
    `define limite5 100
    `define limite6 100

// reg [23:0] count_a31,count_a32,count_b31,count_b32
);

    initial
        begin

                count_a91=1; //inciacion de contador de s1
count_a92=1;
                count_b91=1;
                count_b92=1;
                count_a31=1; //inciacion de contador de s1
count_a32=1;
                count_b31=1;
                count_b32=1;
                count_a11=1; //inciacion de contador de s1
count_a12=1;
                count_b11=1;

```

```

        count_b12=1;

    end
reg [23:0] count_a91, count_a92, count_b91, count_b92, count_a31,
count_a32, count_b31, count_b32, count_a11, count_a12, count_b11,
count_b12;

// pierna 9A
always @(posedge clk)
begin

    if (PA9==1)
    begin
        count_a92=1;
        PA9LO=0;
        case(count_a91)
        `limite: begin PA9HI = 1; end
        endcase
        count_a91=count_a91+1;
    end

    else
    begin
        count_a91=1;
        PA9HI=0;
        case(count_a92)
        `limite2: begin PA9LO = 1; end
        endcase
        count_a92=count_a92+1;
    end

end

//Pierna 9B
always @(posedge clk)
begin

    if (PB9==1)
    begin
        count_b92=1;
        PB9LO=0;
        case(count_b91)
        `limite: begin PB9HI = 1; end
        endcase
        count_b91=count_b91+1;
    end

    else
    begin
        PB9HI=0;
        count_b91=1;
        case(count_b92)
        `limite: begin PB9LO = 1; end
        endcase
        count_b92=count_b92+1;
    end

end

end

```

```

/////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////

//CELDA MEDIO

/////////////////////////////////////////////////////////////////

//pierna 3a
always @(posedge clk)
begin

    if(PA3==1)
    begin
        count_a32=1;
        PA3LO=0;
        case(count_a31)
        `limite: begin PA3HI = 1; end
        endcase
        count_a31=count_a31+1;
    end

    else
    begin
        count_a31=1;
        PA3HI=0;
        case(count_a32)
        `limite2: begin PA3LO = 1; end
        endcase
        count_a32=count_a32+1;
    end

end

//Pierna 3B

always @(posedge clk)
begin

    if(PB3==1)
    begin
        count_b32=1;
        PB3LO=0;
        case(count_b31)
        `limite: begin PB3HI = 1; end
        endcase
        count_b31=count_b31+1;
    end

    else
    begin
        PB3HI=0;
        count_b31=1;
        case(count_b32)
        `limite: begin PB3LO = 1; end
        endcase
        count_b32=count_b32+1;
    end
end

```

```

    end
end

//////////CELDA abajo/////
// pierna 1A
always @(posedge clk)
begin

    if(PA1==1)
    begin
        count_a12=1;
        PA1LO=0;
        case(count_a11)
        `limite5: begin PA1HI = 1; end
        endcase
        count_a11=count_a11+1;
    end

    else
    begin
        count_a11=1;
        PA1HI=0;
        case(count_a12)
        `limite6: begin PA1LO = 1; end
        endcase
        count_a12=count_a12+1;
    end

end

//Pierna 1B
always @(posedge clk)
begin

    if(PB1==1)
    begin
        count_b12=1;
        PB1LO=0;
        case(count_b11)
        `limite5: begin PB1HI = 1; end
        endcase
        count_b11=count_b11+1;
    end

    else
    begin
        PB1HI=0;
        count_b11=1;
        case(count_b12)
        `limite6: begin PB1LO = 1; end
        endcase
        count_b12=count_b12+1;
    end

end

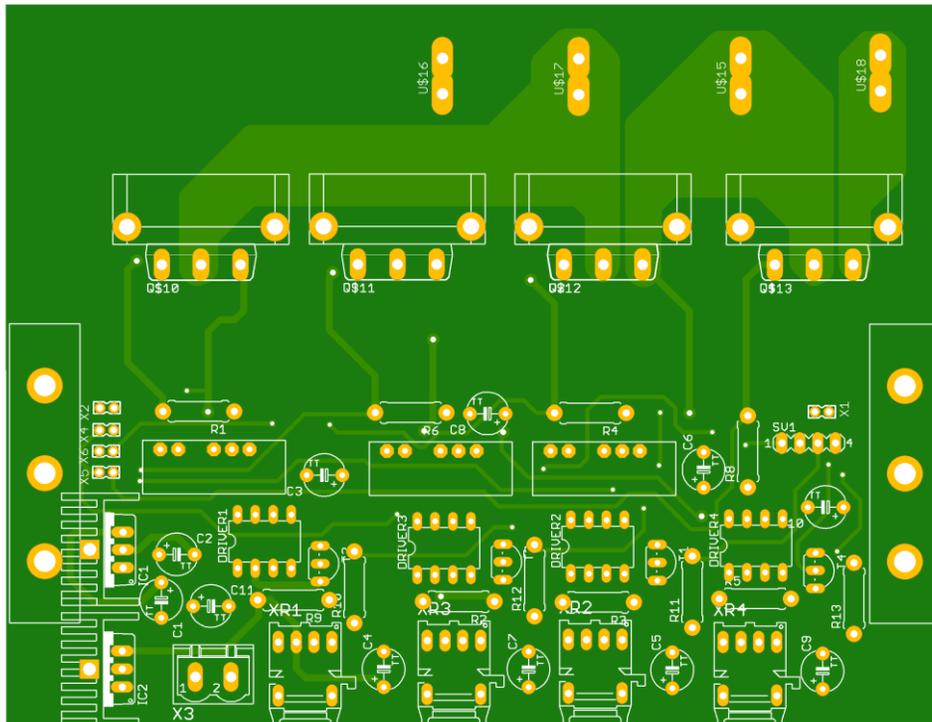
//////////
//////////

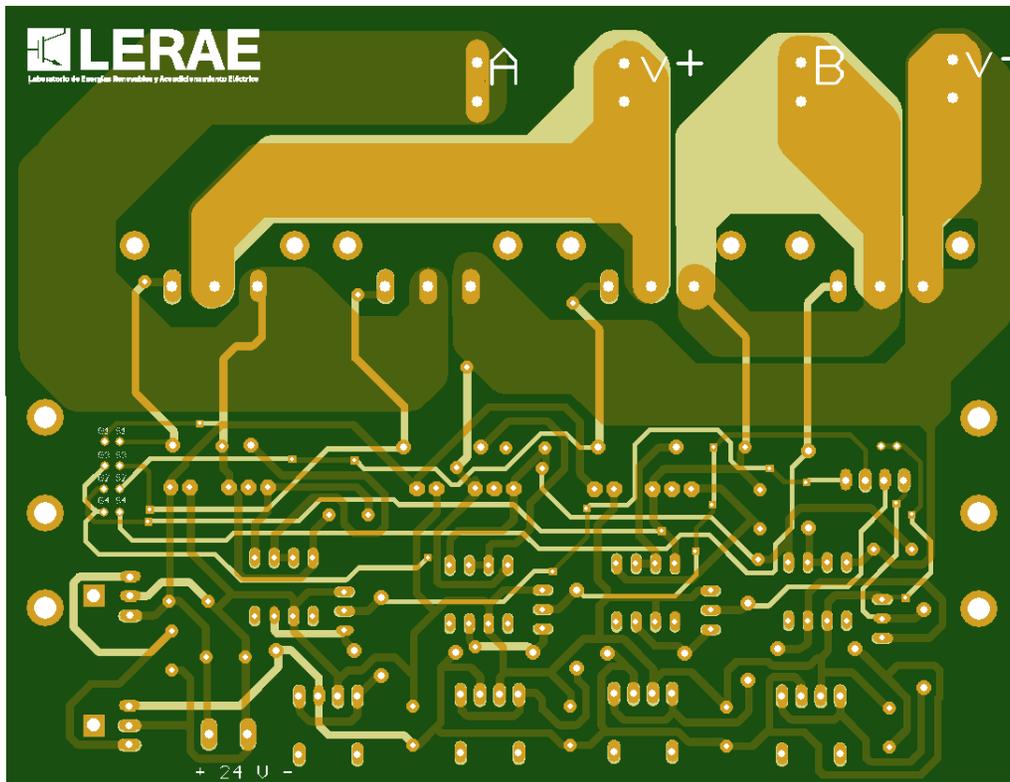
```

endmodule

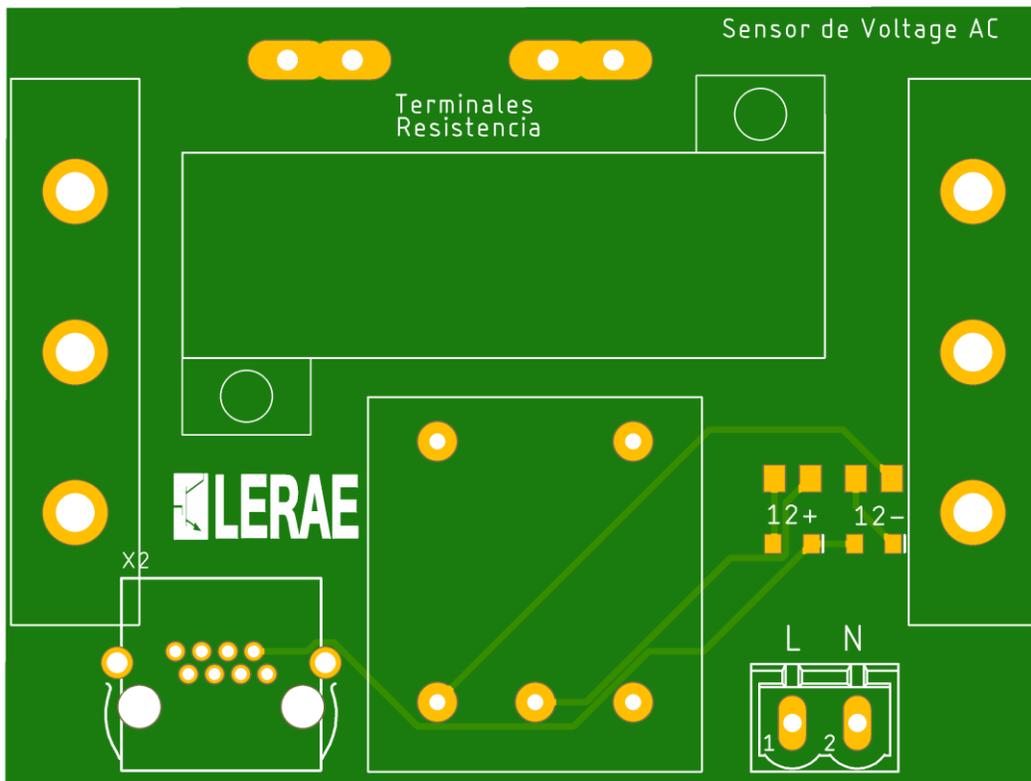
7.3 PCB

7.3.1 Placa Puente H

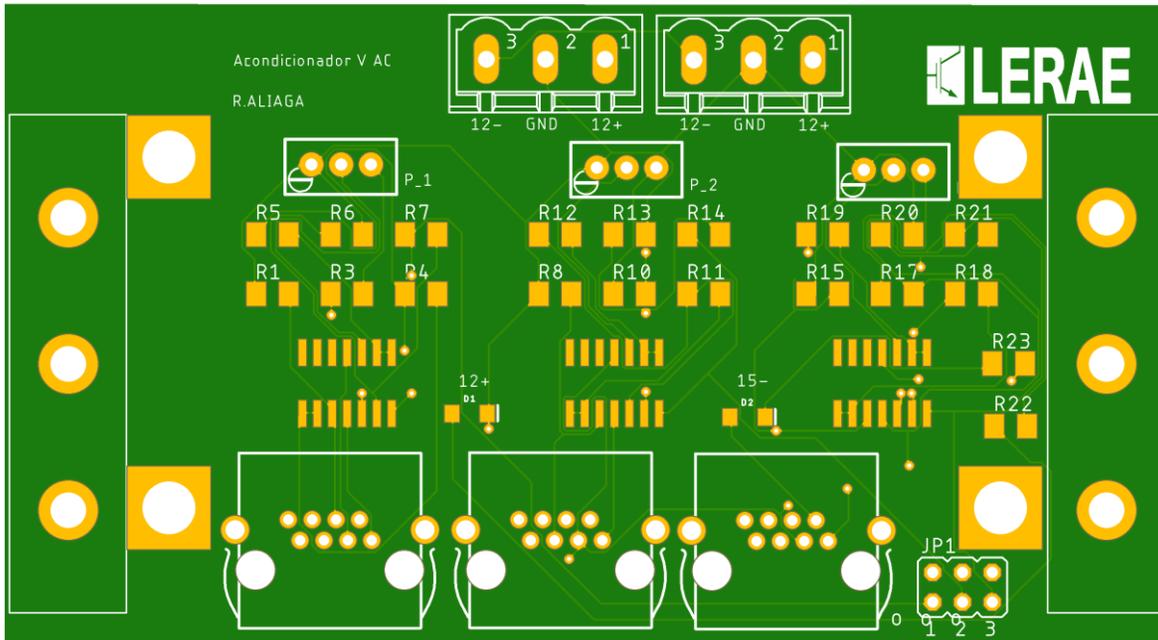




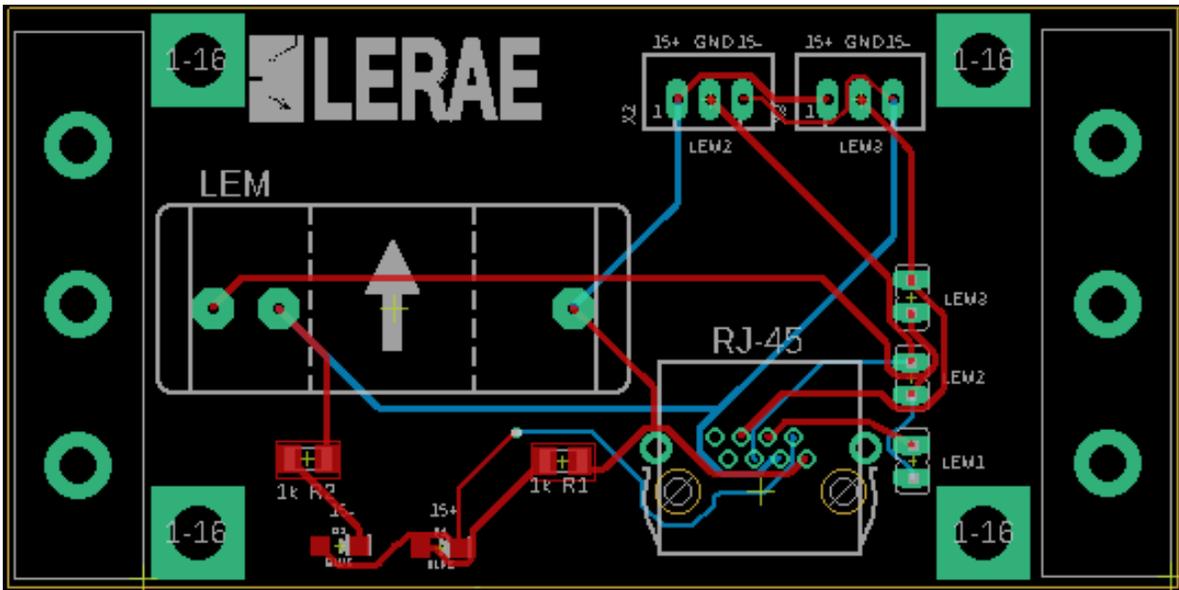
7.3.2 Placa Sensor de Voltaje



7.3.3 Placa Acondicionadora de Voltaje



7.3.4 Placa Sensor de Corriente



7.3.5 Placa Acondicionadora de Corriente

