



FACULTAD DE INGENIERÍA  
ESCUELA DE INGENIERÍA CIVIL MECATRÓNICA

# DISEÑO DE UNA PLATAFORMA DE PROTOTIPADO RÁPIDO DE CONTROL PARA CONTROLADORES DE LA FAMILIA TI C2000

**Memoria para optar al Título de:**

Ingeniero Civil Mecatrónico

**Profesor Guía:**

Dr. Pablo Acuña Ríos

VÍCTOR MANUEL HERNÁNDEZ HERRERA

CURICÓ - CHILE

2020

## CONSTANCIA

La Dirección del Sistema de Bibliotecas a través de su encargado Biblioteca Campus Curicó certifica que el autor del siguiente trabajo de titulación ha firmado su autorización para la reproducción en forma total o parcial e ilimitada del mismo.



UNIVERSIDAD DE TALCA  
DIRECCIÓN  
SISTEMA DE BIBLIOTECAS

UNIVERSIDAD DE TALCA  
SISTEMA DE BIBLIOTECAS  
CAMPUS CURICO

Curicó, 2022

© 2020, Víctor Manuel Hernández Herrera

Ninguna parte de esta tesis puede reproducirse o transmitirse bajo ninguna forma o por ningún medio o procedimiento, sin permiso por escrito del autor.

Se autoriza la reproducción total o parcial, con fines académicos, por cualquier medio o procedimiento, incluyendo la cita bibliográfica del documento

## Resumen

El presente informe de Memoria de Título presenta el desarrollo metódico que se ha seguido para diseñar una plataforma de prototipado rápido de control para controladores de la familia C2000 en sus formatos LaunchPad-F2879D y ControlCARD TMDSCNCD28379D.

El desarrollo de este proyecto implicó en sus primeras etapas un análisis teórico de lo que se entendía por plataforma de prototipado rápido de control. Además, se dio una mirada a lo que diferentes empresas han desarrollado y para donde va dirigida la mirada de la industria.

Luego de realizado el análisis, se propuso una plataforma a desarrollar a partir de diferentes requerimientos de diseño que en su conjunto condensan las características diferenciadoras que se le dio a la plataforma.

A partir de la plataforma propuesta, se diseñó la parte electrónica en donde se obtuvo un pinmap completo, diseño de entradas analógicas y entradas y salidas digitales para finalizar analizando el consumo de potencia de la plataforma.

Siguiendo con el diseño, se planteó la mecánica de la plataforma. Esto a grandes rasgos fue donde iba a estar contenida toda la electrónica desarrollada y cuales iban a ser los mecanismos implementados en esta. Entre los mecanismos implementados destacan la extracción e inserción de placas por medio de conectores BackPlanes y Snap Fit.

Finalmente, todo lo desarrollado en los capítulos anteriores se integró, se modeló en 3D y se montó en un ensamblaje 3D completo de toda la plataforma.

A mi madre...

## AGRADECIMIENTOS

A todos quienes me apoyaron durante este tiempo.

A mi familia, por estar a mi lado en los momentos buenos y malos.

Al profesor Mario Fernández, por compartir su sabiduría.

Al profesor Pablo Acuña, por guiarme en el desarrollo del trabajo realizado, por confiar en mí y apoyarme.

A las personas con quienes he trabajado durante estos años y han compartido su conocimiento conmigo.

Finalmente al proyecto FONDECYT 1191502 liderado por el Dr. Pablo Acuña, que permitió el financiamiento de este trabajo.

# Índice general

<b>Resumen</b>	<b>III</b>
<b>AGRADECIMIENTOS</b>	<b>V</b>
<b>1. Introducción</b>	<b>1</b>
1.1. Introducción general . . . . .	1
1.1.1. Contexto . . . . .	1
1.1.2. Problemática . . . . .	2
1.2. Estado del arte . . . . .	4
1.3. Hipótesis de trabajo . . . . .	6
1.4. Objetivos . . . . .	6
1.4.1. Objetivo general . . . . .	6
1.4.2. Objetivos específicos . . . . .	6
1.5. Alcances y limitaciones . . . . .	6
1.6. Metodología . . . . .	7
<b>2. Plataformas de prototipado rápido de control</b>	<b>9</b>
2.1. Introducción . . . . .	9
2.2. Prototipado rápido de control . . . . .	9
2.2.1. Model-Based Design (MBD) . . . . .	11
2.2.2. Simulación en tiempo real (RTS) . . . . .	12
2.2.2.1. Hardware-In-The-Loop(HIL) . . . . .	14
2.2.2.2. Controller-Hardware-in-the-Loop (CHIL) . . . . .	15
2.2.2.3. Rapid-Control-Prototyping (RCP) . . . . .	15
2.3. Plataformas comerciales . . . . .	16
2.3.1. Características . . . . .	17
2.4. Discusión final . . . . .	17
<b>3. Plataforma propuesta</b>	<b>20</b>
3.1. Introducción . . . . .	20
3.2. Requerimientos de compatibilidad . . . . .	20
3.3. Requerimientos de seguridad . . . . .	21

---

3.4.	Escalabilidad . . . . .	21
3.5.	Requerimientos mecánicos . . . . .	21
3.5.1.	Modularidad . . . . .	21
3.5.2.	Flexibilidad . . . . .	22
3.6.	Requerimientos electrónicos . . . . .	22
3.6.1.	Controlador . . . . .	22
3.6.2.	Puertos de entrada y salida . . . . .	24
3.6.3.	Modularidad en entradas y salidas . . . . .	24
3.6.4.	Entradas analógicas . . . . .	24
3.6.4.1.	Entradas y salidas digitales . . . . .	25
3.7.	Resumen de los requerimientos del sistema . . . . .	26
3.8.	Discusión final . . . . .	27
<b>4.</b>	<b>Diseño electrónico</b> . . . . .	<b>28</b>
4.1.	Introducción . . . . .	28
4.2.	Mapeo de pines . . . . .	28
4.2.1.	Características de la plataforma . . . . .	29
4.3.	Entradas analógicas . . . . .	30
4.3.1.	Diseño . . . . .	30
4.3.2.	Simulación . . . . .	35
4.3.3.	Selección del amplificador operacional . . . . .	36
4.3.4.	Selección de componentes . . . . .	39
4.3.5.	Validación . . . . .	40
4.4.	Entradas y salidas digitales . . . . .	48
4.4.1.	Simulación entradas y salidas digitales . . . . .	49
4.4.2.	Selección de componentes . . . . .	51
4.5.	Estimación teórica del consumo de potencia . . . . .	52
4.5.1.	Controladores . . . . .	52
4.5.2.	Entradas analógicas . . . . .	54
4.5.3.	Entradas digitales ópticas . . . . .	55
4.5.4.	Salidas digitales ópticas . . . . .	56
4.5.5.	Entrada/salida digital no óptica . . . . .	56
4.5.6.	Potencia Total . . . . .	57
4.5.7.	Selección de fuente de poder . . . . .	57
<b>5.</b>	<b>Diseño mecánico</b> . . . . .	<b>59</b>
5.1.	Introducción . . . . .	59
5.1.1.	Subrack Europac PRO . . . . .	59
5.2.	Distribución espacial . . . . .	62
5.3.	Modularidad y flexibilidad . . . . .	64
5.3.1.	Entradas y salidas . . . . .	65
5.4.	Estándar de conexiones y conectores . . . . .	66

5.4.1.	Conexión entre los controladores y la placa madre . . . . .	67
5.4.2.	Conexión Backplane - Placa madre . . . . .	67
5.4.3.	Conexión entre el acondicionamiento agrupado y la placa madre	68
5.4.4.	Conexión acondicionador distribuido y su BackPlane . . . . .	69
5.4.5.	Conexión entre BackPlane del acondicionamiento de Señales Distribuido (ASD) y placa madre . . . . .	70
5.4.6.	Panel frontal (FrontPanel) . . . . .	71
5.4.7.	Panel trasero (BackPanel) . . . . .	72
5.4.8.	Panorama general . . . . .	73
5.5.	Inserción y extracción de placas de acondicionamiento de señales distribuidas . . . . .	73
5.6.	Dimensionamiento de placas . . . . .	74
5.7.	Sujeción de los BackPlane y FrontPanel . . . . .	76
<b>6.</b>	<b>Diseño placas de circuito impreso</b>	<b>78</b>
6.1.	Introducción . . . . .	78
6.2.	Placa Madre . . . . .	78
6.2.1.	Controlador . . . . .	80
6.2.2.	Acondicionamiento de señales agrupado analógico . . . . .	80
6.2.3.	Entradas analógicas . . . . .	84
6.2.4.	Acondicionamiento de señales agrupado digital . . . . .	85
6.2.5.	Entradas y salidas digitales . . . . .	85
6.2.6.	Panel frontal . . . . .	87
6.2.7.	Backplane . . . . .	87
6.2.8.	PCB . . . . .	90
6.2.9.	Modelo 3D . . . . .	90
6.3.	Backplane placa madre . . . . .	92
6.4.	BackPlane de los acondicionamientos distribuidos . . . . .	94
6.5.	Módulos de acondicionamientos de señales distribuidos (ASD) . . . . .	97
6.5.1.	Entradas analógicas . . . . .	97
6.5.2.	I/O digital con RJ45 . . . . .	99
6.5.3.	Salida digital óptica . . . . .	100
6.5.4.	Entrada digital óptica . . . . .	102
6.6.	Placas puente para ASA . . . . .	102
<b>7.</b>	<b>Modelo 3D de la plataforma</b>	<b>108</b>
7.1.	Introducción . . . . .	108
7.2.	Base mecánica de la plataforma . . . . .	109
7.3.	BackPlane placa madre y acondicionamientos distribuidos . . . . .	110
7.4.	Placa Madre . . . . .	111
7.5.	Paneles frontales . . . . .	112
7.6.	Conectores ASA con Snap fit . . . . .	115

---

7.7. Panel trasero . . . . .	118
7.8. Cableado . . . . .	119
7.9. Modelo 3D . . . . .	119
<b>8. Conclusiones</b>	<b>122</b>
8.1. Sumario . . . . .	122
8.2. Conclusiones . . . . .	123
8.3. Trabajo futuro . . . . .	124
<b>Referencias</b>	<b>125</b>
<b>Apéndices</b>	<b>130</b>
<b>A. PinMap</b>	<b>130</b>
<b>B. Planimetría</b>	<b>134</b>

# Índice de tablas

2.1. Tabla comparativa de las plataformas del mercado. . . . .	18
3.1. Requerimientos de señales analógicas . . . . .	25
3.2. Requerimientos de entradas digitales . . . . .	26
3.3. Requerimientos de salidas digitales . . . . .	26
4.1. Requerimientos de voltaje de entrada y salida. . . . .	31
4.2. Valores calculados para la opción 1. . . . .	33
4.3. Valores calculados para la opción 2. . . . .	35
4.4. Tabla comparativa con las principales características de frecuencia de ambas opciones. . . . .	38
4.5. Amplificadores operacionales candidatos y sus principales características. . . . .	40
4.6. Datos de frecuencia obtenido al simular cada amplificador. . . . .	40
4.7. Add caption . . . . .	41
4.8. Comparación de datos teóricos y experimentales. . . . .	46
5.1. Medidas de profundidad del rack. . . . .	62
5.2. Tabla resumen de conectores seleccionados. . . . .	75
5.3. Medidas máximas de las placas PCB. . . . .	76
A0.1.Mapeo de pines analógicos. . . . .	131
A0.2.Mapeo de pines de entrada y salida digitales. . . . .	132
A0.3.Mapeo de pines de comunicaciones. . . . .	133

# Índice de figuras

1.1. Vista 3D de la plataforma desarrollada. . . . .	3
2.1. Esquema del ciclo de vida del desarrollo de sistemas. . . . .	10
2.2. Esquema del V-model tradicional . . . . .	11
2.3. Ilustración de simulación en tiempo real y offline.(a)Real-time. (b)Non-real-time. . . . .	13
2.4. Clasificación de las simulaciones en tiempo real. . . . .	14
2.5. Esquema general de Hardware-In-The-Loop, . . . . .	15
2.6. Esquema de controller Hardware-In-The-Loop . . . . .	16
3.1. Imagen referencial del subrack EuropacPRO utilizado en la plataforma.	22
3.2. Imagen referencial de C2000 Delfino MCU F28379D LaunchPad™ development kit. . . . .	23
3.3. Imagen referencial de F28379D controlCARD for C2000 Real time control development kits. . . . .	23
3.4. Imagen referencial de conector SMA edge. . . . .	24
3.5. Imagen referencial de conector de fibra óptica. . . . .	25
4.1. Esquema de la opción 1 de acondicionamiento a evaluar. . . . .	32
4.2. Esquema de la opción 2 de acondicionamiento a evaluar. . . . .	33
4.3. Esquema de la simulación en LTspice XVII para la opción 1. . . . .	36
4.4. Diagrama de BODE a partir de la simulación de la opción 1. . . . .	37
4.5. Esquema de la simulación en LTspice XVII para la opción 2. . . . .	37
4.6. Diagrama de BODE a partir de la simulación de la opción 2. . . . .	38
4.7. Escalamiento con opción 1 y opción 2. . . . .	39
4.8. Diagrama de Bode del amplificador OPA1692IDR con la configuración seleccionada. . . . .	41
4.9. Setup utilizado para realizar las validaciones. (a)Multímetro digital UT60A (b)Osciloscopio Rigol MSO5074 (c)Fuente de poder MPL-3303 (d)Circuito testeado . . . . .	42
4.10. Resultado prueba de circuito de entradas analógicas en escalamiento de señal. . . . .	43

4.11. Pruebas funcionamiento límites del escalamiento (a)Entrada continua de 10 V (b)Entrada continua de $-10$ V . . . . .	44
4.12. Pruebas funcionamiento fuera de los límites de escalamiento (a)Entrada continua de 13 V (b)Entrada continua de $-13$ V . . . . .	45
4.13. Diagrama de Bode del circuito acondicionador de entradas analógicas.	46
4.14. Gráfico del diagrama del Bode obtenido a partir de los datos del osciloscopio. (a)Gráfico de Ganancia. (b)Gráfico de fase . . . . .	47
4.15. Diagrama en bloques del diseño propuesto para entradas y salidas digitales . . . . .	48
4.16. Diagrama circuital del Level Shifter Bidireccional para entradas y salidas digitales . . . . .	49
4.17. Esquemático de la simulación del circuito Level Shifter para entradas.	49
4.18. Esquemático de la simulación del circuito Level Shifter para salidas. .	50
4.19. Simulación voltaje de entrada y voltaje de salida en el level shifter para una Entrada. . . . .	51
4.20. Simulación voltaje de entrada y voltaje de salida en el level shifter para una salida. . . . .	52
4.21. Diagrama de Bode del level shifter . . . . .	53
4.22. Información de consumo de corriente del controlador. . . . .	54
4.23. Condiciones de operación recomendadas para el microcontrolador. . .	55
5.1. Diferentes vistas del modelo 3D del rack EuropacPro. . . . .	60
5.2. Plano de las diferentes medidas de profundidad del rack. . . . .	61
5.3. Imagen referencial de los Guide Rails. . . . .	62
5.4. Esquema de la distribución física de las placas de la plataforma dentro del rack EuropackPro. . . . .	63
5.5. Esquema general de la plataforma modular. . . . .	64
5.6. Esquema de la modularidad del acondicionamiento de las señales de entrada y salida de la plataforma. . . . .	65
5.7. Esquema simplificado de conexionado de la plataforma. . . . .	66
5.8. Conectores seleccionados para la conexiones placa madre-controlador (a)HSEC8-160-01-L-DV-A-BL (b)HSEC8-130-01-L-DV-A (c)TSM-110-02-T-DV . . . . .	68
5.9. Imagen de BackPlane referencial. . . . .	69
5.10. Conectores seleccionados (a)Conexión Placa madre - backPlane conector 5-5530843-0 (b)BackPlane - fuente de alimentación conector 640445-4 . . . . .	70
5.11. Conector Amphenol ICC (FCI) 10061913-111PLF seleccionado para la conexión entre en Acondicionamiento de señales agrupado (ASA) y la placa madre. . . . .	70
5.12. Conector CardEdge 5650263-1 seleccionado para la conexión entre en Acondicionamiento de señales distribuido (ASD) y su BackPlane. . .	71

5.13. Esquema de los acondicionamientos distribuidos y su BackPlane. . . . .	72
5.14. Conectores seleccionados para la conexión entre placa madre-ASD (a)IDC AWP 40-7540-T (b)Cable Plano AWG28 (c)Header 302-S401 . . . . .	73
5.15. Esquema de la plataforma con conectores. . . . .	74
5.16. Diferentes vistas del Snap Fit diseñado. . . . .	75
5.17. Sistema de sujeción mecánico para backPlane. . . . .	76
5.18. Detalle de los Threaded Strip. . . . .	77
5.19. Imagen del tornillo M2.5x11mm seleccionado para sujetar las backPlane y los Front y back Panels. . . . .	77
6.1. Esquemático en bloques de la placa madre. . . . .	79
6.2. Acercamiento al bloque de los microcontroladores de la placa madre. . . . .	81
6.3. Esquemático del bloque de los microcontroladores. . . . .	82
6.4. Acondicionamiento ASA analógico. (a)Interfaz para las primeras 16 señales. (b)Interfaz para las 8 señales restantes. . . . .	83
6.5. Esquemático del bloque de los acondicionamiento de señales agrupados analógicos. . . . .	84
6.6. Esquemático del conector IDC de entradas analógicas. . . . .	85
6.7. Acercamiento del esquemático en bloques a la parte de acondicionamiento de señales agrupado y se entrada/salida de señales digitales. . . . .	86
6.8. Esquemático del acondicionamiento de señales agrupado digital. . . . .	87
6.9. Esquemático del conector IDC de entradas y salidas digitales. . . . .	88
6.10. Acercamiento al bloque de panel frontal. . . . .	88
6.11. Esquemático del panel frontal . . . . .	89
6.12. Acercamiento al bloque de Backplane. . . . .	90
6.13. Esquemático de Backplane. . . . .	90
6.14. PCB de la placa madre. . . . .	91
6.15. Modelo 3D de la placa madre. . . . .	91
6.16. Esquemático BackPlane de la placa madre. . . . .	92
6.17. PCB de la placa madre. (a)Top. (b)Bottom . . . . .	93
6.18. Modelo 3D de backplane de la placa madre. (a)Vista isométrica mostrando cara top. (b) Vista isométrica mostrando cara bottom. . . . .	93
6.19. Esquemático BackPlane acondicionamientos distribuidos. . . . .	95
6.20. PCB BackPlane ASD. (a)Top. (b)Bottom . . . . .	96
6.21. Diferentes vistas del modelo 3D del backplane ASD. (a)Vista isométrica mostrando cara top. (b) Vista isométrica mostrando cara bottom. . . . .	96
6.22. Esquemático de la placa para el acondicionador análogo. . . . .	98
6.23. Diferentes vistas del modelo 3D del rack EuropacPro. . . . .	98
6.24. PCB del acondicionador análogo. . . . .	99
6.25. Esquemático del acondicionador para entradas y salidas digitales con conector RJ45. . . . .	100

6.26. PCB acondicionador entrada y salida con conector RJ45. . . . .	101
6.27. Modelo 3D acondicionador entrada y salida con conector RJ45. . . . .	101
6.28. Esquemático de la placa para el acondicionador para salida con conector óptico. . . . .	102
6.29. PCB acondicionador para salida con conector óptico. . . . .	103
6.30. Modelo 3D acondicionador para salida con conector óptico. . . . .	103
6.31. Esquemático de la placa para el acondicionador análogo. . . . .	104
6.32. PCB acondicionador para salida con conector óptico. . . . .	105
6.33. Esquemático de la placa para el acondicionador análogo. . . . .	105
6.34. Esquemático del puente realizado. . . . .	106
6.35. Diferentes vistas de las placas de PCB del puente ASA. (a)Top. (b)Bottom. . . . .	106
6.36. Modelo 3D del puente. . . . .	107
7.1. Diferentes vistas del Subrack de la plataforma. (a)Pack standar Europac pro. (b)Subrack con barras de soporte extra. . . . .	109
7.2. Diferentes vistas de la plataforma mostrando en lugar de los BackPlane. (a)Vista isométrica. (b)Vista trasera. (c)Acercamiento a la instalación de los BackPlane con sus respectivos tornillos. . . . .	110
7.3. Configuración de muestra de la Placa Madre con 3 placas puente y ControCard. (a)Vista isométrica A. (b)Vista isométrica B. . . . .	111
7.4. Diferentes vistas de la plataforma mostrando la inserción de la Placa Madre. (a)Vista isométrica. (b)Vista frontal. . . . .	112
7.5. Tipos de Paneles frontales (a)Panel de potencia. (b)Panel de Placa Madre. (c)Panel de conectores ASD. . . . .	113
7.6. Vista isométrica de la plataforma mostrando los paneles frontales montados. . . . .	114
7.7. Tipos de conectores ASA con Snap fits de montaje. (a)Entrada analógica. (b)Entrada/salida digital. (c)Entrada digital óptica. (d)Entrada digital óptica. . . . .	116
7.8. Vista isométrica de la plataforma mostrando los conectores ASA montados. . . . .	117
7.9. Vista isométrica del Panel trasero. . . . .	118
7.10. Diferentes vistas de la plataforma con el Panel trasero montado. (a)Vista isométrica frontal. (b)Vista isométrica trasera. . . . .	119
7.11. Diferentes vistas mostrando el cableado dentro de la plataforma. (a)Vista isométrica frontal. (b)Vista isométrica trasera. (c)Vista lateral. . . . .	120
7.12. Diferentes vistas del modelo 3D ensamblado de la plataforma. . . . .	121

# Capítulo 1

## Introducción

### 1.1. Introducción general

#### 1.1.1. Contexto

Hoy más que nunca, las energías renovables marcan un rol fundamental en la industria energética. Según la política energética de Chile, no sólo se requiere energía, sino que además esta sea energía limpia. Por lo tanto, Chile ha puesto como objetivo que las energías renovables constituyan el 60 % en el año 2035, y al menos un 70 % de la generación eléctrica para el año 2050 [1, 2]. Esto le da un especial impulso a la generación de energías como la eólica y fotovoltaica, y su almacenamiento. Por ello, es lógico pensar que la formación de capital humano en áreas afines deba incluir competencias en los sistemas que soportan dichas energías. En específico, electrónica de potencia y control automático, áreas fundamentales dentro de los sistemas de conversión de energía eléctrica a partir de energías renovables.

Los avances en el campo de la electrónica de potencia han permitido manipular la energía eléctrica como ninguna otra forma de energía [3]. Esta flexibilidad ha permitido que el crecimiento del actual mix matriz energético ya no considere combustibles

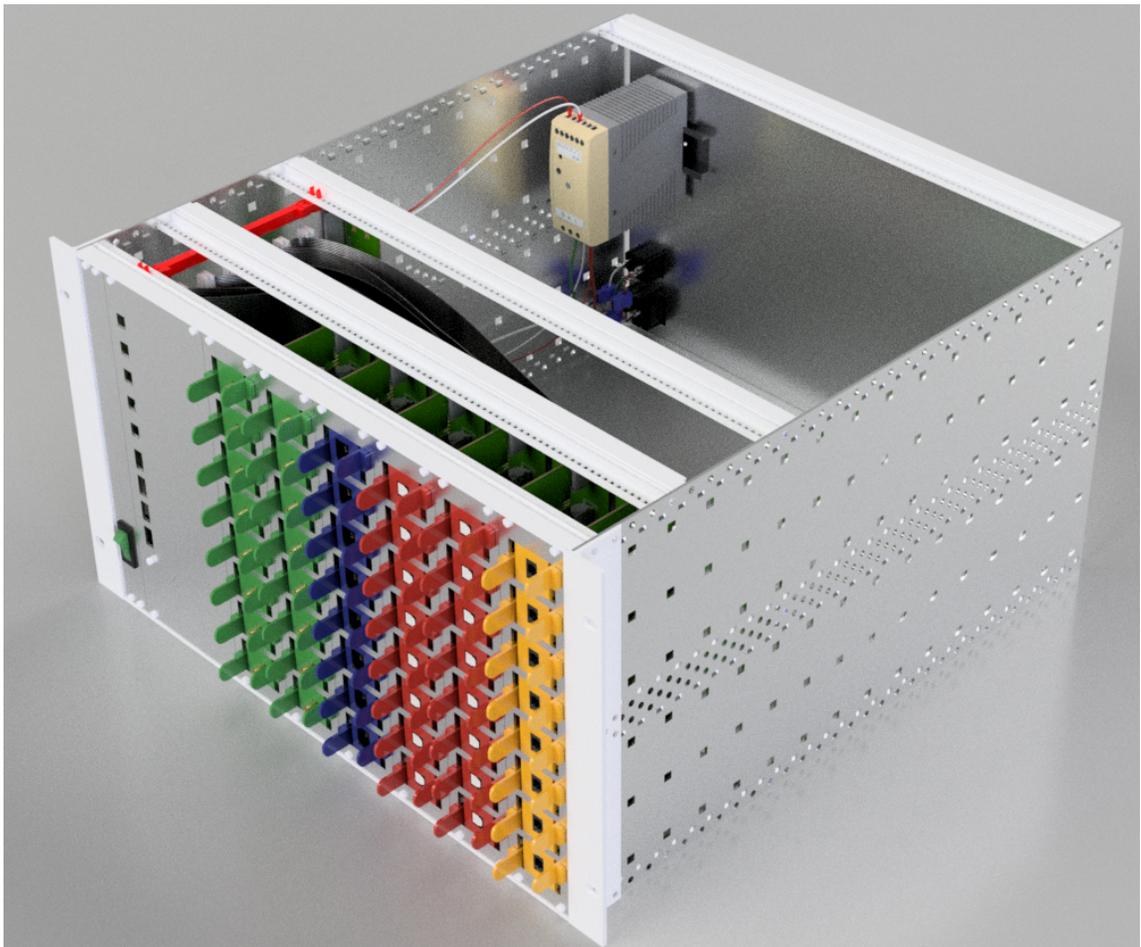
fósiles para nuevos proyectos. Este importante cambio tecnológico ha dado entonces cabida a la necesidad de formación educacional de ingenieros e investigadores con competencias avanzadas en el área de electrónica de potencia [4, 5]. La investigación en electrónica de potencia, dos de los principales desafíos son el desarrollo de nuevas topologías de convertidores [6] y estrategias de control. Esto trae consigo la necesidad de desarrollar, testear y validar experimentalmente convertidores de potencia y sus lazos de control. Por lo tanto, el controlador es un elemento crítico, dado que su función principal es proporcionar control en tiempo real para la correcta operación del convertidor.

El avance sostenido de la docencia e investigación en electrónica de potencia requiere principalmente conocimientos en áreas de control y circuitos electrónicos. Este conocimiento requiere una fuerte componente experimental, la cual es necesaria para facilitar la validación experimental de la teoría utilizada en electrónica de potencia [5]. El mercado internacional ofrece equipamiento tecnológico para suplir necesidades actuales tales como reducción de tiempo y simplificación del lenguaje de programación. En este ámbito, los sistemas de prototipado rápido de control han surgido como una solución tecnológica prometedora y eficaz para el manejo de estas problemáticas [7].

### **1.1.2. Problemática**

A pesar de que los sistemas de prototipado rápido de control han penetrado las áreas de investigación e industria, sus costos y poca flexibilidad han limitado su uso en docencia. Esta memoria busca aportar con el desarrollo de una plataforma de prototipado rápido de control con características modulares, las cuales son atractivas para el área de la docencia. La plataforma está basada en la familia de controladores de bajo costo de Texas Instruments C2000. Se aprovechan las características de generación de código automático y compilación para esta familia de microcontroladores en Simulink para

disminuir la brecha entre el diseño y la implementación lo más posible. La característica modular logra dar independencia a cada una de sus señales de entrada y de salida. También da flexibilidad en el diseño e implementación del acondicionamiento de las señales; permitiendo agrupar y distribuir. Esto la hace totalmente escalable y flexible para el proyecto en el que se quiera utilizar. Estas características fueron seleccionadas para diferenciarse de las plataformas que se pueden encontrar actualmente en el mercado, y tratando de lograr un punto medio en equipamiento de laboratorio y material docente. Para facilitar el entendimiento de la memoria, la Fig. 1.1 muestra un render 3D de la plataforma desarrollada.



**Figura 1.1:** Vista 3D de la plataforma desarrollada.

La plataforma será utilizada dentro del marco del proyecto FONDECYT 1191502 que

tiene como objetivo validar estrategias de control para convertidores que inyectan energía a partir de fuentes solares desbalanceadas y para el apoyo de los estudiantes de la Facultad de Ingeniería de la Universidad de Talca.

## 1.2. Estado del arte

El proyecto a desarrollar se puede etiquetar como una plataforma de prototipado rápido aplicada al desarrollo de controladores. Los controladores que se espera desarrollar con esta plataforma estarán dentro del dominio de la electrónica de potencia.

Dentro de los sistemas de prototipado rápido de control hay dos metodologías que destacan: Rapid-Control-Prototyping(RCP) y las metodologías Hardware-In-The-Loop(HIL, CHIL, PHIL). Estas se utilizan en conjunto con el Model-Based Design, o para ser más preciso, pueden formar parte del flujo de trabajo del Model-Based Design. Estas metodologías aparecen para ayudar a reducir el tiempo de desarrollo, testeo y validación de los sistemas [8–10] como también aumentar la confiabilidad y reducir el riesgo [9], ayudando a descubrir la mayor cantidad de posibles defectos de software [11].

En los últimos años HIL y sus variantes CHIL y PHIL han tenido un gran auge dentro de la electrónica de potencia, por sobre RCP, debido que reducen los costos [8], reduce el riesgo [9, 10] y se está estandarizando [12, 13]. HIL intenta de que el problema de desarrollar sistemas se vea desde otro foco. El objetivo último de HIL es minimizar el riesgo de inversión usado en el prototipo[14].

Las aplicaciones de plataforma de prototipado dentro de proyectos de investigación son sumamente variadas. Esto sucede porque las metodologías de prototipado rápido como RCP y HIL son las favoritas para desarrollar, testear y validar sistemas. [8] muestra una gran cantidad de aplicaciones de metodologías de prototipado rápido.

En los artículos [15–17] se muestran algunas aplicaciones extras.

Iniciativas de plataformas similares en algún aspecto a este trabajo se pueden encontrar en [6] en donde implementa una plataforma de control basada en la Launchpad TMS320F28379D de Texas Instruments. En [18] se muestra el desarrollo de uCube, una plataforma para desarrollar controlar y testear convertidores de electrónica de potencia. En [19] se presenta una plataforma de prototipado rápido para convertidores de potencia utilizando la familia de controladores C2000 de Texas Instruments. En [20, 21] se pueden ver dos aplicaciones educacionales en donde se utilizan metodologías de prototipado rápido.

Finalmente, las empresas que ya comercializan productos CHIL o relacionados con estos tales son: OPAL-RT Technologies [22], Plexim [23], dSPACE [24], PED-BOARD [25], Typhoon HIL [26], imperix [27]. Todas estas plataformas tienen en común que han sido diseñadas desde la perspectiva del rendimiento, son plataformas cerradas (no permiten modificar ni conocer como están hechas) y sus software son de pago. Sus precios van desde los 1.500USD hasta los 25.000USD [6]. Las capacidades de hardware varían entre una y otra.

En conclusión, las metodologías de prototipado rápido en los últimos años han sido protagonistas en el desarrollo, testeo y validación de sistemas. Una de las metodologías que se está utilizando en gran medida en electrónica de potencia es Controller Hardware-In-The-Loop y todo indica que este auge irá aumentando. Los investigadores están generando la infraestructura para hacer mucho más confiable y eficaz las pruebas con CHIL[12]. Probablemente Controller Hardware-In-The-Loop junto con Power Hardware-In-The-Loop [14] van a ser los estándares de simulación en centros de investigación en electrónica de potencia en un futuro (Si es que no lo es actualmente). Debido al elevado costo de los equipos comerciales y a las limitaciones pedagógicas que tienen (Plataformas cerradas), se ve que el desarrollar una plataforma de prototipado rápido de control que pueda ser utilizada en los laboratorios por los

investigadores y estudiantes es una muy buena alternativa.

### **1.3. Hipótesis de trabajo**

Es posible diseñar una plataforma de prototipado rápido de control para controladores de la familia TI C2000 con características modulares.

### **1.4. Objetivos**

#### **1.4.1. Objetivo general**

Diseñar una plataforma de prototipado rápido de control para controladores de la familia TI C2000 con características modulares.

#### **1.4.2. Objetivos específicos**

- Hacer una revisión bibliográfica y de tecnologías existentes.
- Obtener especificaciones del sistema.
- Diseño y simulación de electrónica.
- Diseño y modelado de partes mecánicas.
- Diseño de PCB.
- Diseño e integración de toda la plataforma en 3D.

### **1.5. Alcances y limitaciones**

Dentro de este proyecto está considerado el diseño completo de la plataforma de prototipado rápido de control. Esto es, el diseño de las partes electrónicas y mecánicas con el fin de obtener un modelo 3D que integre las características de toda la plataforma.

El cableado eléctrico de la plataforma no está considerado a ser desarrollado, sin embargo fue desarrollado de forma colaborativa en paralelo por el proyecto de título de Víctor Vergara. Si bien, debido a las limitaciones prácticas que impuso la pandemia no se podrá generar una implementación física y validación experimental completa del diseño, se harán validaciones experimentales independientes de los diseños electrónicos. Finalmente, se integrarán las placas electrónicas y las partes mecánicas en un modelo 3D unificado.

## 1.6. Metodología

A continuación, se presenta la metodología a utilizar en el desarrollo de la Memoria.

- Búsqueda de Bibliografía principalmente en Meta Catálogo Primo de la Universidad de Talca y en IEEEExplore para conocer el estado del arte de la plataforma de prototipado rápido de control en Electrónica de Potencia.
- Obtención de las especificaciones de diseño basado en el estado del arte y toda la investigación realizada previamente.
- Diseño de la electrónica cumpliendo las especificaciones de diseño obteniendo las simulaciones con LTspice XVII.
- Diseño de la distribución mecánica de la plataforma y como implementar conceptos como modularidad.
- Validación independiente de los diseños electrónicos y medición de la potencia que consumen los dispositivos electrónicos.
- Generación de las placas de circuito impreso utilizando Autodesk Eagle.
- Diseño y generación de todos los modelos 3D de la plataforma utilizando Autodesk Fusion 360.

- Integración de los modelos 3D de la plataforma en un solo ensamblaje utilizando Autodesk Fusion 360.

## Capítulo 2

# Plataformas de prototipado rápido de control

### 2.1. Introducción

En este capítulo se dará una mirada a las diferentes metodologías que hay disponibles y que utilizan plataformas de prototipado rápido de control. Se expondrán las tecnologías en las cuales se soporta el concepto de prototipado rápido de control. Se discutirá acerca de las plataformas de este estilo que han sido desarrolladas y las que son comercializadas actualmente.

### 2.2. Prototipado rápido de control

En términos generales, el concepto de prototipado rápido de control involucra distintos conjuntos de herramientas y/o metodologías que ayudan a acelerar el desarrollo de controladores. Un flujo de diseño estándar de implementación de un controlador sería obtener el modelo de la planta, diseñar el controlador a partir del modelo, diseñar el sistema embebido del controlador, programar el controlador en el sistema

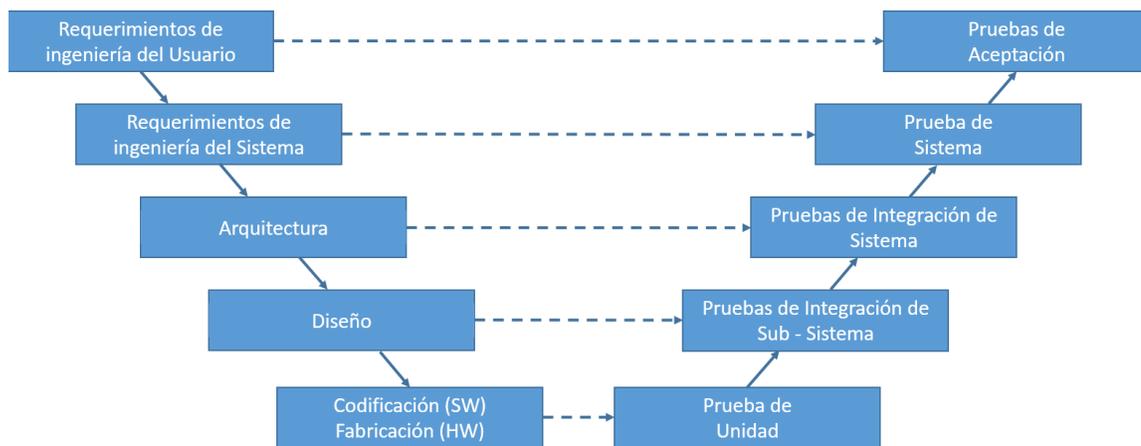
embebido y validar. Se puede apreciar que este flujo de diseño pasa por las áreas de teoría de control, diseño electrónico y programación. El diseño, testeo y validación de controladores es un problema complejo y hay casos en los que nunca se llega a la validación final. El mundo de la ingeniería ha desarrollado diferentes metodologías que ayudan a organizar el diseño de sistemas complejos. El proceso de planear, crear, testear y desarrollar se le llama ciclo de vida del desarrollo de sistemas o SDLC por sus siglas en inglés [28]. En este ciclo general hay varias etapas entre las cuales destacan: análisis de requerimientos, diseño, implementación, testeo y evolución, como se muestra en la Fig. 2.1. Aunque estas etapas pueden cambiar según el proyecto o el tipo de SDLC que se está utilizando.



**Figura 2.1:** Esquema del ciclo de vida del desarrollo de sistemas.

Una representación gráfica alternativa a la vista en la Fig. 2.1 se llama V-model y es muy popular en desarrollo de software y sistemas embebidos. En la Fig. 2.2 se puede ver una representación de este modelo. El V-Model hace énfasis en la verificación y la validación. Las actividades que están a la derecha verifican o validan el trabajo

producido en las actividades de la izquierda. Más específicamente la parte izquierda de la V representa actividades de análisis que descomponen las necesidades del usuario en piezas más manejables, mientras que el lado derecho de la V muestra actividades correspondientes a la síntesis que agrega esas piezas (y testea) esas piezas dentro de un sistema que satisfaga las necesidades del usuario [29].



**Figura 2.2:** Esquema del V-model tradicional

Por lo tanto, con este contexto, se puede definir de manera más precisa el prototipado rápido de control: el prototipado rápido de control es cualquier herramienta y/o metodología que ayude a acortar el tiempo entre las etapas del V-model (o cualquier otro SDLC) en el ciclo de vida de desarrollo de controladores.

Ya con una definición de prototipado rápido de control, es posible revisar los tipos de prototipado rápido de control más populares.

### 2.2.1. Model-Based Design (MBD)

Una metodología bastante popular es la Model-Based Design (MDB). MDB consiste en reemplazar la fase de codificación manual del controlador por una de generación de código automático. Esto es, abstraerse de la implementación de modelo en el controlador y centrarse en el diseño, testeo y validación del modelo. Esta metodología

es muy popular en la academia y en las empresas privadas [30].

MBD comúnmente se implementa con herramientas de diagramas de bloques como lo es Simulink y se espera que lo que se diseñe con los bloques se ejecute de igual manera en el sistema embebido objetivo. La idea es centrarse en un modelo visual y no el código de programación o implementación del controlador. El sistema que implemente MBD debe ser capaz de transformar de manera fiel el modelo de bloques que se ha desarrollado a un código compatible con algún dispositivo físico. Algunas soluciones que existen hoy en día son SCADe para aviónica, Simulink-RTW para automotriz y Orccad para robótica.

Model-Based Design se puede utilizar en conjunto con V-model. MBD para el desarrollo de sistemas de control se puede resumir en cuatro pasos:

1. Modelar la planta.
2. Analizar y sintetizar el controlador para la planta.
3. Simular la planta y el controlador.
4. Integrar todas las fases previas mediante la implementación del controlador.

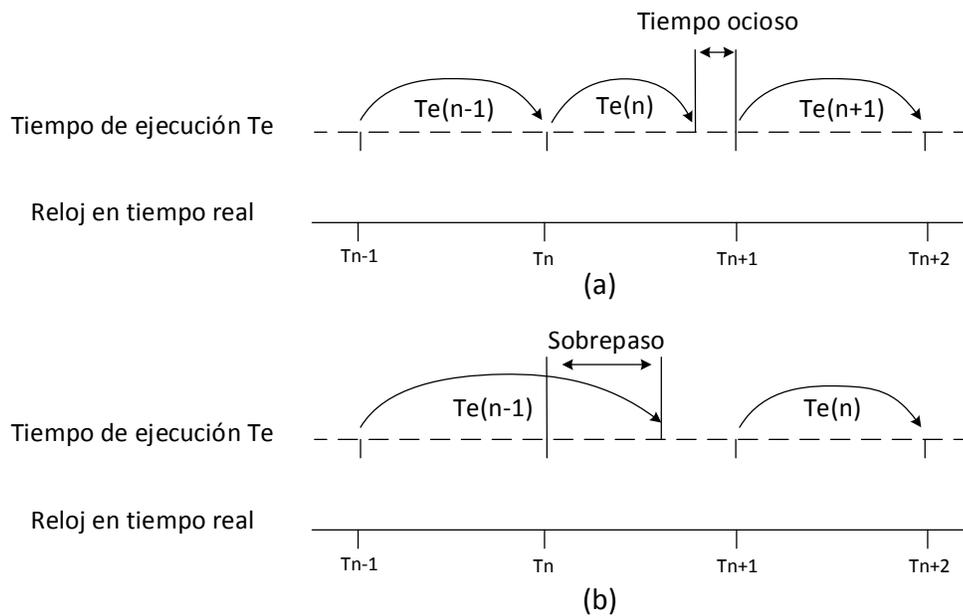
### **2.2.2. Simulación en tiempo real (RTS)**

Otro importante conjunto de metodologías de prototipado rápido de control que ayudan a testear, validar y simular sistemas están dentro del área de conocimiento de las simulaciones en tiempo real o RTS por sus siglas en inglés.

Una simulación en tiempo real tiene como objetivo ejecutar una simulación en el mismo tiempo que el sistema real tarda, tratando de lograr una exactitud deseable con el fin de representar el comportamiento del sistema real inicialmente modelado. En la práctica esto se traduce a ser capaz de resolver las ecuaciones de simulación del sistema lo suficientemente rápido. Dado que la tasa de muestreo de sistemas eléctricos

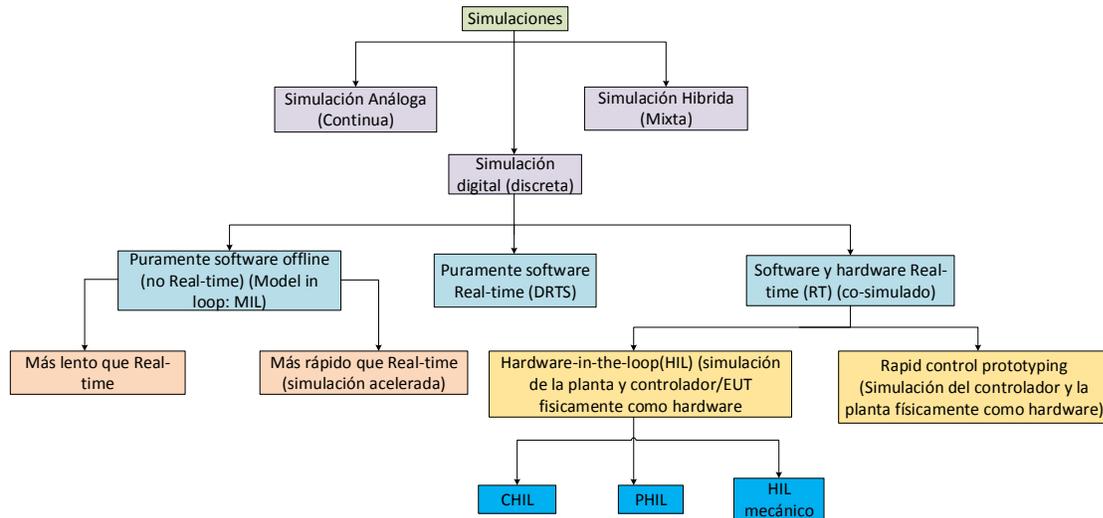
es del orden de los  $\mu s$ , la ejecución de RTS requiere procesadores dedicados, más comúnmente llamados, Digital Real-Time Simulator (DRTS).

Los DRTS deben resolver el modelo de ecuaciones dentro de un paso de tiempo que debe ser equivalente a un paso de tiempo en el mundo real [14], esto produce una salida en intervalos de tiempos discretos, donde los estados del sistema son calculados usando paso de tiempo fijo. En la Fig. 2.3 se puede ver una gráfica de la diferencia entre simulación real-time y off-line.



**Figura 2.3:** Ilustración de simulación en tiempo real y offline. (a) Real-time. (b) Non-real-time.

Según [8] las simulaciones para testear sistemas de potencia se pueden clasificar como lo muestra la Fig. 2.4. Para este trabajo las líneas que interesan profundizar son las Hardware-In-The-Loop (HIL) y de Rapid-Control-Prototyping (RCP).



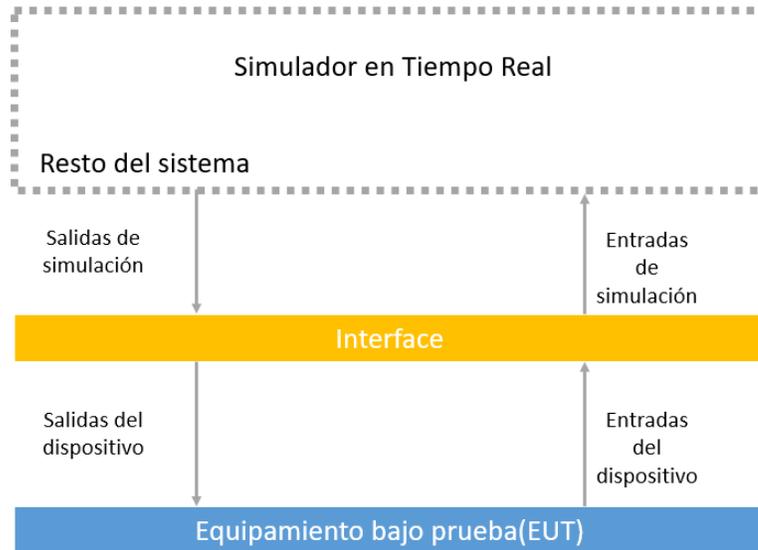
**Figura 2.4:** Clasificación de las simulaciones en tiempo real.

### 2.2.2.1. Hardware-In-The-Loop(HIL)

La metodología Hardware-In-The-Loop requiere la unión de partes reales físicas del sistema con partes simuladas en tiempo real del sistema, comunicándose por medio de puertos de entrada y de salida. En la Fig. 2.5 se puede ver un esquema de las partes de HIL. HIL está conformado por un simulador digital en tiempo real (DRTS), una interfase y un dispositivo o equipamiento bajo test (EUT). HIL consiste en tener una parte del sistema en hardware real que interactúe con el resto del sistema simulado. Esto permite hacer pruebas controladas para testear y validar el sistema en puntos críticos de funcionamiento.

En áreas de la ingeniería como la electrónica de potencia es especialmente beneficioso ya que dichos sistemas se caracterizan por ser altamente complejos. Muchas veces, la disponibilidad para testear controladores se limita a etapas finales, dado que hay que esperar por el desarrollo del sistema real. Ejemplo de ello son las micro-redes [8].

Dentro de HIL hay denominaciones específicas a algunas configuraciones como es Controller Hardware-In-The-Loop (CHIL) y Power Hardware-In-The-Loop (PHIL).



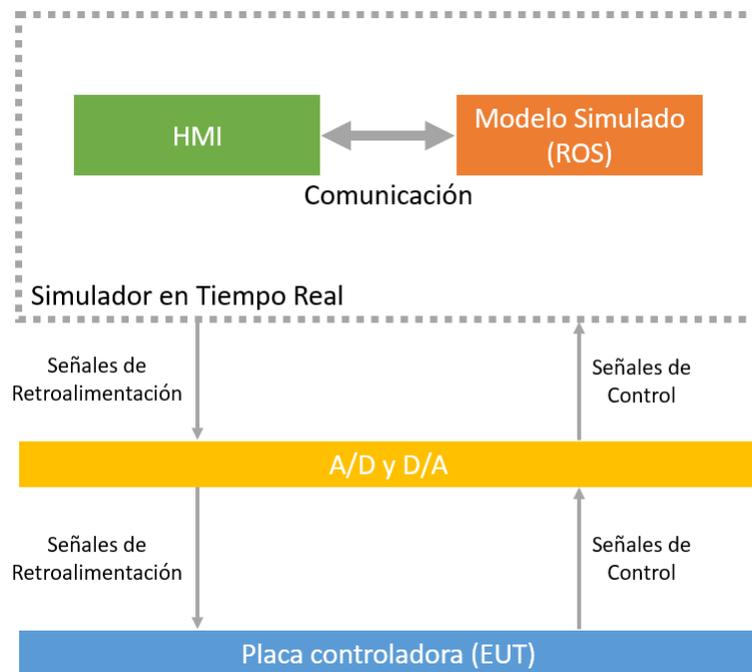
**Figura 2.5:** Esquema general de Hardware-In-The-Loop,

### 2.2.2.2. Controller-Hardware-in-the-Loop (CHIL)

Cuando el EUT es un controlador, por ejemplo, una tarjeta de desarrollo de DSP, el esquema HIL se conoce como Controller Hardware-In-The-Loop (CHIL). En la Fig. 2.6 se puede ver un esquema de CHIL. La interfaz pasa a ser convertidores análogos-digitales y digitales-análogos y todo el resto del sistema (planta) es simulado por un DRTS. Idealmente el EUT debe ser el sistema embebido final en el que se va a implementar el controlador considerando las conversiones y acondicionamientos necesarios. La idea es que la interacción del controlador sea lo más cercana a la realidad posible.

### 2.2.2.3. Rapid-Control-Prototyping (RCP)

La última metodología de prototipado rápido de control que se va a tratar es Rapid-Control-Prototyping (RCP). Esta metodología se puede decir que es el complemento del CHIL ya que en este caso lo que se simula en tiempo real es el control y el resto del sistema es el sistema real. RCP provee un paso intermedio entre un sistema



**Figura 2.6:** Esquema de controller Hardware-In-The-Loop

completamente simulado y un sistema embebido. Las leyes de control y filtros corren en un entorno de simulación, y luego se envían comandos de salida al sistema físico (planta). La retroalimentación es captada e ingresada al entorno de simulación en donde nuevamente son procesadas las leyes de control.

Este tipo de metodología es interesante cuando se tiene a disposición la planta y se tiene el hardware necesario para simular el controlador. En términos prácticos la simulación de un controlador es mucho menos exigente que la simulación de una planta completa.

## 2.3. Plataformas comerciales

Las metodologías expuestas anteriormente han sido implementadas por empresas privadas con el fin de tener productos con los cuales desarrollar controladores (o

sistemas) de manera eficaz. En esta sección se hace una revisión de las plataformas más populares que han sido desarrolladas y cuáles son sus principales características.

### 2.3.1. Características

Dentro de las empresas que desarrollan productos listos para ser utilizados, hay dos que son bastante populares: dSPACE y OPAL-RT Technologies. dSPACE desarrolla una amplia gama de productos entre los cuales tienen algunos específicos para RCP y HIL. dSPACE MicroLabBox es una plataforma diseñada para desarrollar sistemas en el laboratorio y que se puede utilizar como RCP. OPAL-RT Technologies entre todos los productos que desarrolla tiene el OP4200 y el OP4510 Simulator, que tienen capacidad de ser utilizados tanto como RCP como HIL y se pueden utilizar para testear y validar convertidores de potencia.

Otras empresas menos populares, pero que también desarrollan productos enfocados al testeo y validación de controladores son: Plexim con su RT-BOX, Imperix con BoomBox, Typhoon con HIL402 Y PED-Board con PED-Board-V3.

La tabla 2.1 presenta un resumen de las plataformas disponibles en el mercado y algunas de sus características.

## 2.4. Discusión final

Este capítulo expuso diferentes metodologías y plataformas comerciales en donde esas metodologías han sido implementadas. Hay algo que es importante destacar y es que estas metodologías no son rígidas y por lo tanto se pueden ocupar en conjunto o por separado, o sólo partes de ellas. Ejemplo claro de esto es la OP4510 que se puede utilizar como RCP y HIL. También hay que darse cuenta de que las metodologías se componen de diferentes partes para su implementación práctica. Si por ejemplo se quisiera utilizar la MicroLabBox como RCP sería imposible si no se dispone de una

Modelo/ Marca	Características				Hardware	Precio Aprox. [USD]
	AI	DO	DI	AO		
OP4200 <sup>1</sup> / OPAL-RT	16k	32	32	16	CPU Dual-core ARM Cortex-A9, Zynq Kintex-7	11.000
OP4510/ OPAL-RT	16	32	32	16	CPU Intel Xeon 4 cores, FPGA Kintex-7	25.000
RT-BOX/ Plexim	16	32	32	16	Xilinx Zynq Z-7030 (CPU 2 cores+FPGA)	9.800
MicroLabBox/ dSPACE	8	48	48	16	PowerPC DualCore 2GHz Kintex-7 FPGA	15.000
BoomBox/ Imperix	16	16	-	4	SOC Zynq XC7Z030-3FBG676E FPGA ProASIC3	13.000
V3/ PED-Board	24	30	46	4	SoM sbRIO-9651 FPGA Zynq-7020	1.500
HIL402/ Typhoon	16	32	32	16	SOC Zynq XC7Z030	17.200

**Tabla 2.1:** Tabla comparativa de las plataformas del mercado.

planta (considerando la definición rígida), pero la verdad es que se podría utilizar en conjunto con otra MicroLabBox que simule alguna planta y obtener algo como una combinación entre RCP y CHIL. En conclusión, el objetivo de estas metodologías es acelerar el desarrollo de los controladores, mientras ese objetivo se cumpla se pueden utilizar como quieras.

Si bien las metodologías no son rígidas, hay algunas que se han hecho bastante populares por los beneficios que entregan. La generación de código automático (parte del MBD) está siendo altamente utilizado en la industria y en la academia.

Dentro de las plataformas comerciales se puede ver que hay ciertas características de hardware que son populares tales como el uso de FPGA en conjunto con procesadores potentes, una extensa cantidad de entradas y salidas. Todo esto viene acompañado por un elevado costo.

Si se piensa como lo propone CHIL, en donde si se quiere tener una mayor fiabilidad del desarrollo mejor probar en un sistema embebido lo más cercano al sistema final,

<sup>1</sup>Entradas y salidas por casset.

sería lógico tratar de utilizar una familia de microcontroladores acorde con este propósito. Para este trabajo, se trabajará con la familia de microcontroladores de Texas Instruments C2000.

Hay ciertos aspectos que las empresas comerciales no terminan de desarrollar por completo en sus plataformas. La modularidad y escalabilidad son dos de los aspectos que se detectaron que podrían ser beneficiosos para una plataforma de prototipado rápido de control y que las plataformas comerciales exploran muy tibiamente. Se prefiere desarrollar plataformas que sean capaz de funcionar con la mayor cantidad de sistemas posibles sin necesitar modificaciones o cambios. Por experiencia se sabe que todos los sistemas son diferentes.

# Capítulo 3

## Plataforma propuesta

### 3.1. Introducción

La plataforma a desarrollar debe cumplir diferentes requerimientos acorde con el contexto en el que se va a utilizar. Este capítulo da respuesta a todos los requerimientos del proyecto, tanto conceptuales como electrónicos y mecánicos con el fin de tener las bases para el desarrollo de los próximos capítulos.

Se parte exponiendo algunos requerimientos generales, luego se profundiza en requerimientos mecánicos y eléctricos para finalizar con un resumen de todos los requerimientos de la plataforma.

### 3.2. Requerimientos de compatibilidad

La plataforma deberá ser totalmente compatible con los convertidores desarrollados por el laboratorio. Dichos convertidores cumplen un estándar eléctrico y mecánico que se ve en detalle más adelante en este capítulo.

También debe ser capaz de funcionar en conjunto con la MicroLabBox de dSPACE [31]

adquirida por el laboratorio con el fin de poder simular los sistemas desde un principio, sin perjuicio de que sea compatible con los convertidores de potencia desarrollados por el laboratorio en el cual se desarrolla este proyecto.

### **3.3. Requerimientos de seguridad**

La plataforma debe tener ciertos resguardos de seguridad con el fin de cuidar la integridad de quien la manipula como la de los equipos manipulados. Para ello se requiere que las conexiones sean polarizadas y que cada puerto esté debidamente etiquetado. Además, que los circuitos tengan protección para los microcontroladores.

### **3.4. Escalabilidad**

Se requiere que la arquitectura del sistema sea escalable en el sentido que las capacidades básicas planteadas en este trabajo puedan ser ampliadas o disminuidas en el futuro según corresponda el caso del proyecto en el que se va a utilizar.

### **3.5. Requerimientos mecánicos**

#### **3.5.1. Modularidad**

Se requiere que una de las principales características que debe tener la plataforma sea la modularidad. En primera instancia, la modularidad debe ser compatible con el estándar de subracks para racks de 19 pulgadas, por ejemplo, EuropacPRO[32]. En la Fig. 3.1 se puede ver una imagen referencial del sistema de rack a utilizar.

Dentro de este subrack, el sistema debe ser lo más modular posible, esto sería dar la posibilidad mecánica de separar el controlador, las comunicaciones, los acondicionamientos de señales y que cada una de estas partes se puedan diseñar de



**Figura 3.1:** Imagen referencial del subrack EuropacPRO utilizado en la plataforma.

manera independiente de las otras partes del sistema. También considerar que los módulos sean de fácil extracción para hacer posible intercambiarlos por módulos equivalentes de manera sencilla.

### 3.5.2. Flexibilidad

Se requiere que el sistema sea flexible en el sentido de que sea capaz de adaptarse a diferentes proyectos sin problemas. Se le puedan quitar o añadir piezas para optimizar lo mejor posible los recursos. Este requerimiento va de la mano con la escalabilidad, pero la flexibilidad hace referencia a algo más local. En concreto se espera que el "kit" que se desarrolle sea lo suficientemente flexible para adaptarse a diferentes proyectos y de forma independiente la arquitectura del proyecto sea escalable.

## 3.6. Requerimientos electrónicos

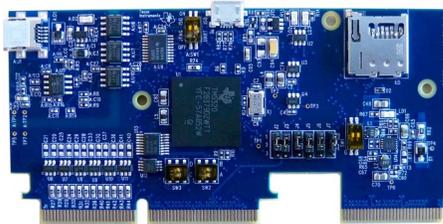
### 3.6.1. Controlador

Para este proyecto se utilizará la familia de controladores de Texas Instrument C2000 real-time control MCUs [33]. En específico se requiere que la plataforma sea compatible

con las plataformas de diseño y desarrollo LaunchPad-F2879D[34] y ControlCARD TMDSCNCD28379D [35]. Dicho requerimiento trata de aprovechar que este tipo de plataforma y familia de microcontroladores son altamente utilizados en el diseño e implementación de controladores. En las Fig. 3.2 y 3.3 se pueden apreciar imágenes referenciales de los controladores a utilizar.



**Figura 3.2:** Imagen referencial de C2000 Delfino MCU F28379D LaunchPad™ development kit.



**Figura 3.3:** Imagen referencial de F28379D controlCARD for C2000 Real time control development kits.

Otra ventaja que conlleva el uso esta familia de controladores es el soporte que entrega Texas Instruments para ser utilizadas en conjunto con Matlab y Simulink. Existen bloques drag-and-drop que facilitan la configuración de periféricos [36]. Además, se deja libertad al usuario para utilizar generación automática de código utilizando bloques de control, o la incorporación de bloques de código de autoría propia. Elemento muy importante a la hora de reducir el tiempo de implementación de los algoritmos y entrega una interfaz entre el controlador y los usuarios.

### 3.6.2. Puertos de entrada y salida

Como se apreció en la sección 3.6.1 se utilizarán dos placas de desarrollos como base de microcontrolador. Por lo tanto, como requerimiento para el desarrollo de esta plataforma se pidió maximizar la cantidad de puertos de entrada y salida entre los dos controladores. Entre estas entradas y salidas debe haber puertos de comunicación.

### 3.6.3. Modularidad en entradas y salidas

El acondicionamiento de señales considera lo necesario para que las entradas y salidas analógicas y digitales sean compatibles con el convertidor. Aunque no hay que olvidar que estas características pueden ser flexibles para cualquier otra aplicación que se le quiera dar a esta plataforma. Cada acondicionamiento de la plataforma debe ser independiente de los otros. Esto quiere decir que se puedan diseñar de manera independiente y que se puedan extraer de manera independiente sin afectar los otros módulos de acondicionamiento.

### 3.6.4. Entradas analógicas

Las entradas análogas deben cumplir las especificaciones de la sección 3.6.3 junto con algunas especificaciones extras. Se requiere el uso de conectores SMA Edge como los que se ven en la Fig. 3.4.



**Figura 3.4:** Imagen referencial de conector SMA edge.

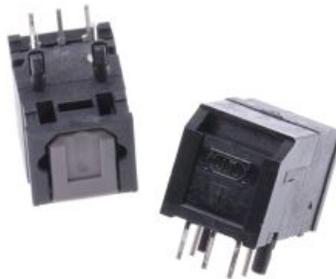
Las especificaciones eléctricas para la entrada análoga son una señal single ended de  $\pm 10$  V, una salida de 0 – 3 V que es lo que aceptan los controladores a utilizar y capacidad para soportar señales diferenciales. También se requiere un ancho de banda en ganancia y en fase de por lo menos 100 kHz. En la tabla 3.1 se puede ver un resumen de los requerimientos eléctricos.

<b>Especificación</b>	<b>Valor</b>
Voltaje de entrada	$\pm 10$ V
Voltaje de salida	0 – 3 V
Ancho de banda	100 kHz

**Tabla 3.1:** Requerimientos de señales analógicas

#### 3.6.4.1. Entradas y salidas digitales

Las entradas y salidas digitales deben cumplir con los requerimientos de la sección 3.6.3 junto con algunos extras. Las entradas y salidas digitales deben usar conectores de fibra óptica compatibles con Toslink. Dichos conectores se pueden apreciar en la Fig. 3.5.



**Figura 3.5:** Imagen referencial de conector de fibra óptica.

La plataforma también debe ser capaz de soportar señales eléctricas no ópticas en un rango de entrada a la plataforma de 5 – 3,3 V por medio de un conector RJ-9.

En las tablas 3.2 y 3.3 se pueden encontrar los requerimientos eléctricos de señales digitales de la plataforma.

<b>Especificación</b>	<b>Valor</b>
Voltaje de entrada	5 – 3,3 V
Voltaje de salida	3,3 V
Ancho de banda	100 kHz

**Tabla 3.2:** Requerimientos de entradas digitales

<b>Especificación</b>	<b>Valor</b>
Voltaje de entrada	3,3 V
Voltaje de salida	5 V
Ancho de banda	100 kHz

**Tabla 3.3:** Requerimientos de salidas digitales

## 3.7. Resumen de los requerimientos del sistema

El resumen de los requerimientos del sistema son los siguientes:

- Compatible con subrack EuropacPRO[32].
- Compatible con LaunchPad-F2879D y ControlCARD TMDSCNCD28379D
- Modular, escalable y flexible.
- Máximo de salidas y entradas posibles.
- Puertos de comunicación disponibles.
- Que las salidas y entradas sean compatibles con el convertidor desarrollado en el proyecto FONDECYT.
- Utilizar conectores SMA para las entradas análogas.
- Utilizar conectores de fibra óptica y RJ-9 para las entradas y salidas digitales.
- Cumplir los requerimientos eléctricos plateados en 3.1, 3.2 y 3.3.

### **3.8. Discusión final**

Estos requerimientos tienen como objetivo generar una plataforma que, a diferencia de lo que hay en el mercado, permita implementar de manera flexible y modular metodologías de prototipado rápido de control. La selección de la familia de microcontroladores C2000 y algunas características mecánicas adoptan la metodología CHIL. El objetivo final de este conjunto de especificaciones es hacer más eficaz la validación de algoritmos de control.

# Capítulo 4

## Diseño electrónico

### 4.1. Introducción

En este capítulo se desarrolla el diseño electrónico de la plataforma. El diseño electrónico consiste en diseñar acondicionamientos necesarios para funcionar de manera segura en conjunto con el controlador cumpliendo con las especificaciones de diseño. Junto con lo anterior, es necesario obtener el consumo de potencia teórico de la plataforma en su conjunto como también de sus partes por separado.

Este capítulo parte exponiendo el mapeo de pines que se realizó de los microcontroladores, con el fin de tener claridad de lo que se dispondrá. Luego se entra de lleno en el diseño de acondicionamiento análogo y digital, para finalmente terminar con una sección sobre el consumo de potencia teórico.

### 4.2. Mapeo de pines

Una parte crucial en el diseño de esta plataforma es aprovechar al máximo las capacidades del controlador. Como se permitirán dos formatos de placas de desarrollo, es necesario hacer un mapeo de pines (pinmap) común entre las dos placas y definir

cuáles serán las características que se utilizarán en la plataforma. Las placas de diseño y desarrollo que admite esta plataforma son LaunchPad-F2879D [34] y ControlCARD TMDSCNCD28379D [35].

Como se vio en el capítulo de requerimientos se pide maximizar las entradas y salidas del microcontrolador. Esto implica que hay que obtener la mayor cantidad de entradas y salidas en común entre las placas soportadas por la plataforma.

La prioridad para hacer el pinmap fue la siguiente:

1. Entradas analógicas.
2. Salidas digitales PWM.
3. Comunicaciones.
4. Entradas digitales.

El pinmap completo de la plataforma puede encontrarse en el apéndice A. A partir de este mapeo se pueden definir las características que tendrá la plataforma.

### 4.2.1. Características de la plataforma

Las características de entrada y de salida de la plataforma, como también de comunicaciones, que se obtuvieron a partir de PinMap se exponen a continuación:

Utilizando LaunchPad-F2879D:

- 20 entradas analógicas.
- 3 de las entradas analógicas pueden funcionar como DAC.
- 32 GPIO (Entradas-Salidas digitales) .
- 20 de las 32 GPIO son PWM.
- Comunicación I2C.

- Comunicación SPI.
- Comunicación Serial.
- Comunicación CAN.

Utilizando ControlCARD TMDSCNCD28379D:

- 24 entradas analógicas.
- 3 de las entradas analógicas pueden funcionar como DAC.
- 32 GPIO (Entradas salidas).
- 24 de las 32 GPIO son PWM.
- Comunicación I2C.
- Comunicación SPI.
- Comunicación Serial.
- Comunicación CAN.

## 4.3. Entradas analógicas

A continuación, se diseñan todo lo necesario para que el controlador pueda funcionar de manera correcta y segura cumpliendo los requerimientos planteados anteriormente.

### 4.3.1. Diseño

Como se especificó en la sección 3.6.4 la conversión que deben cumplir las entradas analógicas son transformar de  $\pm 10$  V a  $0 - 3$  V y con un ancho de banda de por lo menos 100 kHz. Es importante destacar que el principal factor limitante será el ancho de banda, ya que el escalamiento no es complejo de cumplir. Los voltajes de entrada y salida se resumen y ordenan en la tabla 4.1.

Nombre	Valor [V]
$V_{i\_max}$	10
$V_{i\_min}$	-10
$V_{o\_max}$	3
$V_{o\_min}$	0

**Tabla 4.1:** Requerimientos de voltaje de entrada y salida.

A partir de los voltajes de la tabla 4.1 la ganancia necesaria es:

$$G = \frac{v_o}{v_i} = \frac{V_{o\_max} - V_{o\_min}}{V_{i\_max} - V_{i\_min}} = 0,15$$

Es necesario destacar que esta señal necesita un offset de 1,5V para cumplir con las especificaciones. Por lo tanto, la ecuación de transformación sería:

$$v_o = G \cdot v_i + 1,5$$

Para implementar esta transformación hay varias opciones [37]. Para este caso, se evaluarán dos alternativas de implementación.

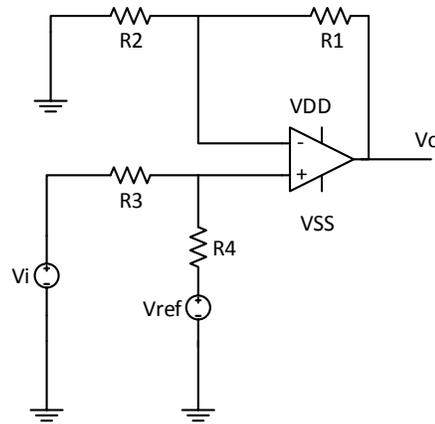
La opción 1 que se puede ver en la figura 4.1 es capaz de realizar la conversión en solo una etapa. La función de transferencia para la opción 1 es:

$$v_o = v_i \left( \frac{R_4}{R_3 + R_4} \right) \cdot \left( \frac{R_1 + R_2}{R_2} \right) + V_{ref} \left( \frac{R_3}{R_3 + R_4} \right) \cdot \left( \frac{R_1 + R_2}{R_2} \right)$$

Haciendo  $R_1 = R_4$  y  $R_2 = R_3$  la función de transferencia se puede reducir a:

$$v_o = v_i \cdot \left( \frac{R_1}{R_2} \right) + V_{ref} \quad (4.3.1)$$

La ecuación (4.3.1) será la utilizada para diseñar la primera opción. La metodología es hacer cero el voltaje de referencia para obtener en valor de las resistencias y luego



**Figura 4.1:** Esquema de la opción 1 de acondicionamiento a evaluar.

calcular el voltaje de referencia necesario.

$$v_o = v_i \cdot \left( \frac{R_1}{R_2} \right)$$

$$R_2 \cdot G = R_1$$

Haciendo  $R_2 = 10 \text{ k}\Omega$  se obtiene que  $R_1 = 1,5 \text{ k}\Omega$ . Ahora para obtener el voltaje de referencia se toma  $V_{o\_max}$  y  $V_{i\_max}$ .

$$V_{o\_max} = V_{i\_max} \cdot \left( \frac{R_1}{R_2} \right) + V_{ref}$$

Despejando se tiene que voltaje de referencia es  $V_{ref} = 1,5 \text{ V}$ .

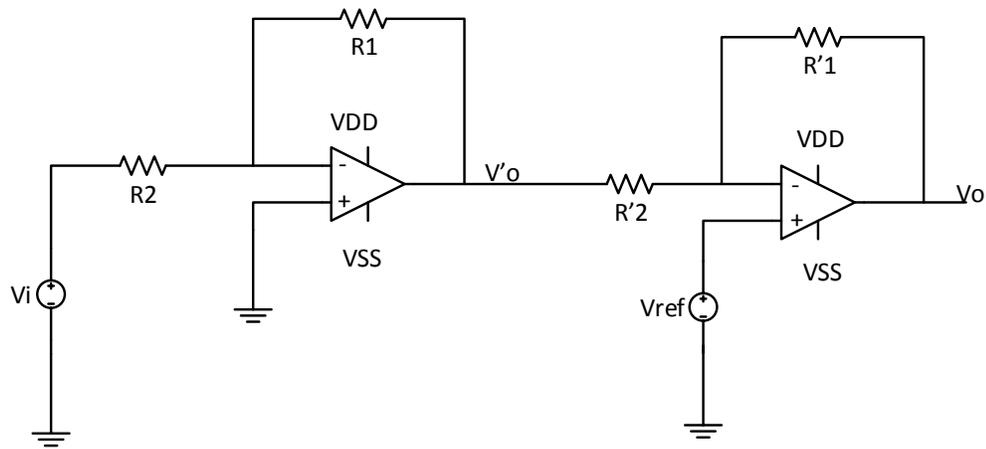
En la tabla 4.2 se puede ver un resumen de los datos calculados.

La opción 2, que se puede ver en la Fig. 4.2, evalúa que sucede si el escalamiento se distribuye en dos etapas con el fin de que la ganancia de los amplificadores se mantenga, en la medida de lo posible, lo más cercano a la ganancia unitaria, ya que

Nombre	Valor
$R_1$	1,5 k $\Omega$
$R_2$	10k k $\Omega$
$R_3$	10k k $\Omega$
$R_4$	1,5k k $\Omega$
$V_{ref}$	1,5 V

**Tabla 4.2:** Valores calculados para la opción 1.

entre más cerca de la ganancia unitaria los amplificadores tienen mayor ancho de banda. La función de transferencia de la primera etapa sería:



**Figura 4.2:** Esquema de la opción 2 de acondicionamiento a evaluar.

$$v'_o = - \left( \frac{R_1}{R_2} \right) v_i \quad (4.3.2)$$

La función de transferencia para la segunda etapa sería:

$$v_o = -v'_o \left( \frac{R'_1}{R'_2} \right) + V_{ref} \left( 1 + \frac{R'_1}{R'_2} \right) \quad (4.3.3)$$

Si se considera que la ganancia de la etapa 1 será igual a la ganancia de la etapa 2

entonces  $R_1 = R'_1$  y  $R_2 = R'_2$ . Juntando las ecuaciones (4.3.2) y (4.3.3) y haciendo  $V_{ref} = 0$  V se obtiene:

$$v_o = \frac{R_1 \cdot R'_1}{R_2 \cdot R'_2}$$

$$\frac{v_o}{v_i} = \frac{R_1^2}{R_2^2}$$

$$R_2^2 \cdot G = R_1^2$$

$$R_2 \sqrt{G} = R_1 \tag{4.3.4}$$

Con la relación (4.3.4) se puede diseñar fácilmente esta opción. Si  $R_2 = 10$  k $\Omega$  entonces  $R_1 = 3,9$  k $\Omega$ . Luego es necesario calcular el voltaje de referencia para generar el offSet. Para esto es necesario saber que cuando se entra a la primera etapa con 10 V se sale de la primera etapa con  $-3,9$  V o lo que es lo mismo  $V'_{o\_min} = -3,9$  V. Este voltaje se corresponde con  $V_{o\_max} = 3$  V que sería el voltaje máximo que saldría de la segunda etapa. Por lo tanto se puede escribir:

$$V_{o\_max} = -V'_{o\_min} \left( \frac{R'_1}{R'_2} \right) + V_{ref} \left( 1 + \frac{R'_1}{R'_2} \right)$$

Como se dispone de todos estos datos es posible calcular el voltaje de referencia, lo que da  $V_{ref} = 1,06$  V.

El voltaje de referencia para esta opción es un voltaje no estándar y que es necesario implementar por medio de un divisor de tensión u otro medio equivalente. Si bien, es posible diseñar imponiendo un voltaje de referencia estándar esto afectaría la

restricción de las ganancias de los amplificadores operacionales y a consecuencia de esto se vería afectado el ancho de banda final del circuito. Producto de esto se tomó la decisión de priorizar las ganancias por sobre el voltaje de referencia en el diseño.

En la tabla 4.3 se puede ver un resumen de los valores calculados para la opción 2.

Nombre	Valor
$R_1$	3,9 k $\Omega$
$R_2$	10 k $\Omega$
$R'_1$	3,9 k $\Omega$
$R'_2$	10 k $\Omega$
$V_{\text{ref}}$	1,06 V

**Tabla 4.3:** Valores calculados para la opción 2.

### 4.3.2. Simulación

Utilizando los datos calculados anteriormente se generaron las simulaciones necesarias para seleccionar una configuración. Luego de seleccionar la configuración a implementar se buscará algún amplificador comercial para ser utilizado en la plataforma.

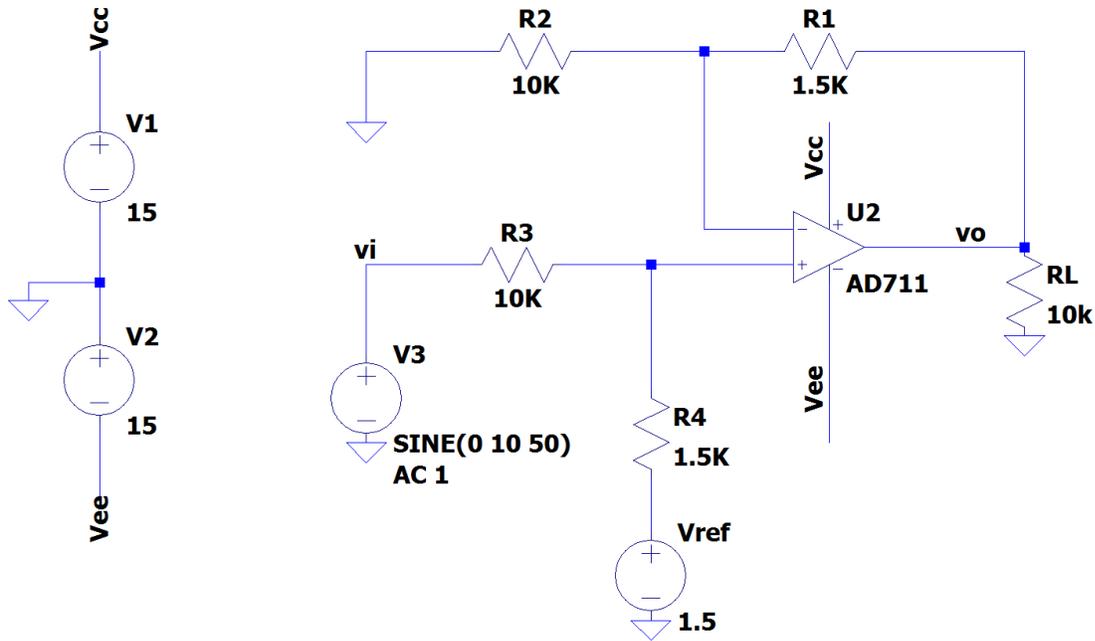
Para comparar las configuraciones se utilizará el modelo del amplificador AD711 [38] ya que es un amplificador que nativo del entorno de simulación LTspice XVII y por sus características técnicas encaja en el perfil que se anda buscando.

En la Fig. 4.3 se puede ver el esquema de simulación de la opción 1 implementado en LTspice XVII y en la Fig. 4.4 se puede ver su respectivo diagrama de Bode.

En la Fig. 4.5 se puede ver el esquema de simulación de la opción 2 implementado en LTspice XVII y en la figura 4.6 se puede ver el diagrama de Bode obtenido.

En la Fig. 4.7 se puede ver el escalamiento idéntico obtenido en ambas simulaciones.

A partir de los diagramas de Bode que se pueden ver en las Fig. 4.4 y 4.6 se realizó la tabla 4.4 con las principales características de interés. De estos datos se pueden inferir



**Figura 4.3:** Esquema de la simulación en LTspice XVII para la opción 1.

varias cosas. En primer lugar, el ancho de banda de ambas configuraciones supera con creces los 100 kHz solicitados en los requerimientos. Por otro lado, el ancho de banda en que la fase no se ve modificada (Zero-Phase) fue medido en dos puntos, cuando se alcanzó un desfase de  $-2^\circ$  y  $-5^\circ$ , y aquí es donde se ve que la opción 2 no es capaz de llegar a los 100 kHz requeridos. Por este motivo la opción 1 es la mejor opción para implementar este acondicionamiento de señal y es la que se utilizará para la plataforma.

No hay que dejar de mencionar que la opción 1 tiene algunos otros beneficios como es que utiliza solo un amplificador operacional y el  $V_{ref}$  es un voltaje relativamente estándar y fácil de obtener.

### 4.3.3. Selección del amplificador operacional

Ya con la configuración a utilizar definida, es necesario seleccionar un amplificador comercial. En la tabla 4.5 se puede ver la lista de amplificadores candidatos y sus

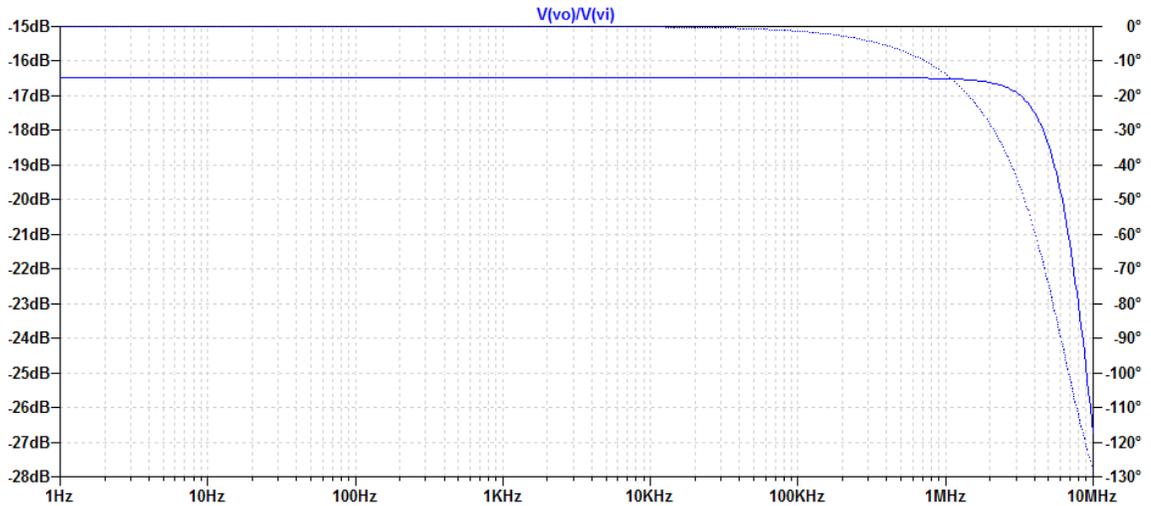


Figura 4.4: Diagrama de BODE a partir de la simulación de la opción 1.

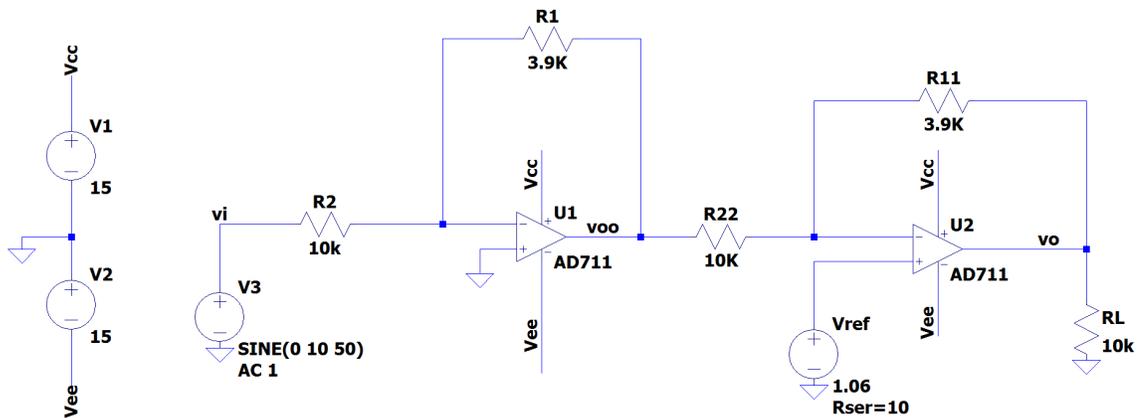
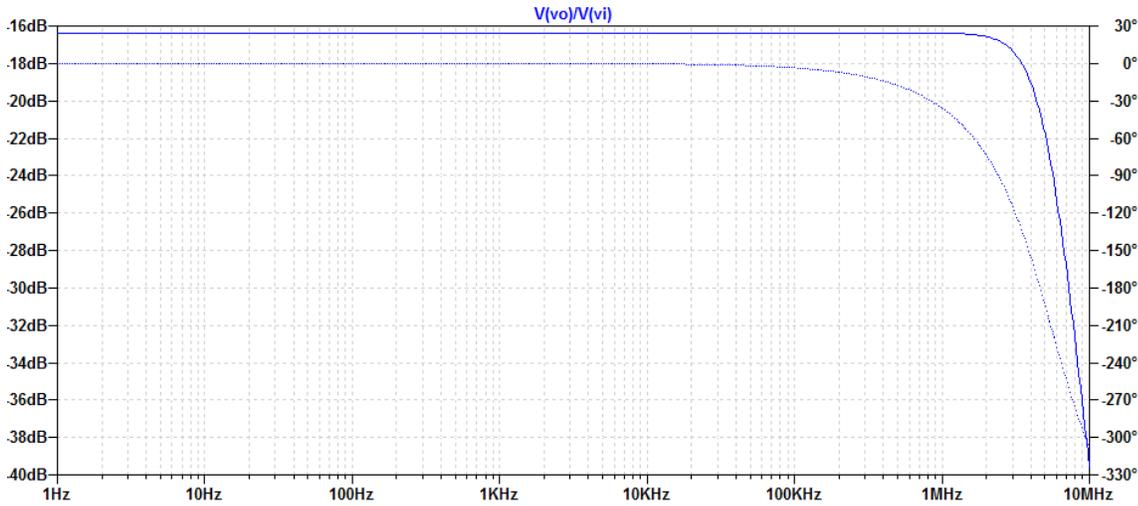


Figura 4.5: Esquema de la simulación en LTspice XVII para la opción 2.

principales características.

A partir de estos amplificadores y siguiendo la metodología utilizada en la sección anterior, se obtuvieron sus respectivos diagramas de Bode. Un resumen de los datos obtenidos se ve en la tabla 4.6.

Se puede ver que los amplificadores TL084 y TL082 son descartados por que no cumplen el requerimiento de ancho de banda en fase (Zero-Phase). Todos los demás amplificadores cumplen los requerimientos técnicos solicitados. Si nos referimos a la



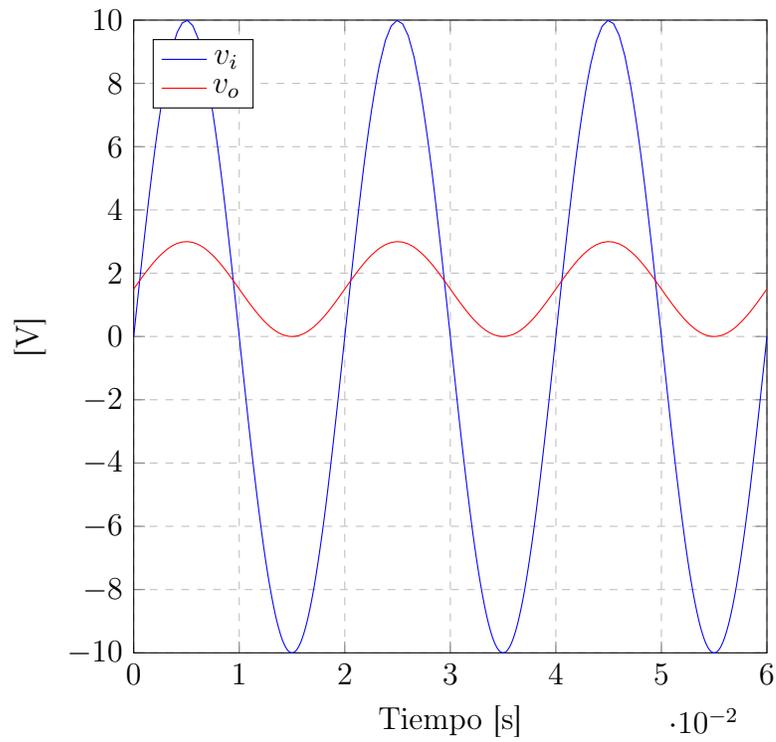
**Figura 4.6:** Diagrama de BODE a partir de la simulación de la opción 2.

	Opción 1	Opción 2
Ancho de banda (-3DB)	5,765 MHz	1,936 MHz
Zero-Phase(-2°)	145 kHz	56,5 kHz
Zero-Phase(-5°)	366 kHz	141,4 kHz

**Tabla 4.4:** Tabla comparativa con las principales características de frecuencia de ambas opciones.

tabla 4.5 podemos ver los precios de los amplificadores. De los amplificadores que, si cumplieron los requerimientos técnicos, el más barato es el OPA1692IDR. Por estos motivos, será el amplificador seleccionado para implementar el acondicionamiento para las señales analógicas.

En la Fig. 4.8 se puede ver el diagrama de Bode de la simulación de este amplificador. Llama la atención que este diagrama tiene cierta región de amplificación que parte aproximadamente en los 500 kHz y termina en los 3 MHz. Es importante analizar esta región para evitar dañar al microcontrolador o obtener efectos no deseados como amplificar del ruido. El pico se alcanza en aproximadamente los 2 MHz y alcanza una magnitud de ganancia de  $-14,6832$  dB que equivale a una ganancia de amplificación de 0,1844. Al ponerse en el peor de los casos con el fin de descartar posibles daños el microcontrolador, si se le ingresara una señal de 10 V a una frecuencia de 2 Mhz se



**Figura 4.7:** Escalamiento con opción 1 y opción 2.

obtendría una salida de 3,34 V que se mantiene dentro del rango permitido por el microcontrolador.

En conclusión, en ningún rango de frecuencia el amplificador operacional seleccionado sería capaz de dañar el microcontrolador. Por otro lado, no se recomienda utilizar señales de una frecuencia mayor a 500 KHz, que para la aplicación que se le quiera dar es un rango aceptable. Si se detecta que hay mucho ruido de alta frecuencia que el amplificador tiende a amplificar, se recomienda utilizar uno de los amplificadores más costosos, pero con mejor respuesta en frecuencia.

#### 4.3.4. Selección de componentes

Junto con el amplificador operacional, también es necesario un circuito extra que será el encargado de generar 1,5 V para producir el corrimiento necesario de la señal.

	Precio [USD]	Slew rate [V/ $\mu$ s]	Ancho de banda [MHz]	Circuitos
OPA211AIDR	7,44	27	45	1
OPA140AIDR	3,72	20	11	1
OPA1692IDR	1,74	23	5,1	2
TL084CDR	0,43	13	3	4
TL082CDR	0,41	13	3	2
LT1355	9,95	400	12	2
AD8620	16,28	60	25	2

**Tabla 4.5:** Amplificadores operacionales candidatos y sus principales características.

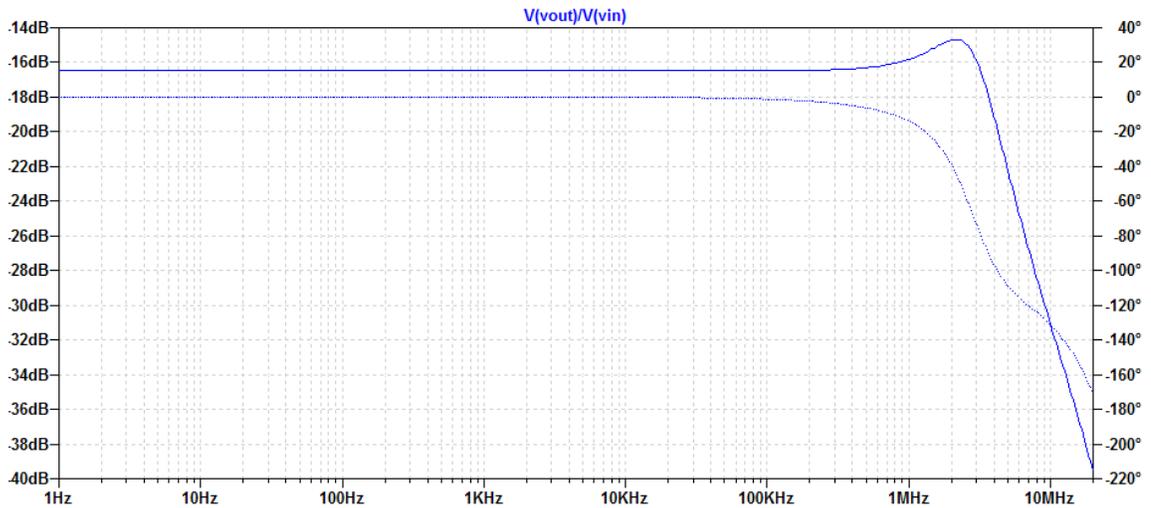
	Zero-phase ( $-2^\circ$ ) [kHz]	Ancho de banda ( $-3$ dB) [MHz]
OPA211AIDR	2000	<i>xxx</i>
OPA140AIDR	275	<i>xx</i>
OPA1692IDR	165,5	4,1
TL084CDR	99,5	1,325
TL082CDR	99,5	1,325
LT1355	340	2,5
AD8620	841	1,6

**Tabla 4.6:** Datos de frecuencia obtenido al simular cada amplificador.

Lo ideal es que este voltaje sea lo más preciso y estable posible ya que todo esto repercutirá en la precisión de la conversión final. Estas características las tienen los circuitos de voltajes de referencia. El circuito seleccionado es el ISL21010CFH315Z-TK [39] fabricado por Renesas Electronics America Inc. Finalmente, como conector análogo se seleccionó un conector SMA 142-0701-80 fabricado por Cinch Connectivity Solutions Johnson. Es un conector de un costo reducido y que se puede montar en el borde de la placa.

### 4.3.5. Validación

El circuito a validar es el que se ve en la figura 4.3. Dicho circuito es el que se fue seleccionado para ser utilizado como acondicionador de entradas analógicas. Cabe mencionar que el voltaje de referencia será generado por el ISL21010CFH315ZTK y no se entregará desde una fuente de poder externa. El voltaje de alimentación para el



**Figura 4.8:** Diagrama de Bode del amplificador OPA1692IDR con la configuración seleccionada.

amplificador operacional será generado desde la fuente de poder MPL-3303 ya que el circuito de regulación no se dispone al momento de hacer las pruebas.

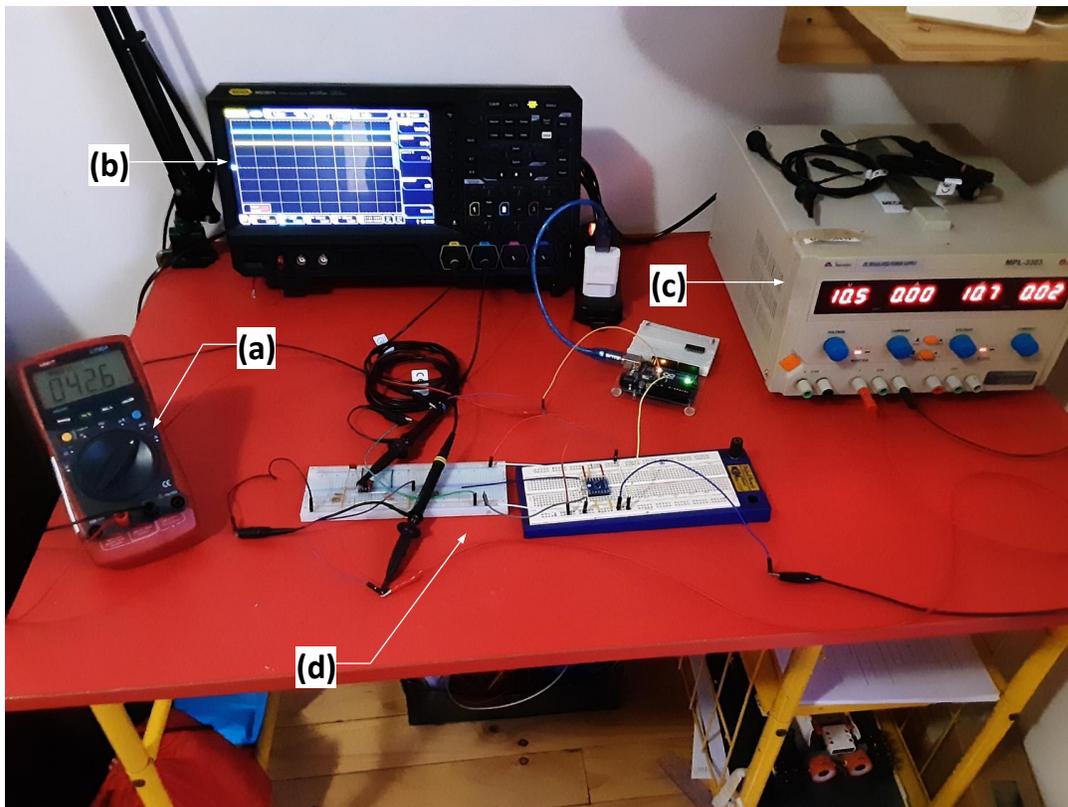
En la Fig. 4.9 se puede ver los elementos de los cuales se dispuso para realizar las pruebas y el setup de trabajo. En la imagen se puede ver el osciloscopio, el multímetro y la fuente de poder utilizada mientras se testea el funcionamiento de un circuito.

Los materiales que se utilizaron en el circuito para hacer la prueba se pueden encontrar en la tabla 4.7.

	<b>Cantidad</b>	<b>ID</b>
OPA1692IDR	1	U1
Resistencias 1.5k 1/4w 1%	2	R1,R4
Resistencias 10k 1/4w 1%	2	R2,R3
ISL21010CFH315ZTK	1	VREF
Condensador 1uF	2	C3,C4
Condensador 0.1uF	2	C1,C2

**Tabla 4.7:** Add caption

Lo primero que se validará será que el escalamiento sea correcto. Para ello se utilizará una señal de entrada en  $V_{in}$  de 100 kHz y de una amplitud de 2,5 V. El resultado



**Figura 4.9:** Setup utilizado para realizar las validaciones. (a) Multímetro digital UT60A (b) Osciloscopio Rigol MSO5074 (c) Fuente de poder MPL-3303 (d) Circuito testado

que muestra que el escalamiento es correcto se puede ver en la Fig. 4.10

Debido a que el generador de funciones que se dispone no alcanza los límites de escalamiento, es necesario comprobarlos de manera manual ingresando señales continuas de 10 V y  $-10$  V en la entrada del amplificador operacional para comprobar que todo funcione bien. En la Fig. 4.11 se pueden ver los resultados obtenidos en los puntos límites. Se comprueba que la conversión es correcta.

Con el fin de poner un poco más a prueba el diseño, se quiso analizar qué pasaba cuando se salía de los rangos para los que fue diseñado el circuito. Para ellos se ingresaron señales continuas de 13 V y  $-13$  V en la entrada. En la Fig. 4.12 se



**Figura 4.10:** Resultado prueba de circuito de entradas analógicas en escalamiento de señal.

pueden ver los resultados obtenidos. Al salirse de los rangos en la entrada, la salida del amplificador operacional se mantiene fija en los límites de 3 V y 0 V. Esto se debe a que en el diseño se consideró que la alimentación del amplificador fuera 3,3 V y 0 V, y junto con la capacidad Rail-to-Rail del OPA1692IDR se logra una correcta conversión, y donde es físicamente imposible generar voltajes que puedan dañar el microcontrolador, por lo tanto, también es seguro.

La última prueba que se hizo sobre el circuito acondicionador de señales analógicas de entrada fue un AC-Sweep. Esta prueba utiliza la capacidad del osciloscopio para hacer barrido de señales AC y con esto se logra obtener un diagrama de Bode en determinado rango de frecuencias. El resultado obtenido directamente desde la pantalla del osciloscopio es el que se muestra en la Fig. 4.13.

Para una mayor claridad de análisis, este resultado se gráfica a partir de la exportación



(a)



(b)

**Figura 4.11:** Pruebas funcionamiento límites del escalamiento (a)Entrada continua de 10 V (b)Entrada continua de  $-10$  V



(a)



(b)

**Figura 4.12:** Pruebas funcionamiento fuera de los límites de escalamiento (a)Entrada continua de 13 V (b)Entrada continua de -13 V



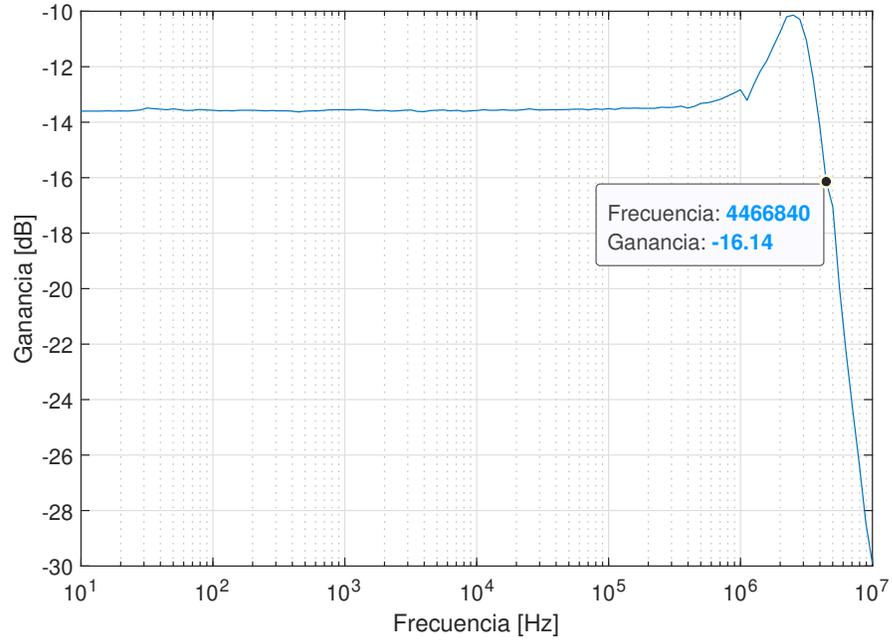
**Figura 4.13:** Diagrama de Bode del circuito acondicionador de entradas analógicas.

de los datos. En la Fig. 4.14 se pueden ver los resultados graficados y destacando puntos de interés. Los puntos destacados son los más cercanos antes de pasarse a los  $-2^\circ$  y  $-3$  dB. En la tabla 4.8 se puede ver una comparación de los datos calculados teóricamente y los datos obtenidos de manera experimental.

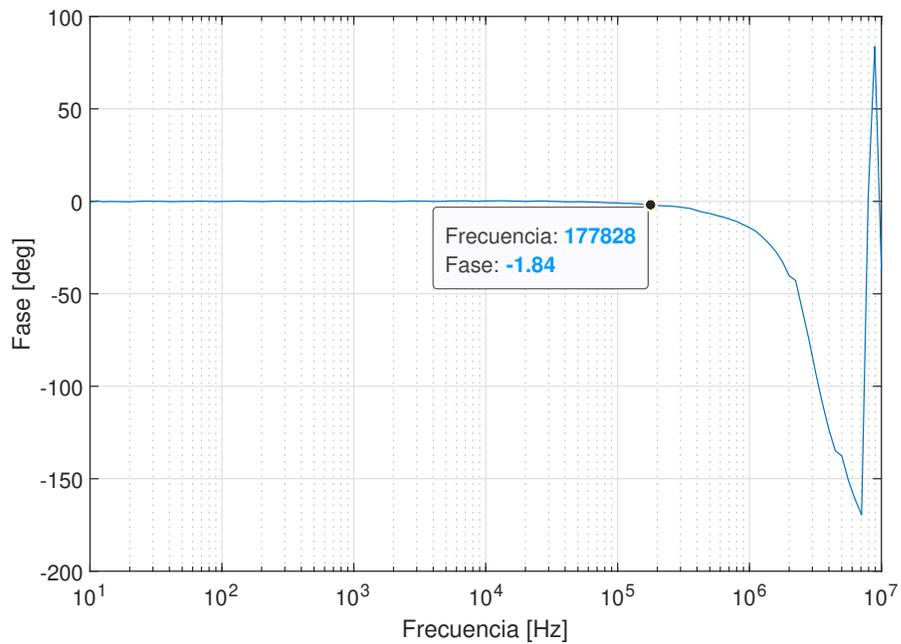
Con estos datos se puede validar experimentalmente la respuesta del diseño del amplificador operacional para entradas analógicas. También se demostró que es seguro para funcionar en conjunto con el microcontrolador.

	Teórico [MHz]	Experimental [MHz]
Ancho de banda (-3dB)	4.1	4.46
Zero fase ( $-2^\circ$ )	0.165	0.177

**Tabla 4.8:** Comparación de datos teóricos y experimentales.



(a)



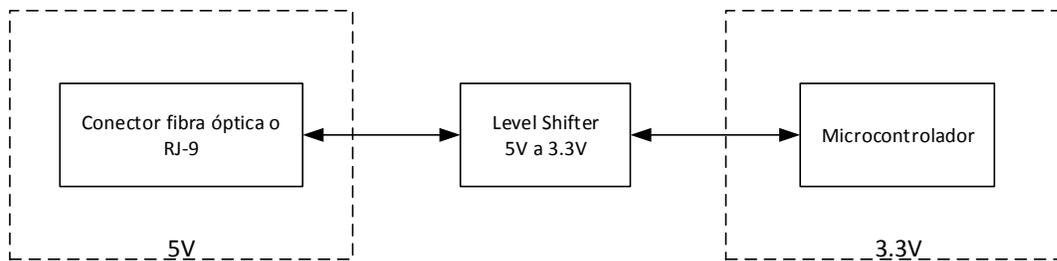
(b)

**Figura 4.14:** Gráfico del diagrama del Bode obtenido a partir de los datos del osciloscopio. (a) Gráfico de Ganancia. (b) Gráfico de fase

## 4.4. Entradas y salidas digitales

El diseño de los acondicionamientos para entradas y salidas digitales se puede atacar más bien como un problema similar. Los requerimientos planteados en 3.6.4.1 piden que una entrada sea capaz de recibir 5-3,3 V y que sea capaz de entregar 3,3 V y que una salida sea capaz de recibir 3,3 V y entregar 5 V. Junto con este requerimiento eléctrico también se pide que sea posible utilizar conectores de fibra óptica y conectores RJ45.

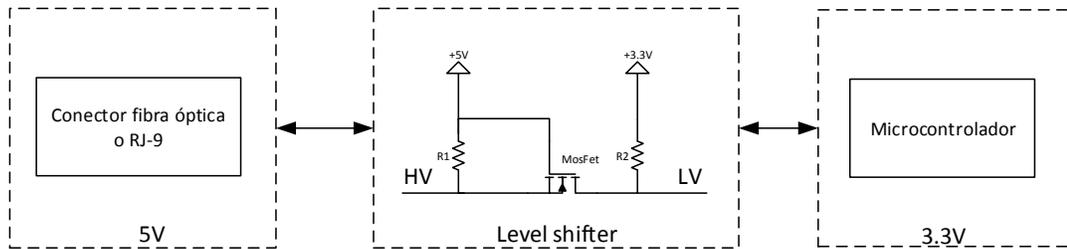
Se propone un diseño que sea capaz de cubrir la mayor cantidad de requerimientos en un circuito. La idea es utilizar un level shifter bidireccional para llegar de manera segura al microcontrolador y luego adaptarse al conector de fibra óptica o RJ-45. En la Fig. 4.15 se puede ver un diagrama de lo que se propone.



**Figura 4.15:** Diagrama en bloques del diseño propuesto para entradas y salidas digitales

Si bien hay varias maneras de implementar un level shifter, se propone una implementación lo más sencilla posible utilizando solo un MOSFET tipo N y dos resistencias. En la figura 4.16 se puede ver un diagrama circuital del level shifter.

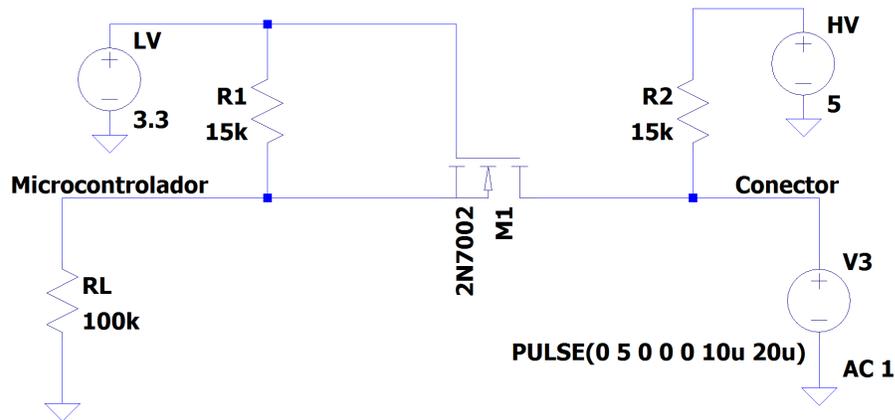
Si bien se tiene la desventaja que este level shifter consume potencia por medio de las resistencias R1 y R2, esta desventaja se ve apaleada aumentando el valor de las resistencias por sobre los 10 k $\Omega$ . Por otro lado, el valor en componentes electrónicos de este level shifter es sumamente económico rodando los 0,3 USD en su conjunto.



**Figura 4.16:** Diagrama circuital del Level Shifter Bidireccional para entradas y salidas digitales

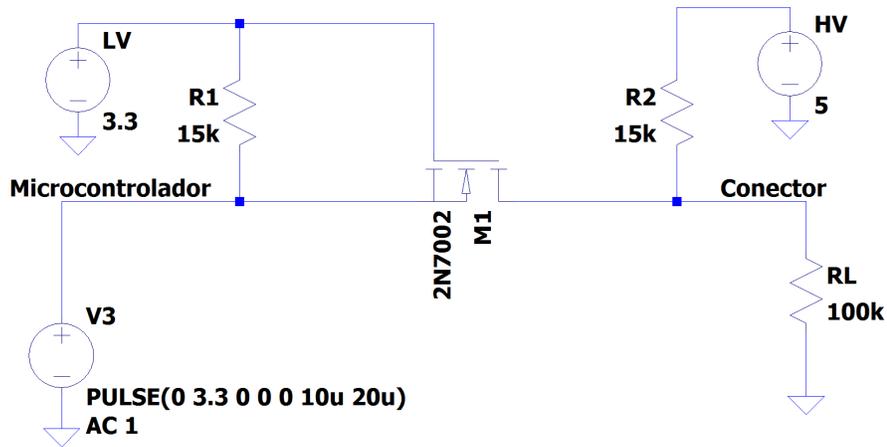
#### 4.4.1. Simulación entradas y salidas digitales

El esquema de la simulación para las entradas y salidas respectivamente se puede ver en las Fig. 4.17 y 4.18 respectivamente. El MOSFET seleccionado para la implementación del circuito fue el 2N7002NXAKR [40] principalmente por su reducido costo y sus buenas prestaciones.



**Figura 4.17:** Esquemático de la simulación del circuito Level Shifter para entradas.

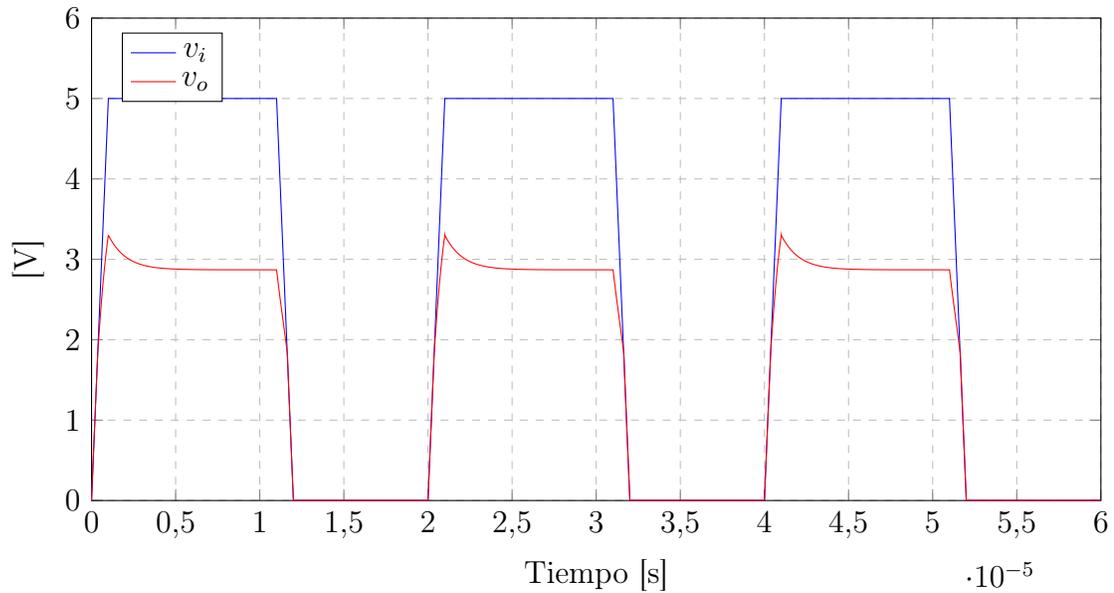
En las Fig. 4.19 y 4.20 se pueden ver la simulación de una onda cuadrada de 100 kHz para las entradas y salidas digitales respectivamente. En estas figuras se logra comprobar que se distingue entre los dos niveles lógicos que el controlador admite. Las dinámicas son buenas, solo con un pequeño pico al principio cuando se



**Figura 4.18:** Esquemático de la simulación del circuito Level Shifter para salidas.

utiliza como entrada, pero que se está seguro que no va a pasar el voltaje máximo de las fuentes del level shifter, por lo tanto, se moverá en un voltaje seguro para el microcontrolador. Por otro lado, hay que considerar si se desea que la caída de voltaje no sea significativa en R1 o R2 la impedancia en la carga debe ser lo suficientemente grande. Si bien las simulaciones se utiliza una resistencia de carga de 100 k $\Omega$  es posible tener impedancias más bajas siempre y cuando se puedan seguir distinguiendo los niveles lógicos. Esto sería que un cero lógico se mantenga inferior a 0,8 V y un uno lógico se mantenga superior a 2 V en voltajes de 3,3 V de alimentación. No hay que dejar de mencionar que el uso de impedancias demasiado grandes hará que la entrada sea más sensible al ruido por lo tanto la recomendación es utilizar una impedancia de entre 15 k $\Omega$  a 100 k $\Omega$ .

En la Fig. 4.21 se puede ver el diagrama de Bode del level shifter. Se puede apreciar que el ancho de banda es aproximadamente 8,4 MHz que supera con creces los 100 kHz de requerimiento.



**Figura 4.19:** Simulación voltaje de entrada y voltaje de salida en el level shifter para una Entrada.

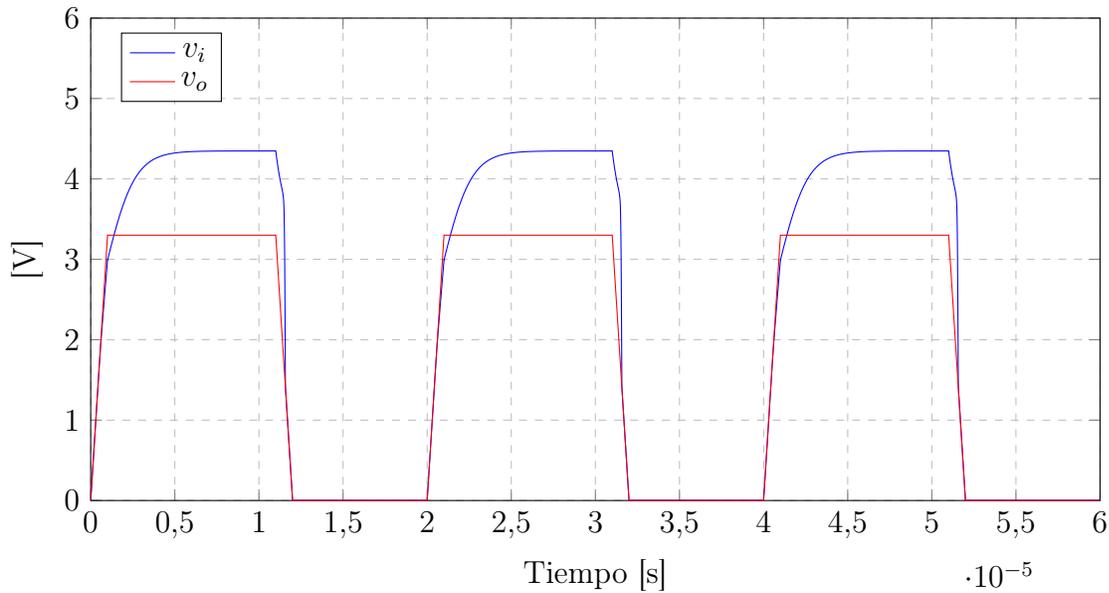
#### 4.4.2. Selección de componentes

Para las entradas y salidas digitales es necesario seleccionar algunos componentes extras.

El conector óptico de transmisión seleccionado es el EAPLTAA6 fabricado por Everlight Electronics Co Ltd que principalmente se seleccionó por su reducido costo de 0,82 USD.

El conector óptico de recepción que se utilizará es el TORX1355(F) fabricado por Toshiba Semiconductor and Storage y si bien su costo es elevado, cumple con las características de frecuencia y dinámicas que necesita el proyecto.

Como conector eléctrico se utilizarán RJ45 54601-908WPLF fabricado por Amphenol ICC (FCI) de muy reducido costo.



**Figura 4.20:** Simulación voltaje de entrada y voltaje de salida en el level shifter para una salida.

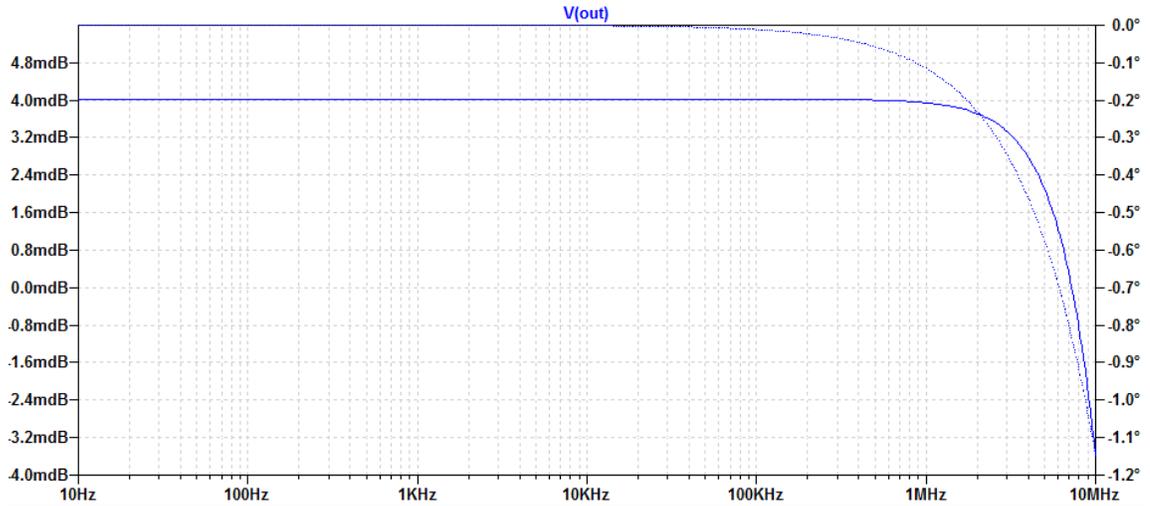
## 4.5. Estimación teórica del consumo de potencia

En esta sección se analizarán los consumos de potencias teóricos principales en los que incurre la plataforma con el fin de poder seleccionar fuentes de poder acorde con las potencias que hay en las diferentes partes de la plataforma.

### 4.5.1. Controladores

La plataforma funcionará con dos posibles alternativas: la LAUNCHXL-F28379D o TMDSCNCD28379D. Ambas son placas de evaluación de Texas Instruments para la familia de controladores TMS320F2837xD Dual-Core Microcontrollers [41].

El el Datasheet del controlador [41] entrega detallada información de la corriente consumida por con controlador. Esta información se puede ver en la Fig. 4.22. Hay que tener claro que la potencia que consume el controlador depende del programa que ejecuta y advierten que los valores mostrados en la Fig. 4.22 no son los máximos



**Figura 4.21:** Diagrama de Bode del level shifter

absolutos que puede llegar el controlador.

Si se toman las corrientes en operación máximas  $I_{DD} = 495$  mA,  $I_{DDA} = 20$  mA y  $I_{DD3VFL} = 40$  mA.  $I_{DDIO}$  depende de las cargas en los pines de entrada y salida con un máximo de corriente por pin de 20 mA (Según datasheet), por lo tanto, en el caso extremo de que se utilicen 32 pines con máxima corriente  $I_{DDIO} = 640$  mA.

Utilizando los voltajes de operación nominales para el microcontrolador que se ven en la Fig. 4.23 es posible calcular la potencia total teórica que consume el controlador.

$$P_{controlador} = I_{DD} \cdot V_{DD} + I_{DDA} \cdot V_{DDA} + I_{DD3VFL} \cdot V_{DD3VFL} + I_{DDIO} \cdot V_{DDIO}$$

$$P_{controlador} = 495 \text{ mA} \cdot 1,2 \text{ V} + 20 \text{ mA} \cdot 3,3 \text{ V} + 40 \text{ mA} \cdot 3,3 \text{ V} + 640 \text{ mA} \cdot 3,3 \text{ V}$$

$$P_{controlador,max} = 2,904 \text{ W} \quad (4.5.1)$$

Si bien esta potencia no tiene limitaciones máximas impuestas por el datasheet más que las vistas anteriormente, si tiene limitaciones térmicas que están definidas por la capacidad de disipación térmica del encapsulado del microcontrolador. Antes de utilizar gran consumo de potencia desde el controlador es recomendable comprobar

MODE	TEST CONDITIONS	$I_{DD}$		$I_{DDIO}^{(1)}$		$I_{DDA}$		$I_{DD3VFL}$	
		TYP <sup>(2)</sup>	MAX <sup>(3)</sup>						
Operational	<ul style="list-style-type: none"> <li>Code is running out of RAM.<sup>(4)</sup></li> <li>All I/O pins are left unconnected.</li> <li>Peripherals not active have their clocks disabled.</li> <li>FLASH is read and in active state.</li> <li>XCLKOUT is enabled at SYSCLK/4.</li> </ul>	325 mA	495 mA	30 mA		13 mA	20 mA	33 mA	40 mA
IDLE	<ul style="list-style-type: none"> <li>Both CPU1 and CPU2 are in IDLE mode.</li> <li>Flash is powered down.</li> <li>XCLKOUT is turned off.</li> </ul>	105 mA	250 mA	3 mA	10 mA	10 $\mu$ A	150 $\mu$ A	10 $\mu$ A	150 $\mu$ A
STANDBY	<ul style="list-style-type: none"> <li>Both CPU1 and CPU2 are in STANDBY mode.</li> <li>Flash is powered down.</li> <li>XCLKOUT is turned off.</li> </ul>	30 mA	170 mA	3 mA	10 mA	5 $\mu$ A	150 $\mu$ A	10 $\mu$ A	150 $\mu$ A
HALT <sup>(5)</sup>	<ul style="list-style-type: none"> <li>CPU1 watchdog is running.</li> <li>Flash is powered down.</li> <li>XCLKOUT is turned off.</li> </ul>	1.5 mA	120 mA	750 $\mu$ A	2 mA	5 $\mu$ A	150 $\mu$ A	10 $\mu$ A	150 $\mu$ A
HIBERNATE <sup>(6)</sup>	<ul style="list-style-type: none"> <li>CPU1.M0 and CPU1.M1 RAMs are in low-power data retention mode.</li> <li>CPU2.M0 and CPU2.M1 RAMs are in low-power data retention mode.</li> </ul>	300 $\mu$ A	5 mA	750 $\mu$ A	2 mA	5 $\mu$ A	75 $\mu$ A	1 $\mu$ A	50 $\mu$ A
Flash Erase/Program <sup>(7)</sup>	<ul style="list-style-type: none"> <li>CPU1 is running from RAM.</li> <li>CPU2 is running from Flash.</li> <li>All I/O pins are left unconnected.</li> <li>Peripheral clocks are disabled.</li> <li>CPU1 is performing Flash Erase and Programming.</li> <li>CPU2 is accessing Flash locations to keep bank active.</li> <li>XCLKOUT is turned off.</li> </ul>	242 mA	360 mA	3 mA	10 mA	10 $\mu$ A	150 $\mu$ A	53 mA	65 mA

**Figura 4.22:** Información de consumo de corriente del controlador.

las características térmicas y como estas repercuten en el diseño tal y como se indica en [42].

#### 4.5.2. Entradas analógicas

La estimación del consumo de potencia de la entrada analógica se puede ver desde dos puntos de vista. Primero se puede reducir a saber la potencia máxima que consume el amplificador operacional y la potencia que consume el circuito que genere el voltaje de referencia. Pero desde un punto más amplio, si se asume que en definitiva no se sabe con certeza cuál será el circuito que se podría implementar a futuro, es necesario dejar cierto margen para que los diseños desarrollados más adelante tengan potencia suficiente para trabajar. La forma más sencilla de considerar estas eventualidades es utilizar un factor de seguridad.

		MIN	NOM	MAX	UNIT
Device supply voltage, I/O, $V_{DDIO}^{(1)}$		3.14	3.3	3.47	V
Device supply voltage, $V_{DD}$		1.14	1.2	1.26	V
Supply ground, $V_{SS}$			0		V
Analog supply voltage, $V_{DDA}$		3.14	3.3	3.47	V
Analog ground, $V_{SSA}$			0		V
Junction temperature, $T_J$	T version	-40		105	°C
	S version <sup>(2)</sup>	-40		125	
	Q version (AEC Q100 qualification) <sup>(2)</sup>	-40		150	
Free-Air temperature, $T_A$	Q version (AEC Q100 qualification)	-40		125	°C

**Figura 4.23:** Condiciones de operación recomendadas para el microcontrolador.

debido a que los circuitos acondicionadores podrían utilizar diferentes etapas y por lo tanto más amplificadores operacionales para se podría pensar en un factor de seguridad de por lo menos 3 veces el valor de potencia calculado para el circuito que se diseña en este trabajo.

Para calcular la potencia que consume el amplificador operacional se utilizará simulación con el modelo SPICE entregado por el fabricante. Se simulará un caso extremo de conversión continua de 10 V ya que ese caso será el que más potencia consumirá. La potencia que consume el amplificador es de 4 mW.

Otra parte que consume potencia es circuito de voltaje de referencia. Según el datasheet del circuito seleccionado [39] el consumo de potencia de este circuito es de 0,33 mW a un voltaje de 3,3 V.

Por lo tanto, la potencia total de una entrada analógica es 4,33 mW. Se se utiliza el factor de seguridad de 3, cada entrada análoga debe por lo menos tener 13,99 mW.

### 4.5.3. Entradas digitales ópticas

Los componentes que consumen potencia en una entrada digital son el conector óptico receptor y el level shifter.

La potencia consumida por el level shifter se puede obtener desde la simulación que se muestra en la Fig. 4.17 cambiando la fuente de entrada al conector en un voltaje

crítico que consuma la máxima potencia. El voltaje crítico sería 0 V en la entrada para este caso. La potencia consumida por el level shifter para este caso es de 2,38 mW.

La potencia que consume el receptor óptico TORX1355(F) se puede obtener a partir de su datasheet [43]. La potencia máxima calculada es de 7,5 mW.

Por lo tanto la potencia total de una entrada digital óptica sería:

$$P_{ODI,1} = 9,88 \text{ mW} \quad (4.5.2)$$

#### 4.5.4. Salidas digitales ópticas

Los componentes que consumen potencia en una salida digital son el conector óptico y el level shifter al igual que en la entrada digital.

El consumo del level shifter como entrada son los mismos 2,38 mW.

Al ser salida varía el conector óptico a un transmisor EAPLTAA6 [44]. A partir de su datasheet es posible calcular su potencia que es de 33 mW.

Por lo tanto, la potencia total de una salida digital óptica sería:

$$P_{ODO,1} = 35,38 \text{ mW} \quad (4.5.3)$$

#### 4.5.5. Entrada/salida digital no óptica

Si la salida digital no es óptica lo único que consume potencia sería el level shifter.

Por lo tanto, la potencia de una entrada/salida digital no óptica sería:

$$P_{ODO,1} = 2,38 \text{ mW} \quad (4.5.4)$$

### 4.5.6. Potencia Total

La potencia total de la plataforma es la suma de todas las potencias para las diferentes configuraciones en las que se podrá montar la plataforma. Como es necesario ponerse en el peor de los casos si tomamos todos los GPIO y los utilizo como salidas digitales ópticas, y junto a esto utilizo 16 entradas analógicas todo esto de manera simultánea. Esta situación me generaría un caso crítico de configuración de la plataforma en donde la potencia necesaria será máxima. La potencia será la que se muestra a continuación:

$$P_{\text{total,max}} = P_{\text{controlador,max}} + P_{\text{AI,16}} + P_{\text{ODO,32}} \quad (4.5.5)$$

$$P_{\text{total,max}} = 2,904 \text{ W} + 69,28 \text{ mW} + 1,13216 \text{ W}$$

$$P_{\text{total,max}} = 4,105 \text{ W} \quad (4.5.6)$$

Al ser el cálculo de esta potencia teórica tan ajustada para una aplicación en específica y por la misma naturaleza de esta plataforma es recomendable dejar holgura en la potencia para futuros desarrollos sobre esta plataforma. Para ello, esta potencia se pasará por un factor de seguridad de 2.5 con el fin de poder seleccionar una fuente con suficiente potencia.

$$P_{\text{totalMod,max}} = 10,26 \text{ W} \quad (4.5.7)$$

### 4.5.7. Selección de fuente de poder

Con estos datos finalmente es posible seleccionar la alimentación general, y las diferentes conversiones que podrían ir en la plataforma.

Primero, el bus principal de alimentación será de 5 V y será suministrado por la fuente de poder MDR-10-5 fabricada por MEAN WELL USA Inc. Esta fuente se puede montar en rieles DIN y alcanza los 10W de potencia lo que está bien de acuerdo

a lo calculado anteriormente.

Si en lugares particulares de la plataforma los 5 V no cubren las necesidades, y son necesarios 3,3 V, se deberán hacer conversiones puntuales. Esto se utilizará en el acondicionamiento de señales análogas y digital. El circuito que se utilizará para realizar estas conversiones será el MIC5504-3.3YM5-TR fabricado por Microchip Technology.

# Capítulo 5

## Diseño mecánico

### 5.1. Introducción

El diseño de la plataforma de prototipado rápido para ser utilizada en el desarrollo de controladores se separa en dos grandes partes: Mecánico y electrónico. En este capítulo se desarrollará el diseño mecánico en el cual se abordan temas como la distribución espacial, implementación de modularidad y flexibilidad, selección de conectores y selección de componentes mecánicos.

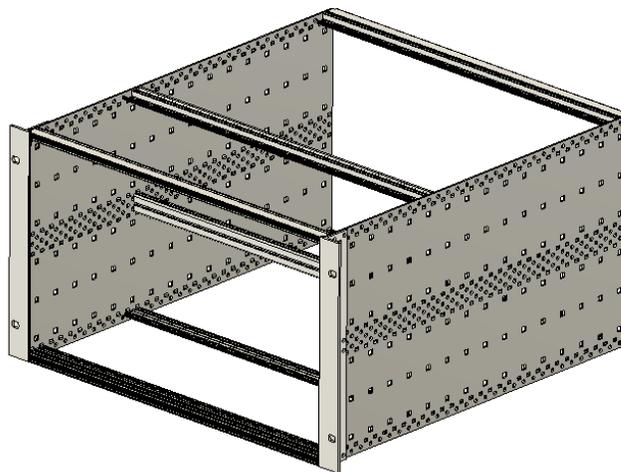
Antes de partir, y como parte de la introducción, es necesario investigar de manera más profunda el subrack que soportará la plataforma.

#### 5.1.1. Subrack Europac PRO

El diseño mecánico de la plataforma se desarrolla en torno del subrack de 19" Europac PRO [32]. La elección de este subrack fue partes de los requerimientos del trabajo. Este subrack cumple los estándares de dimensionamiento externos e internos IEC 60297-3-100, -101 y IEEE 1101.1. Para tener una mejor perspectiva del subrack en el que se está trabajando, en la Fig. 5.1 se puede ver el modelo 3D en diferentes vistas.

Dicho modelo es entregado por el fabricante.

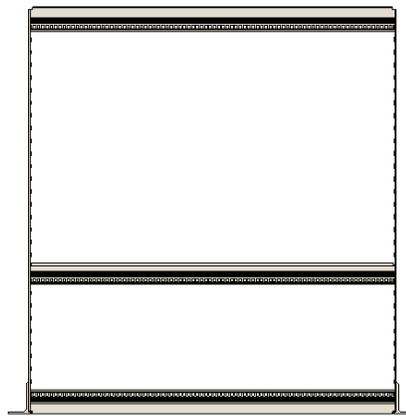
El modelo del subrack que se dispone, y el en el que se desarrollará la plataforma es el Europac PRO subrack 19", 6U, 84HP y de 475mm de profundidad. "U" se refiere a Standard Unit y hace referencia la altura del rack y a la altura de las tarjetas estándar. "HP" se refiere a Horizontal Pitch y equivale al ancho del rack. 1U equivale a 1.75 pulgadas y 1HP equivale a 0.2 pulgadas [45].



(a) Vista Isométrica



(b) Vista Frontal

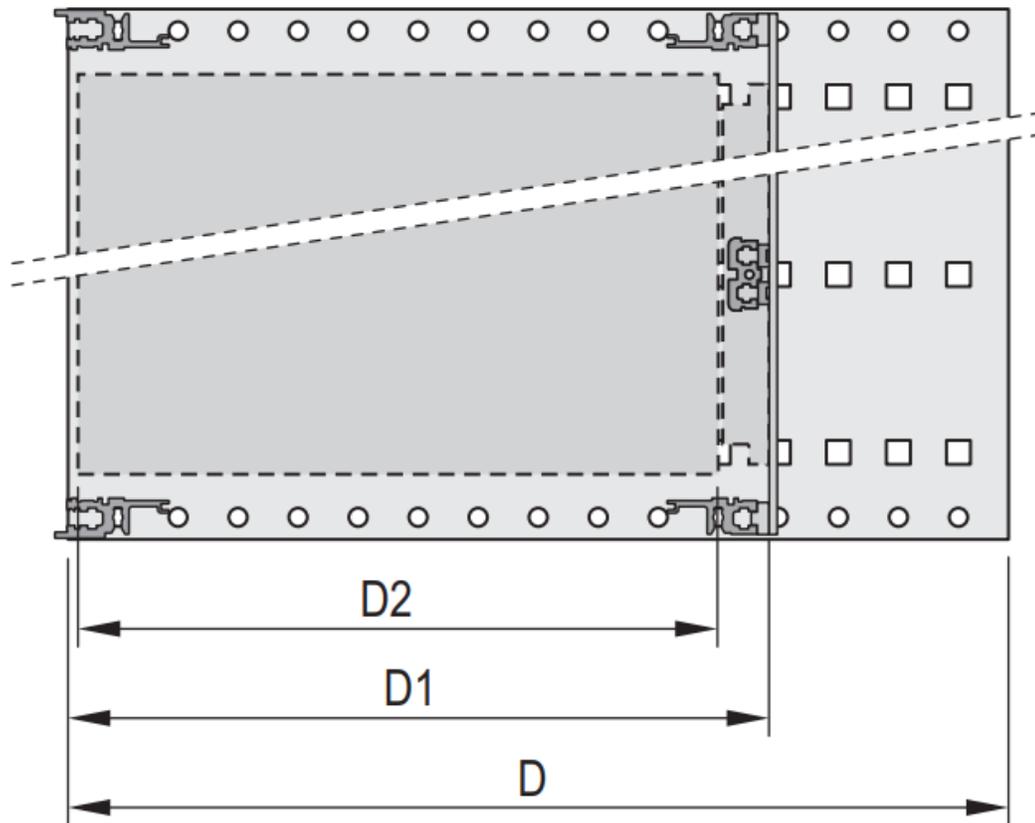


(c) Vista Superior

**Figura 5.1:** Diferentes vistas del modelo 3D del rack EuropacPro.

El Datasheet del rack entrega información valiosa sobre las dimensiones. En la Fig. 5.2 se puede ver una imagen de las diferentes profundidades del rack. D1 y D2 son medidas

importantes para el dimensionamiento de las placas.  $D$  es la medida de profundidad total del rack que se dispone.



**Figura 5.2:** Plano de las diferentes medidas de profundidad del rack.

En la tabla 5.1 se listan las medidas correspondientes al modelo de rack que se dispone. Las medidas fueron extraídas del Datasheet y por lo tanto cumplen el estándar de dimensionamiento IEEE 1101.1.

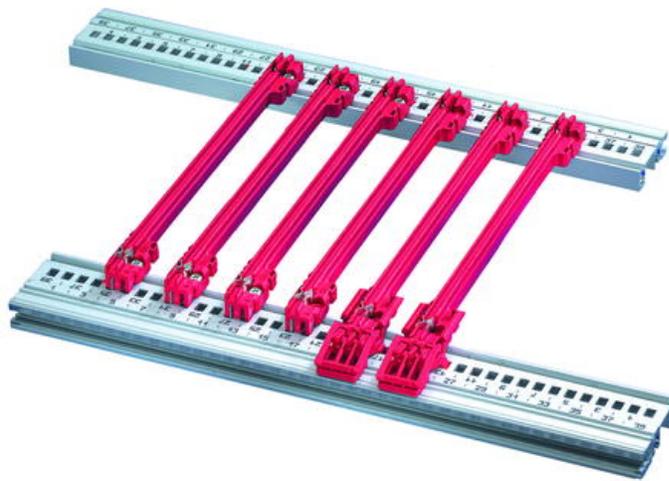
La altura de las placas que admite el subrack queda definida por el estándar IEEE 1101.1-1996, 1991 [46, 47]. Para 6U las placas recomendadas son de 233,35 mm.

Ya que este rack es compatible con estándares de dimensionamiento es posible utilizar ciertos accesorios. Para este caso se utilizarán GuideRails para placas de 160 mm[48]. En la Fig.5.3 se puede ver una imagen referencial de los GuideRails. Estas guías

Medida	Valor [mm]
D	475
D1	175
D2	160

**Tabla 5.1:** Medidas de profundidad del rack.

ayudan a la inserción y extracción de placas en el subrack.



**Figura 5.3:** Imagen referencial de los Guide Rails.

Ya con esta introducción al subrack Europac PRO se puede continuar con las otras secciones del capítulo.

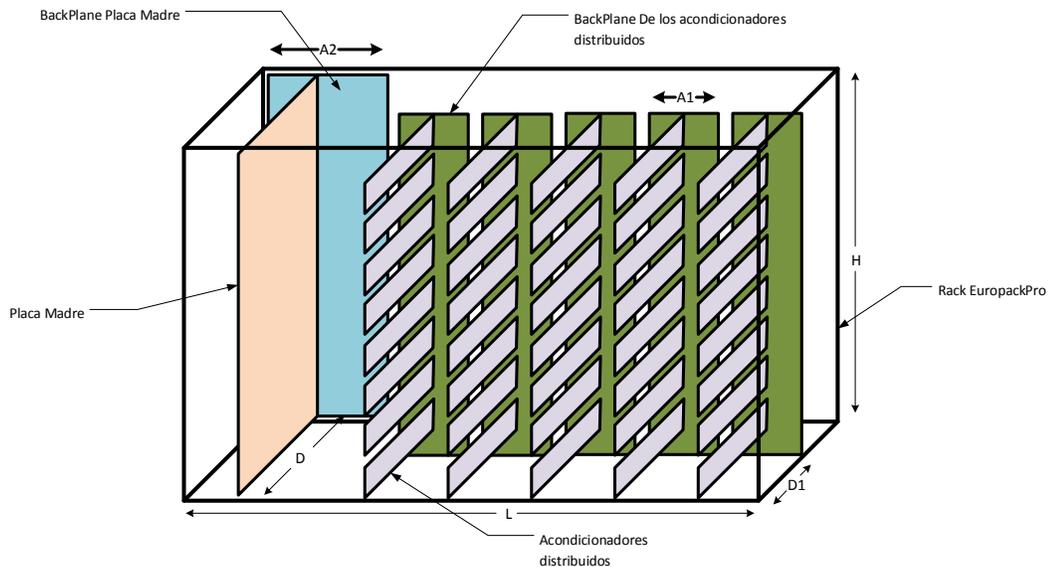
## 5.2. Distribución espacial

La plataforma debe estar contenida dentro de un subrack Europac PRO como se puede ver en la sección 3.7; en donde se resumen los requerimientos del sistema. La distribución propuesta para el sistema de placas de la plataforma dentro del subrack

se puede ver en la Fig.5.4. En este esquema se eliminaron partes no críticas de la distribución de las placas para lograr mayor claridad.

En la imagen se aprecia el volumen del subrack en donde las placas pueden ser distribuidas. La altura de este volumen es H, profundidad D y el largo es L. Estas dimensiones están definidas por la geometría del subrack y por el sistema de sujeción que se utilizará. En el lado izquierdo del subrack se puede ver la Placa Madre con su respectiva placa de inserción (Backplane) y en el espacio que queda están los puertos de entrada y salida con sus respectivos Backplane.

La cantidad de puertos de entrada/salida por BackPlane y la cantidad total de BackPlanes queda definida por un análisis del PinMap y del espacio necesario para que los conectores puedan ser extraídos libremente. La Cantidad total de BackPlanes que soporta esta plataforma es de 6 y cada BackPlane soporta 8 señales de entrada/salida.



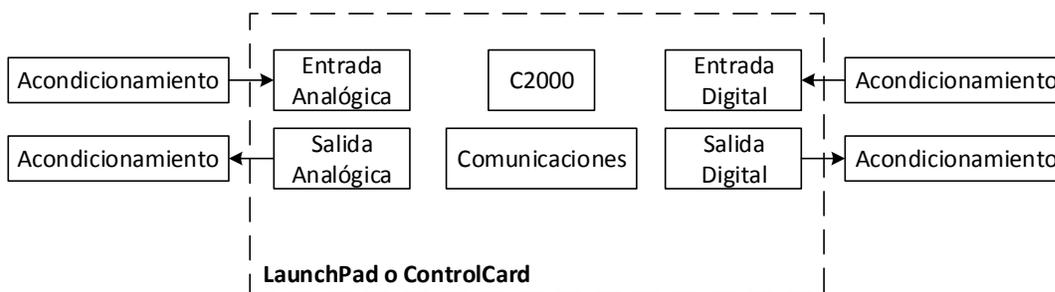
**Figura 5.4:** Esquema de la distribución física de las placas de la plataforma dentro del rack EuropackPro.

Las siguientes secciones de este capítulo muestran la justificación de cómo se llegó a esta distribución espacial y se explica de manera más detallada algunos mecanismos

de la plataforma y se seleccionan los diferentes conectores a ser utilizados en la interconexión de la plataforma.

### 5.3. Modularidad y flexibilidad

La implementación de la modularidad se hará en diferentes dimensiones. Se puede hacer un primer paso a un sistema modular separando los acondicionamientos de las señales. Si se considera que se dejarán comunicaciones disponibles y teniendo en cuenta el requerimiento de los microcontroladores a utilizar, se puede formar el esquema que se ve en la Fig. 5.5.

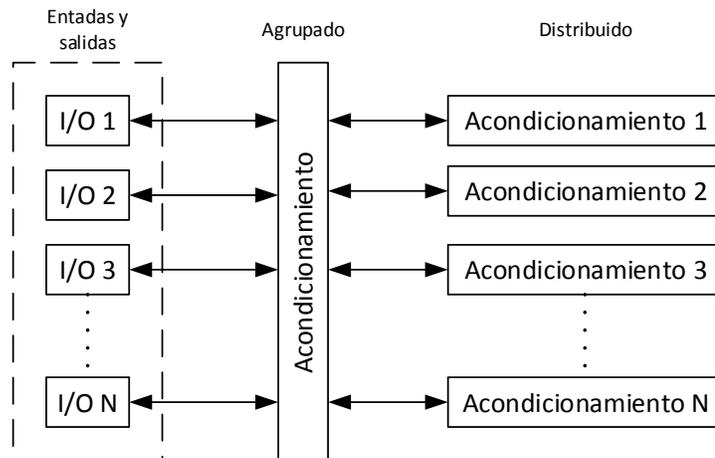


**Figura 5.5:** Esquema general de la plataforma modular.

La implementación física de este esquema tiene varias opciones. Sobre los microcontroladores, será necesario poner ambas interfaces de conexión en una placa madre y hacer un ruteo en común. Por otro lado, los acondicionamientos se pueden implementar agrupando señales en común y generar un PCB para ese grupo de señales o hacer un acondicionamiento y PCB para cada señal. Para esta plataforma se decidió dar la posibilidad de ambas opciones de acondicionamiento para una mayor flexibilidad.

### 5.3.1. Entradas y salidas

Si se pone el foco sólo en las entradas y salidas del sistema se puede ver en mayor detalle el concepto de modularidad explicado anteriormente. La Fig. 5.6 es un esquema de la modularidad a implementar en el acondicionamiento de las señales.

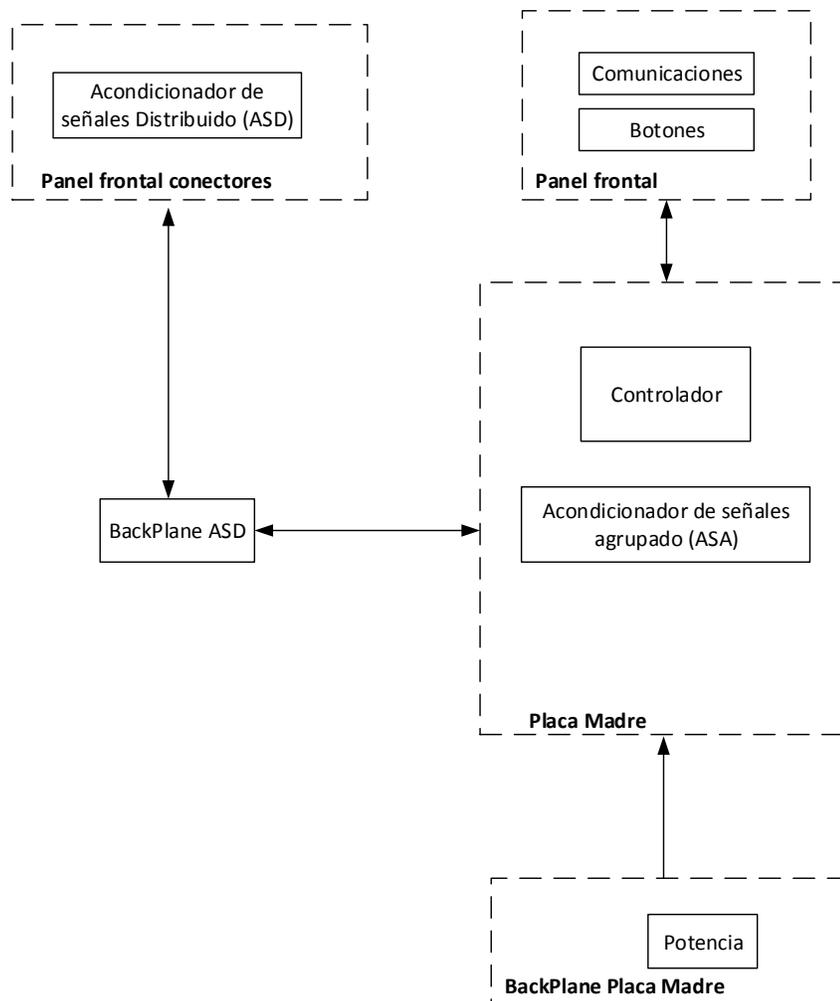


**Figura 5.6:** Esquema de la modularidad del acondicionamiento de las señales de entrada y salida de la plataforma.

El acondicionamiento de señales agrupado (ASA) consiste en tomar grupos de señales y generar un único circuito PCB para acondicionar estas señales. Esta es la manera común que utilizan las plataformas de este estilo para acondicionar sus señales. El acondicionamiento de señales distribuido (ASD) consiste en dar la posibilidad de acondicionar cada señal de forma particular. Esto en la práctica significa desarrollar un PCB para cada señal que se desee acondicionar. Esta plataforma dará la posibilidad de utilizar combinaciones de ambas configuraciones ya que en la plataforma el no utilizar una u otra se traducirá en generar un puente en un conector. Esta característica de doble acondicionamiento le da una flexibilidad increíble a las entradas y salidas de la plataforma.

## 5.4. Estándar de conexiones y conectores

Ya con un acercamiento a los conceptos de modularidad y flexibilidad es posible definir como se realizarán las conexiones internas de la plataforma. Para ello en la Fig. 5.7 se puede ver un diagrama simplificado de todas las partes y conexiones de la plataforma.



**Figura 5.7:** Esquema simplificado de conexionado de la plataforma.

Cada una de estas partes necesitan una forma de conectarse entre sí. Para ello se

irán analizando cada una por separado para ir dando solución a la interconexión del proyecto.

#### **5.4.1. Conexión entre los controladores y la placa madre**

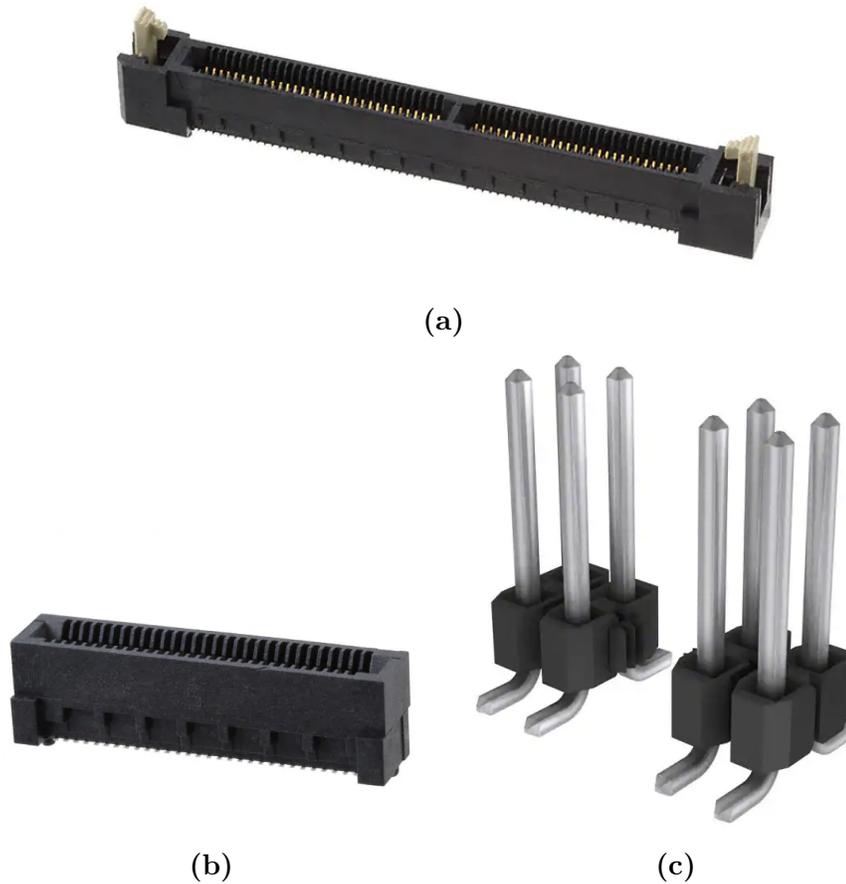
Partiendo por el controlador y la placa madre, estos imponen sus propios conectores por lo tanto se pueden seleccionar de inmediato. para la LaunchPad-F2879D se seleccionó TSM-110-02-T-DV y para la ControlCARD TMDSCNCD28379D se seleccionaron los conectores HSEC8-160-01-L-DV-A-BL y HSEC8-130-01-L-DV-A. Todos estos conectores van directos a la placa madre. En la Fig. 5.8 se pueden ver imágenes de los conectores.

#### **5.4.2. Conexión Backplane - Placa madre**

El mecanismo que se utilizará para poder extraer la placa madre desde el rack es llamado BackPlane y es comúnmente utilizado en inserción y extracción rápida de placas de racks. En la Fig. 5.9 se puede ver una imagen referencial de cómo funciona el mecanismo BackPlane.

El BackPlane se puede implementar de varias maneras, pero en este trabajo se implementa utilizando conectores Card Edge. La ventaja de estos conectores es que sólo es necesario el conector hembra, que va directo al Backplane, y la placa madre es el propio conector macho. Esto reduce el costo al sólo necesitar un conector. Por otro lado, el conector Card Edge es suficientemente resistente para cumplir con la tarea de conector BackPlane. El conector seleccionado para el Backplane de la placa madre es CardEdge de 20 pines 5-5530843-0 fabricado por TE Connectivity AMP Connectors.

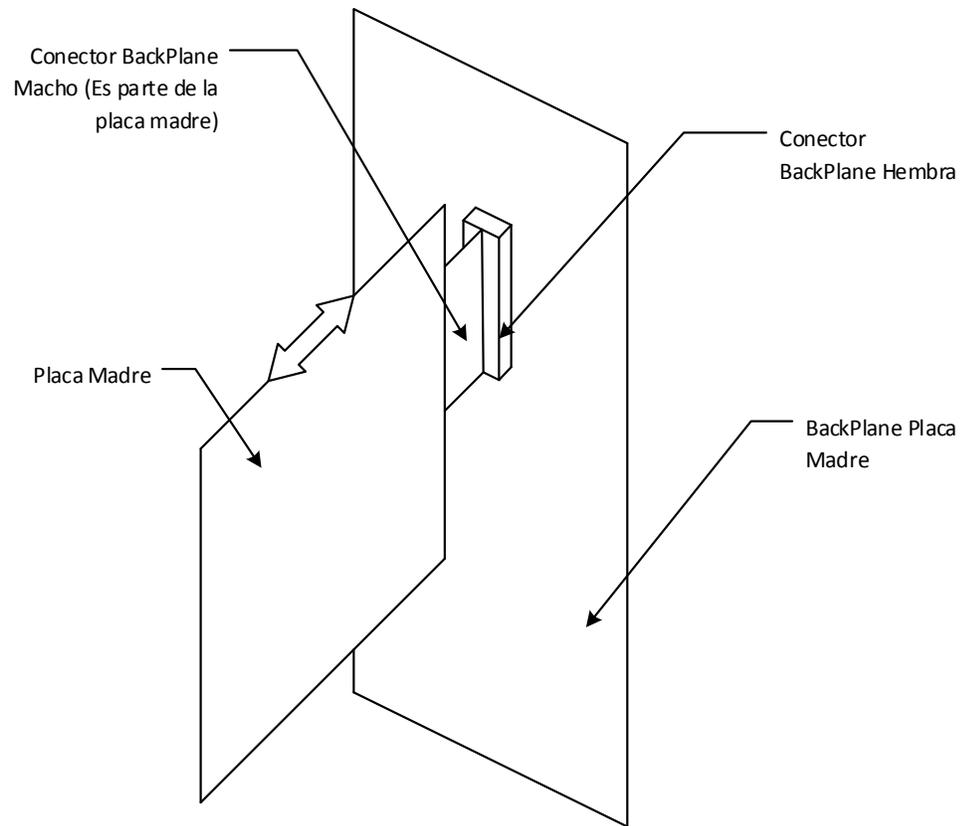
En el Backplane de la placa madre irá principalmente la alimentación de la plataforma. Para recibir la alimentación de potencia desde la fuente se utilizará un conector un conector 640445-4 fabricado por TE Connectivity AMP Connectors. En la Fig. 5.10 se pueden ver imágenes los conectores seleccionados.



**Figura 5.8:** Conectores seleccionados para la conexión placa madre-controlador (a)HSEC8-160-01-L-DV-A-BL (b)HSEC8-130-01-L-DV-A (c)TSM-110-02-T-DV

### 5.4.3. Conexión entre el acondicionamiento agrupado y la placa madre

En el caso del acondicionamiento agrupado, que va directo a la placa madre, se seleccionaron conectores PCI-Express por diferentes razones. Los conectores PCI-Express pasaron a ser estándar de la industria de la computación y electrónica por lo tanto es poco probable que se discontinúen. Tienen un costo bajo. Su tamaño es reducido y están preparados para el transporte de señales. Por lo tanto, se perfiló

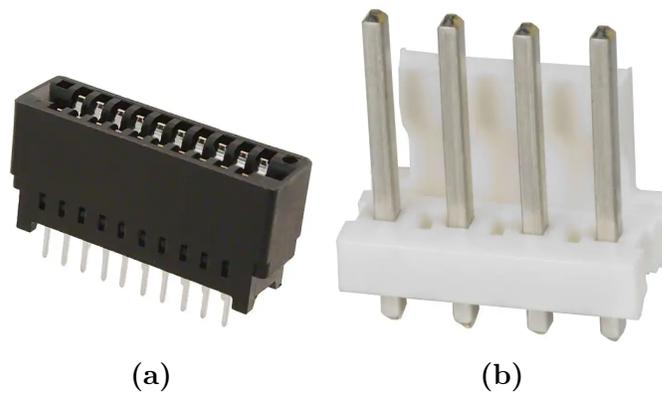


**Figura 5.9:** Imagen de BackPlane referencial.

como la mejor opción para implementar esta conexión. Los conectores PCI-Express utilizan la metodología de BackPlane para su conexión. El conector seleccionado fue el Amphenol ICC (FCI) 10061913-111PLF. En la Fig. 5.11 se puede ver una imagen del conector seleccionado.

#### 5.4.4. Conexión acondicionador distribuido y su BackPlane

El acondicionador distribuido también utilizará su propio BackPlane con el fin de que las entradas y salidas sean de fácil extracción. Entre el backPlane y el acondicionador distribuido irá un conector CardEdge 5650263-1 fabricado por TE Connectivity AMP Connectors. En la Fig. 5.12 se puede ver una imagen del conector seleccionado.



**Figura 5.10:** Conectores seleccionados (a) Conexión Placa madre - backPlane conector 5-5530843-0 (b) BackPlane - fuente de alimentación conector 640445-4

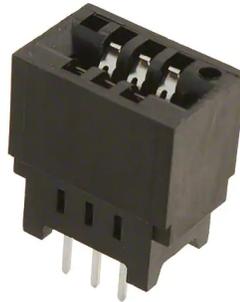


**Figura 5.11:** Conector Amphenol ICC (FCI) 10061913-111PLF seleccionado para la conexión entre en Acondicionamiento de señales agrupado (ASA) y la placa madre.

En la Fig. 5.13 se puede apreciar un esquema de cómo se utilizaría el BackPlane con los acondicionadores distribuidos.

#### 5.4.5. Conexión entre BackPlane del acondicionamiento de Señales Distribuido (ASD) y placa madre

Para poder unir el acondicionamiento distribuido con placa madre es necesario hacer un enlace entre el BackPlane del acondicionamiento distribuido y la placa madre. Debido a que el BackPlane y la placa madre no estarán físicamente juntos es necesario utilizar un cable para transportar las señales. Los conectores seleccionados para este propósito fueron los conectores IDC AWP 40-7540-T fabricados por Assmann WSW



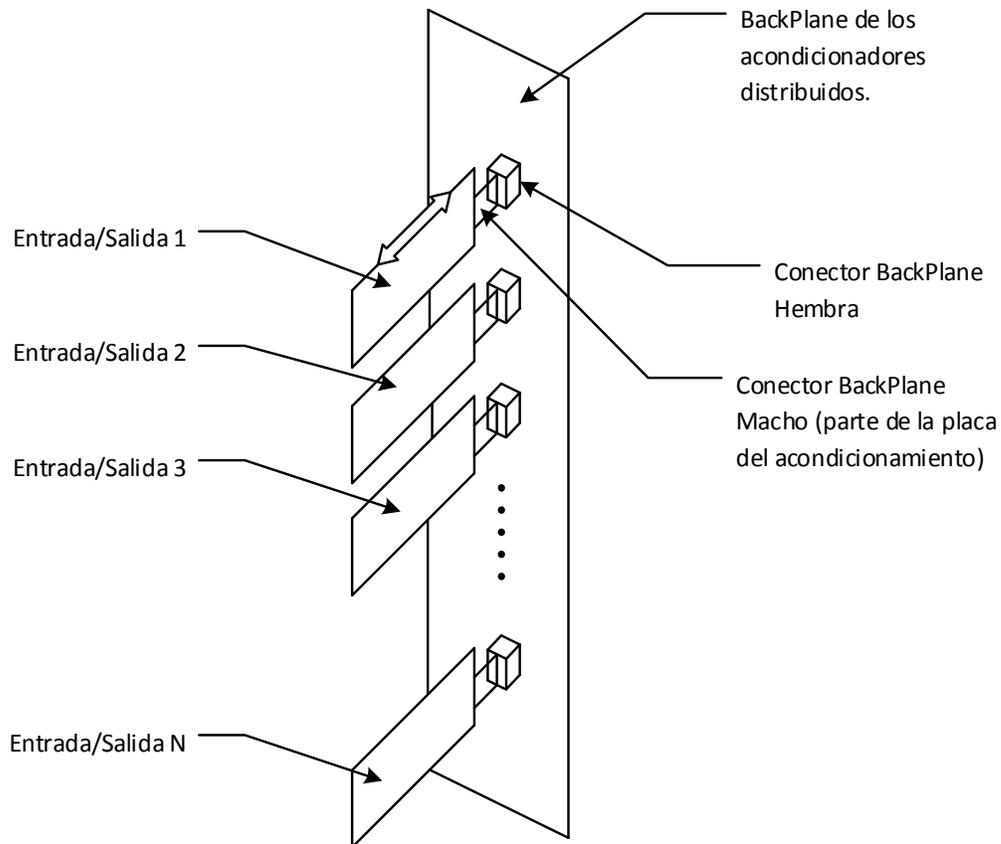
**Figura 5.12:** Conector CardEdge 5650263-1 seleccionado para la conexión entre en Acondicionamiento de señales distribuido (ASD) y su BackPlane.

Components junto con su respectivo cable flexible AWG28. Para recibir estos cables en la placa madre y en el backPlane se utilizarán los conectores Headers Verticales de 40 posiciones 302-S401 fabricado por On Shore Technology Inc. En la Fig. 5.14 se pueden ver imágenes referenciales los conectores y el cable.

#### 5.4.6. Panel frontal (FrontPanel)

El panel frontal tendrá tres tipos diferentes de paneles. El primero será por el que salgan los conectores de señales de entrada y salida, los cuales forman parte del acondicionamiento de señales distribuido. También existirá un panel de potencia, en donde estará ubicado un switch de encendido y apagado. Finalmente, tendrá un panel que soportará la placa madre y el cual tendrá comunicaciones y led indicador y un botón de reset como mínimo (Siempre puede ser ampliado a futuro).

Los conectores seleccionados para entradas analógicas son los conectores SMA 142-0701-801 fabricados por Cinch Connectivity Solutions Johnson. Para entradas y salidas digitales eléctricas se utilizará el conector RJ45 54601-908WPLF fabricado por Amphenol ICC (FCI). Para salidas digitales ópticas se utilizará los transmisores ópticos EAPLTAA6 fabricados por Everlight Electronics Co Ltd y para entradas digitales ópticas se utilizarán los receptores ópticos TORX1355(F) fabricados por Toshiba Semiconductor and Storage.

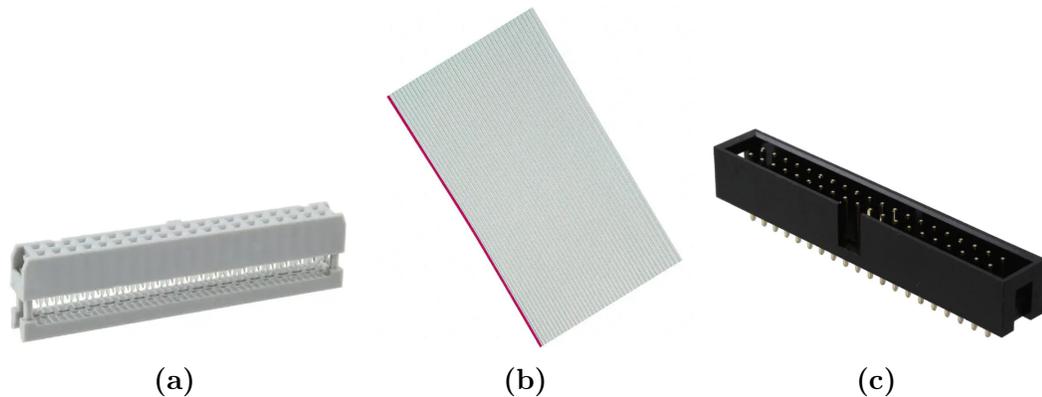


**Figura 5.13:** Esquema de los acondicionamientos distribuidos y su BackPlane.

La conexión entre el panel frontal de la placa madre y la placa madre se hará por medio de un enlace IDC, aunque es posible que el reset y el led vayan montados directos a la placa madre y que solo las comunicaciones y señales salgan por el conector IDC.

#### 5.4.7. Panel trasero (BackPanel)

El panel trasero tiene la funcionalidad de alimentar con energía de la red a la plataforma completa, por este motivo es necesario que posea conectores IEC320 para que se puede conectar a una toma de corriente. Los conectores seleccionados son



**Figura 5.14:** Conectores seleccionados para la conexión entre placa madre-ASD (a)IDC AWP 40-7540-T (b)Cable Plano AWG28 (c)Header 302-S401

701W-X2/03 y 716W-X2/02 fabricados por Qualtek. La idea de utilizar estos dos conectores es poder generar una unión en cascada de alimentación.

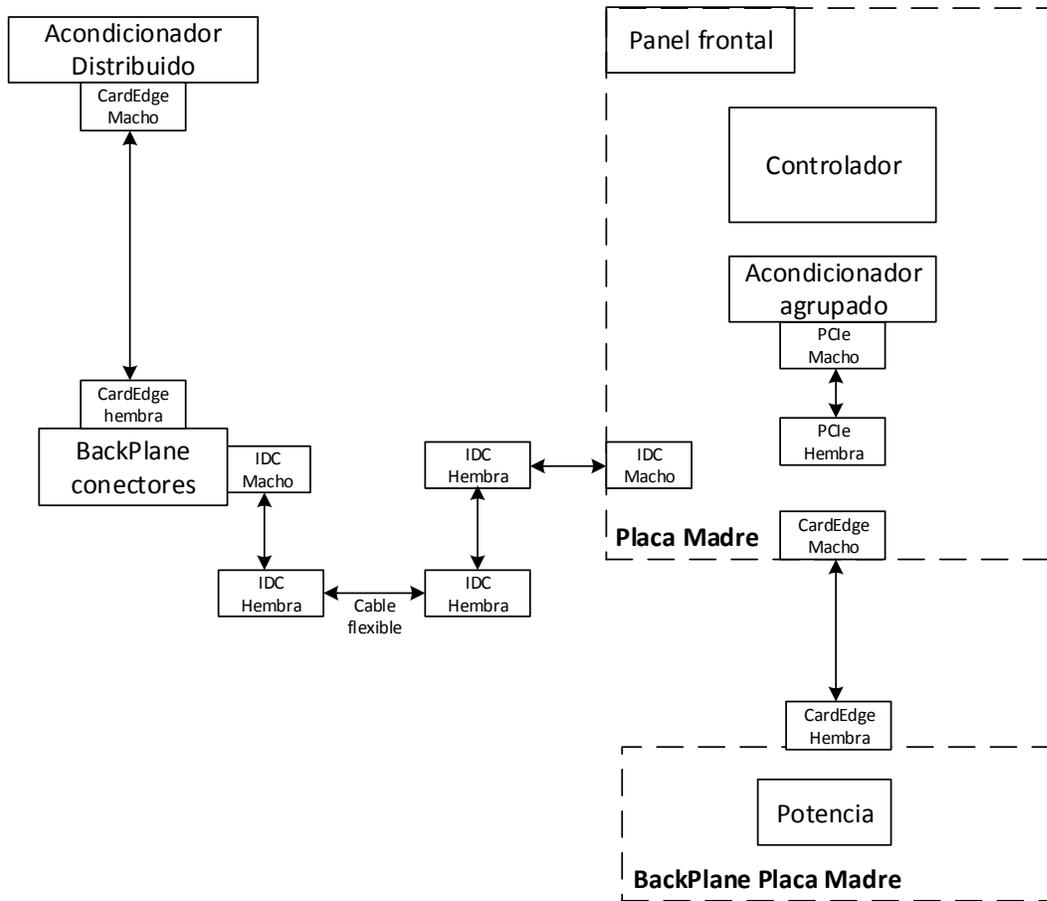
#### 5.4.8. Panorama general

Con las interconexiones definidas se puede ver el panorama general de la plataforma. Haciendo una ampliación del esquema de las conexiones de la Fig. 5.7 se puede obtener el diagrama de la Fig. 5.15 que detalla la interconexión de las partes y sus respectivos conectores.

Junto con el diagrama de la interconexión de las partes, en la tabla 5.2 se puede ver un resumen de los conectores y cables utilizados para la plataforma.

### 5.5. Inserción y extracción de placas de acondicionamiento de señales distribuidas

Para la inserción y extracción de las placas de acondicionamiento de señales distribuidas se utilizan Snap Fit que soportan las placas. La idea de utilizar Snap Fit es dar la posibilidad de que las placas sean de inserción y extracción manual. Junto



**Figura 5.15:** Esquema de la plataforma con conectores.

con esto, el utilizar Snap Fits da la posibilidad de que estas piezas sean fabricadas en impresión 3D lo que abre las posibilidades a personalizar este tipo de conectores. En la Fig. 5.16 se puede ver el Snap Fit diseñado.

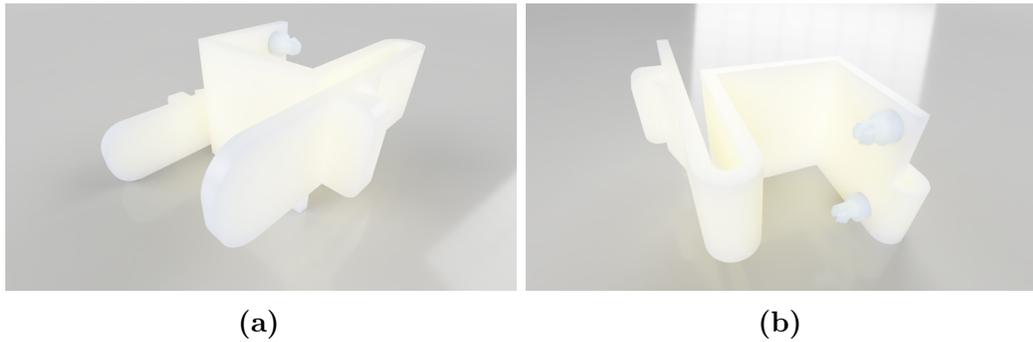
## 5.6. Dimensionamiento de placas

Las medidas de las placas están definidas por la geometría del subrack y por el estándar de dimensionamiento IEEE 1101.1-1996.

En este punto hay que hacer la diferencia entre tres tipos de placas que irán al

Descripción	Part Number	Fabricante	Precio [USD]
Conector Header SMD	TSM-110-02-T-DV	Samtec Inc	1,49
Conector HSEC8 120 pos	HSEC8-160-01-L-DV-A-BL	Samtec Inc	7,92
Conector HSEC8 60 pos	HSEC8-130-01-L-DV-A	Samtec Inc	4,4
Conector CardEdge 20 pos	5-5530843-0	TE Connectivity	2
Conector PCI exp 64 pos	10061913-111PLF	Amphenol ICC (FCI)	2,05
Conector CardEdge 6 pos	5650263-1	TE Connectivity	2,39
Conector IDC 40 pos	AWP 40-7540-T	Assmann WSWComponents	0,6
Receptor Conector IDC 40 pos	302-S401	On Shore Technology Inc	0,48
Conector SMA	142-0701-80	Cinch Connectivity Solutions Johnson	3,73
Conector RJ45	54601-908WPLF	Amphenol ICC (FCI)	0,54
Transmisor óptico	EAPLTAA6	Everlight Electronics Co Ltd	0,82
Receptor óptico	TORX1355(F)	Toshiba Semiconductor and Storage	12,05
Conector de poder IEC320 Macho	701W-X2/03	Qualtek	0,99
Conector de poder IEC320 Hembra	716W-X2/02	Qualtek	0,99

**Tabla 5.2:** Tabla resumen de conectores seleccionados.



**Figura 5.16:** Diferentes vistas del Snap Fit diseñado.

subrack. Las primeras son las que el estándar IEEE1101.1-1996 [46] llama EuroCard y que en este trabajo se llamarán “placas” a secas. Las segundas son los BackPlane y las terceras son los FrontPanel o BackPanel. Las EuroCard son las placas que serán insertadas o extraídas y que para el caso de esta plataforma serán la placa Madre y las placas de acondicionamiento distribuido. Los BackPlane serán los BackPlane de la placa madre y de los acondicionamientos distribuidos. y finalmente el FrontPanel (equivalente a BackPanel) será una placa que tapaná y protegerá la parte frontal o trasera de la plataforma.

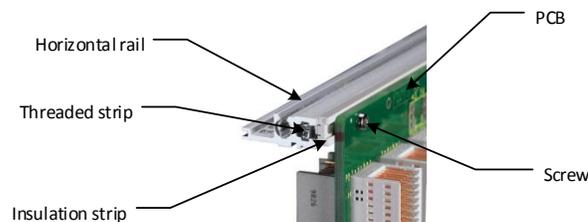
En la sección 5.1.1 se vieron la mayoría de las medidas de las placas. Solo faltarían D1 que se puede obtener del modelo 3D con el cual se está trabajando. En la tabla 5.3 se puede ver un resumen de las medidas de las placas.

	H	D	A2	D1	A1
Placa Madre	233,35	175	-	-	-
BackPlane Placa madre	261,75	-	45,38	-	-
Acondicionamiento Distribuido	25	-	-	85,5	-
BackPlane AD	261,75	-	-	-	45,38

**Tabla 5.3:** Medidas máximas de las placas PCB.

## 5.7. Sujeción de los BackPlane y FrontPanel

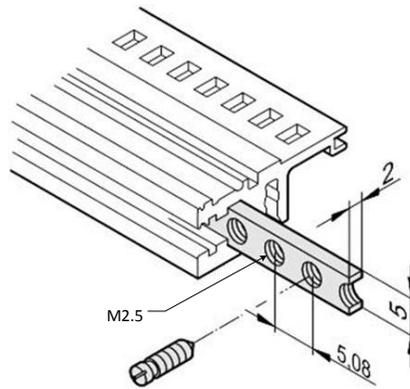
Los BackPlane y FrontPanel son elementos que van sujetos con la geometría del subrack. El mismo subrack da el mecanismo de sujeción por medio de uniones apernadas a barras perforadas aisladas y no aisladas. En la Fig.5.17 se puede ver una figura que muestra cómo funciona el sistema en conjunto con un BackPlane.



**Figura 5.17:** Sistema de sujeción mecánico para backPlane.

Es importante tener unos cuantos detalles más en mente en relación a los Threaded strip que será donde se apernen el BackPlane y el FrontPanel. La Fig. 5.18 muestra detalles del hilo que tiene la Threaded strip. Con esto y el datasheet del subrack es posible seleccionar los tornillos necesarios para el BackPlane y para los FrontPanel y BackPanel.

Los tornillos seleccionados para la sujeción de backPlane y Front y Back panels son tornillos M2.4x11mm fabricados por Schroff con part Number 21100748. En la Fig. 5.19 se puede ver una imagen de los tornillos seleccionados.



**Figura 5.18:** Detalle de los Threaded Strip.



**Figura 5.19:** Imagen del tornillo M2.5x11mm seleccionado para sujetar las backPlane y los Front y back Panels.

## Capítulo 6

# Diseño placas de circuito impreso

### 6.1. Introducción

En este capítulo se muestra el desarrollo de las placas de circuito impreso a partir de lo realizado en los capítulos anteriores.

Cada placa de circuito desarrollada consta de un esquemático, una placa PCB y un modelo 3D asociado. En cada sección de este capítulo se irá exponiendo cada parte de la plataforma en donde se haya desarrollado una placa de circuito impreso.

### 6.2. Placa Madre

El componente principal de la plataforma es la placa madre. Es la encargada de concentrar y distribuir todas las señales desde y hacia los microcontroladores. En la Fig. 6.1 se puede ver el esquemático por módulos realizado en Eagle para la placa madre. Como las dimensiones de este esquemático son demasiado grandes, se irá haciendo zoom a las diferentes partes del esquema para mayor claridad.

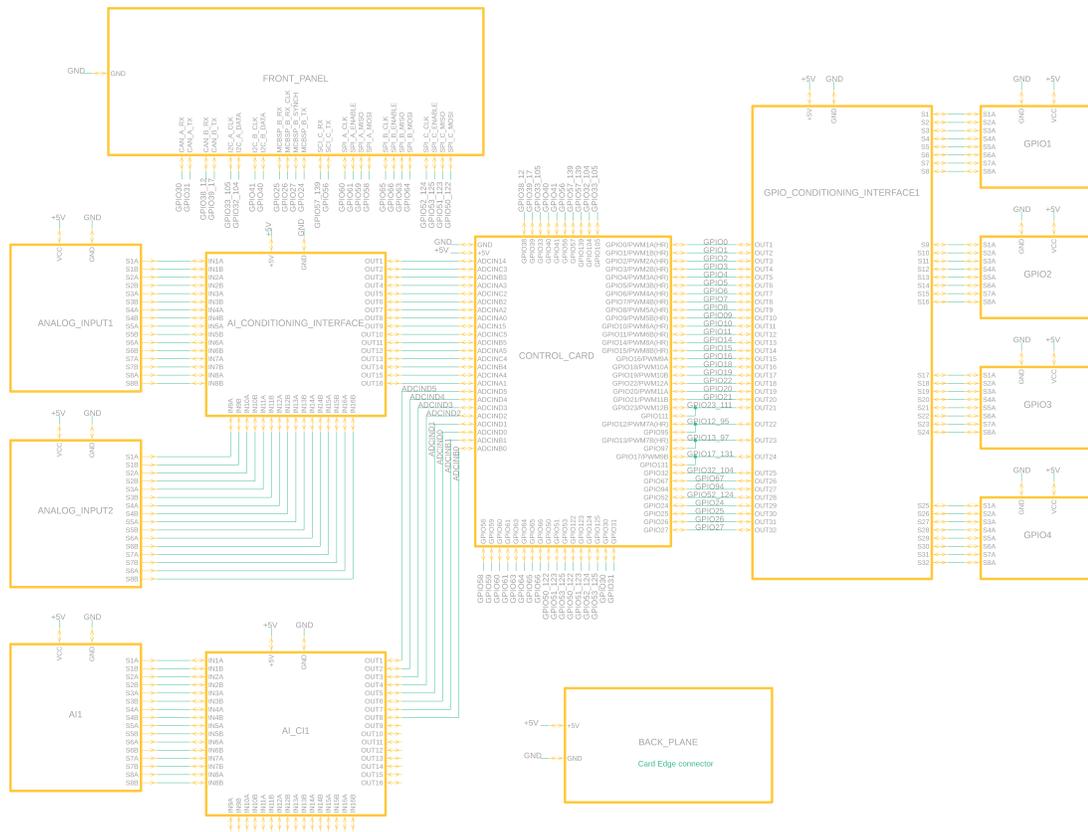


Figura 6.1: Esquemático en bloques de la placa madre.

### 6.2.1. Controlador

La lógica de la placa madre se centra en la unificación de las dos posibilidades de placas controladoras. En la Fig. 6.2 se puede ver un acercamiento al bloque que contiene los conectores para los dos controladores.

Este bloque es consistente con el mapeo de pines desarrollado en los capítulos anteriores. En la parte izquierda del bloque se pueden ver todas las entradas analógicas, en la parte derecha se pueden ver las entradas y salidas digitales y el resto de señales son de comunicación y de alimentación. En la Fig. 6.3 se puede ver en detalle cómo fueron unidos los dos tipos de conectores para llegar finalmente al pinmap final de la plataforma.

### 6.2.2. Acondicionamiento de señales agrupado analógico

A partir del bloque de controladores aparecen los bloques de acondicionamiento de señales agrupadas(ASA). Estos bloques consisten principalmente en pares de conectores PCI Express por donde pasan las señales de entrada y salida de la plataforma. El sentido de pasar las señales por estos conectores es dar la posibilidad de acondicionar grupos de señales. Junto con lo anterior, también es posible utilizar estos conectores para extender las capacidades de la plataforma agregando otro microcontrolador, o pasar señales por una FPGA. En la Fig. 6.4 se puede ver un acercamiento al ASA análogo. Estos ASA analógicos dan la posibilidad de llegar con señales diferenciales desde las entradas analógicas externas.

Cada uno de los bloques ASA analógicos contiene dos conectores PCI Express de 64 posiciones. El estándar de conexiones de los conectores se puede ver en la Fig. 6.5.

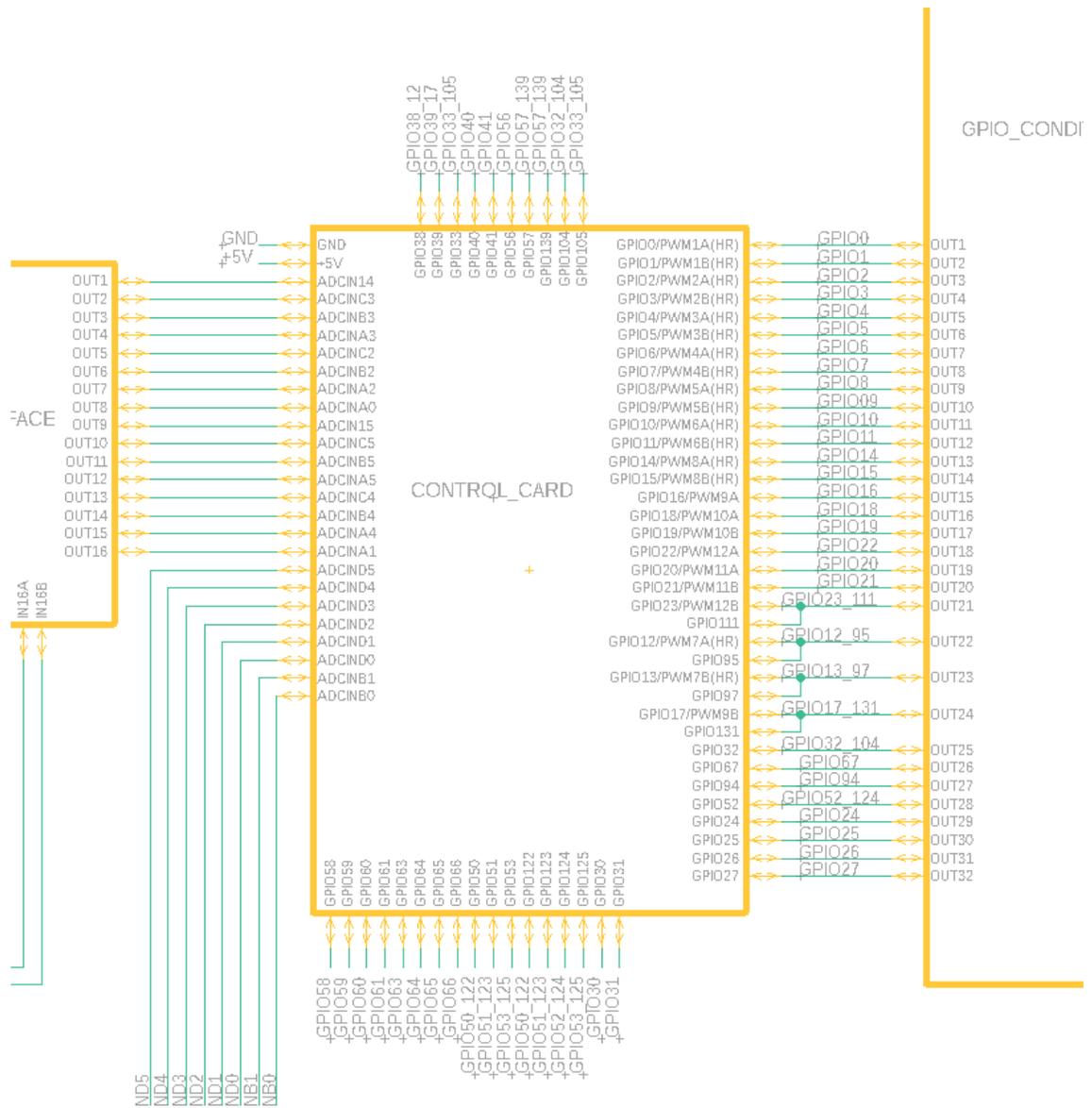


Figura 6.2: Acercamiento al bloque de los microcontroladores de la placa madre.

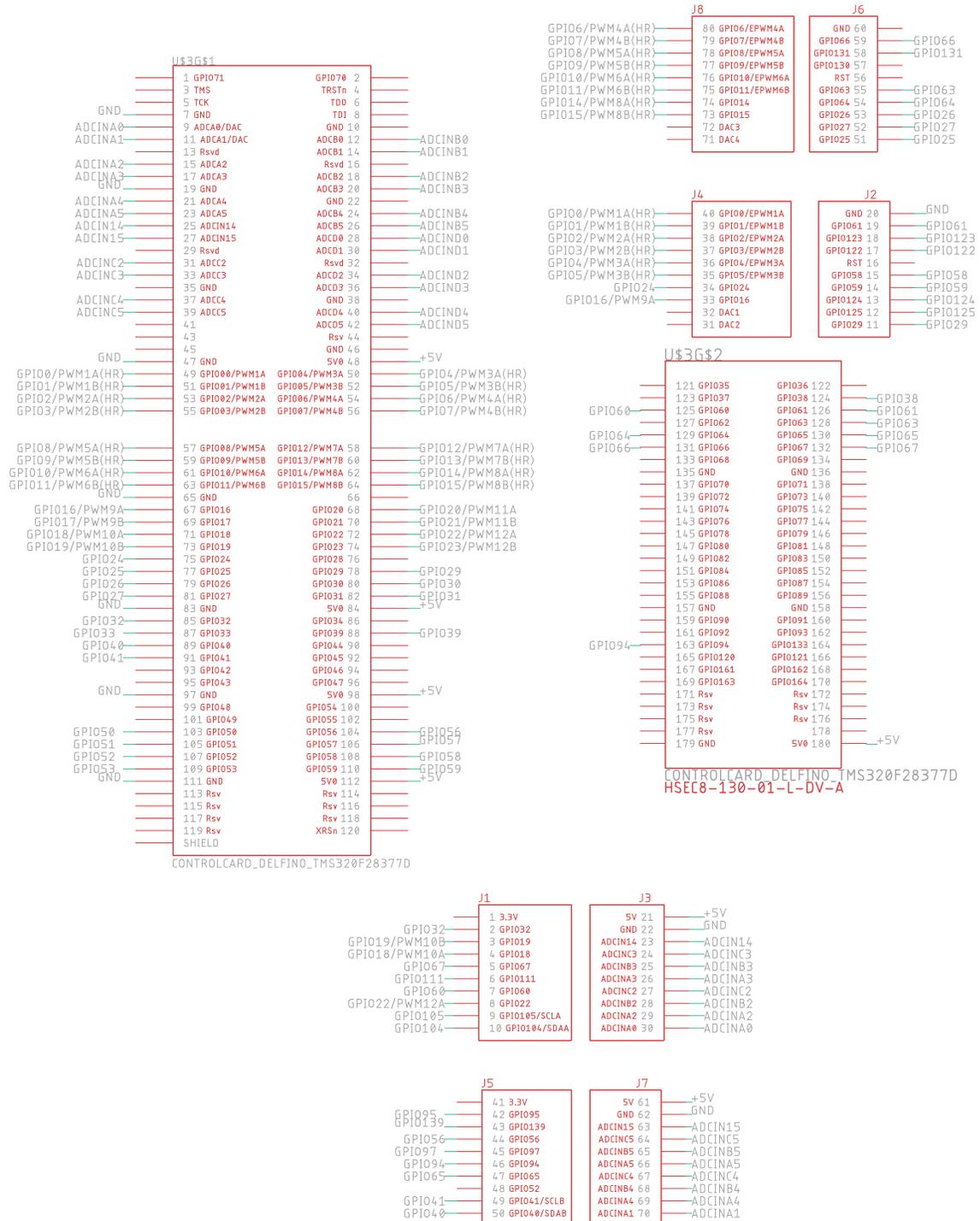
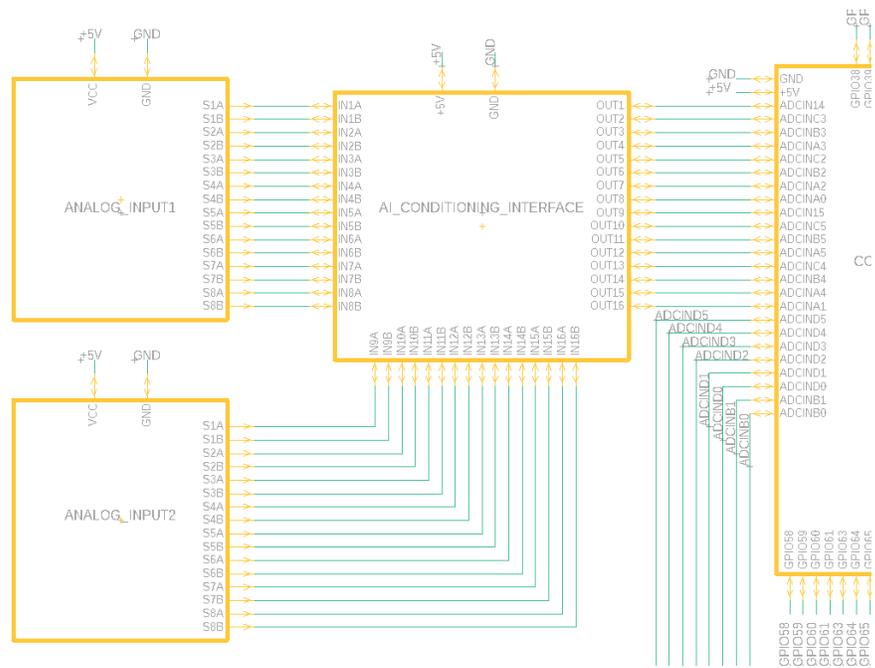
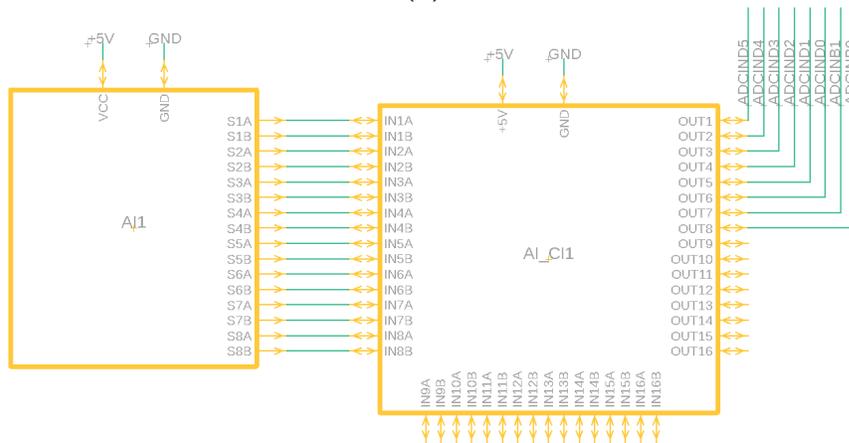


Figura 6.3: Esquemático del bloque de los microcontroladores.

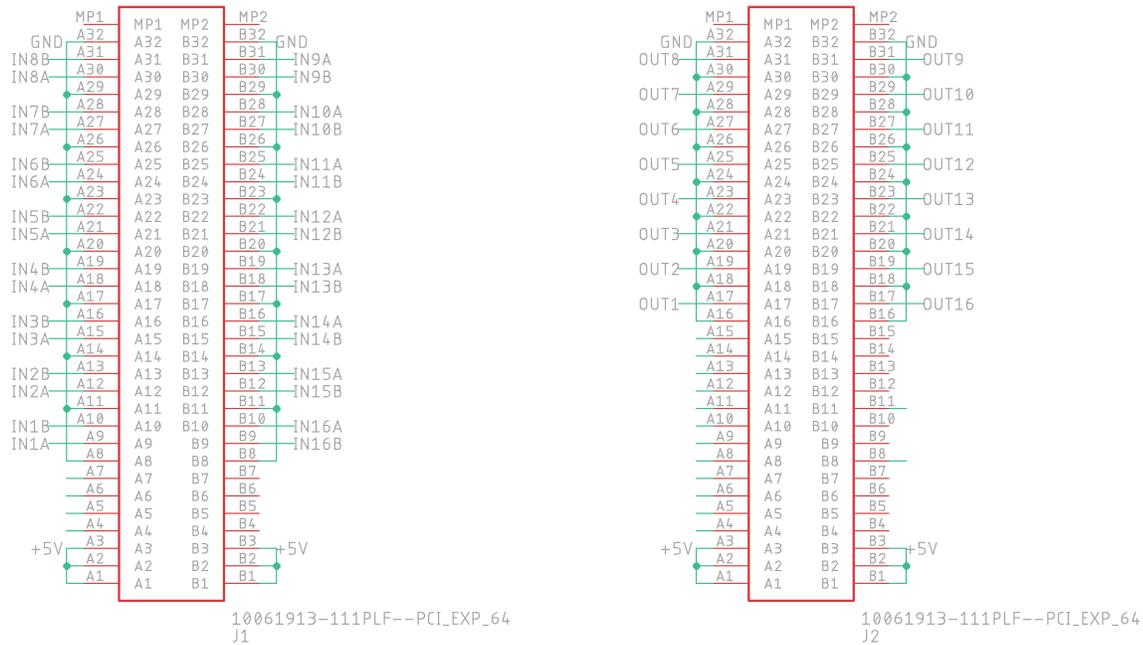


(a)



(b)

**Figura 6.4:** Acondicionamiento ASA analógico. (a) Interfaz para las primeras 16 señales. (b) Interfaz para las 8 señales restantes.

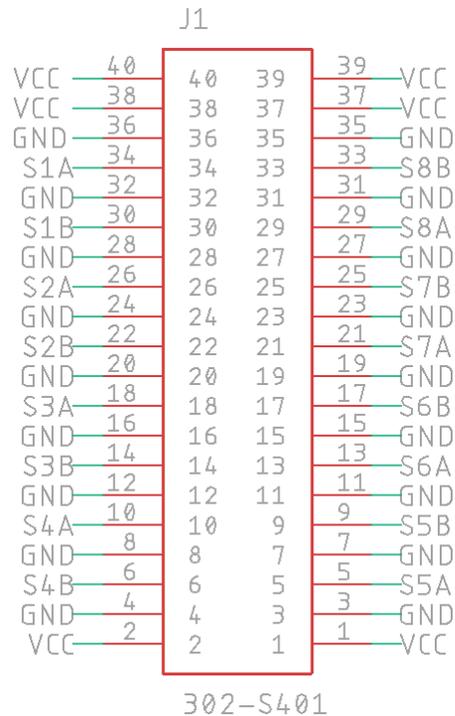


**Figura 6.5:** Esquemático del bloque de los acondicionamiento de señales agrupados analógicos.

### 6.2.3. Entradas analógicas

Siguiendo el flujo de las señales analógicas, se llega a los módulos ANALOG\_INPUT. Estos módulos son los encargados de recibir las señales que vienen desde placas exteriores a la placa madre. En este caso concreto, las señales proceden desde el backplane de los acondicionadores de señales distribuidos(ASD). En la placa madre, estas señales llegan a conectores IDC de 40 posiciones. En la Fig. 6.6 se puede ver cómo se distribuyen los pines en estos conectores.

La estrategia para elegir cómo mandar las señales por los conectores fue intercalar señales con tierras lo más seguido posible. El objetivo de utilizar la configuración de cables con tierras intercaladas con señales es reducir al mínimo los efectos no deseados del transporte de señales como lo son el Crosstalk y el acoplamiento de impedancia [49].



**Figura 6.6:** Esquemático del conector IDC de entradas analógicas.

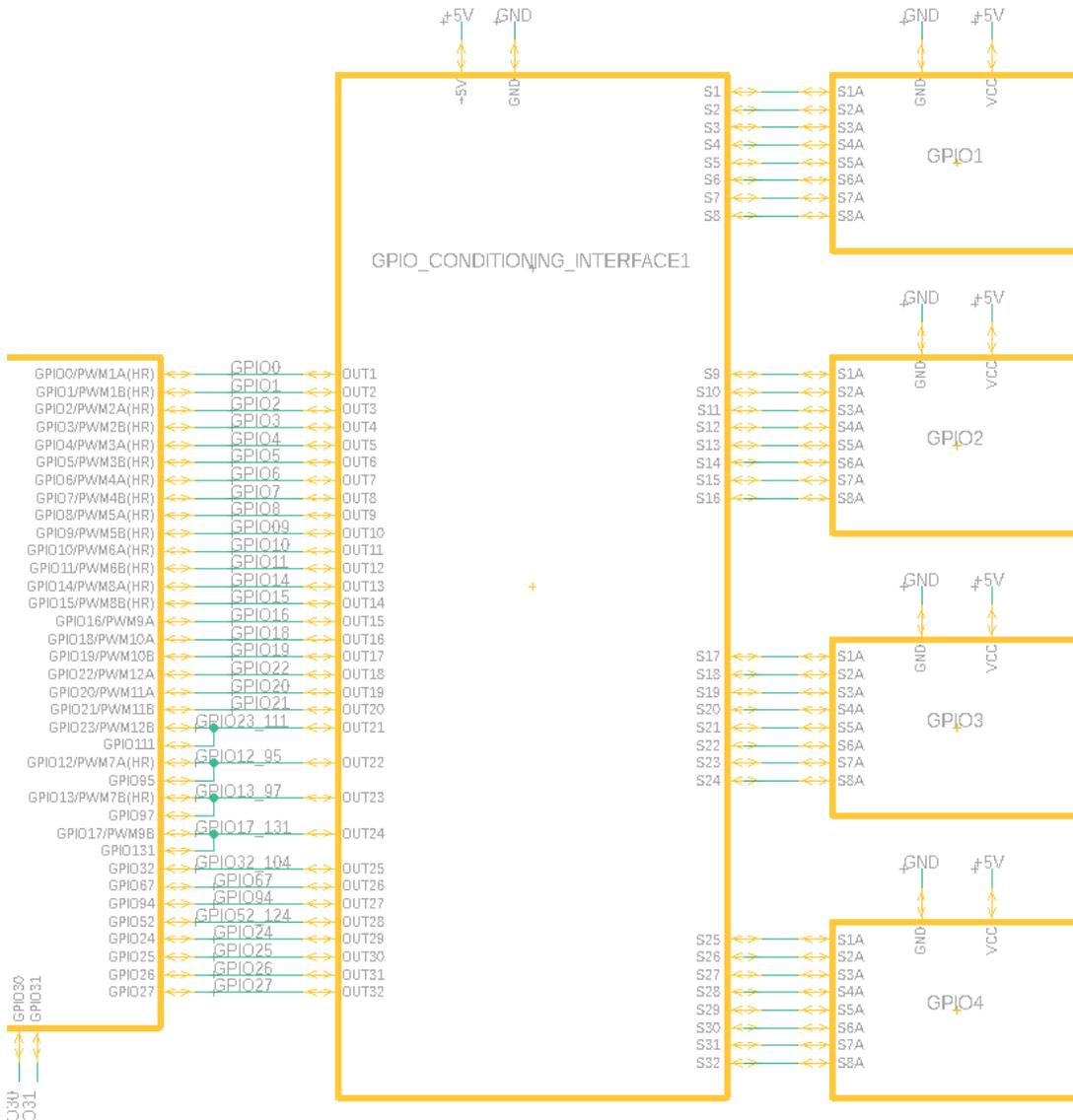
#### 6.2.4. Acondicionamiento de señales agrupado digital

Volviendo al acondicionamiento de señales agrupados (ASA); esta vez por el lado de las señales digitales, se puede encontrar una estructura parecida a la anterior. En la Fig. 6.7 se puede ver un acercamiento a esta parte.

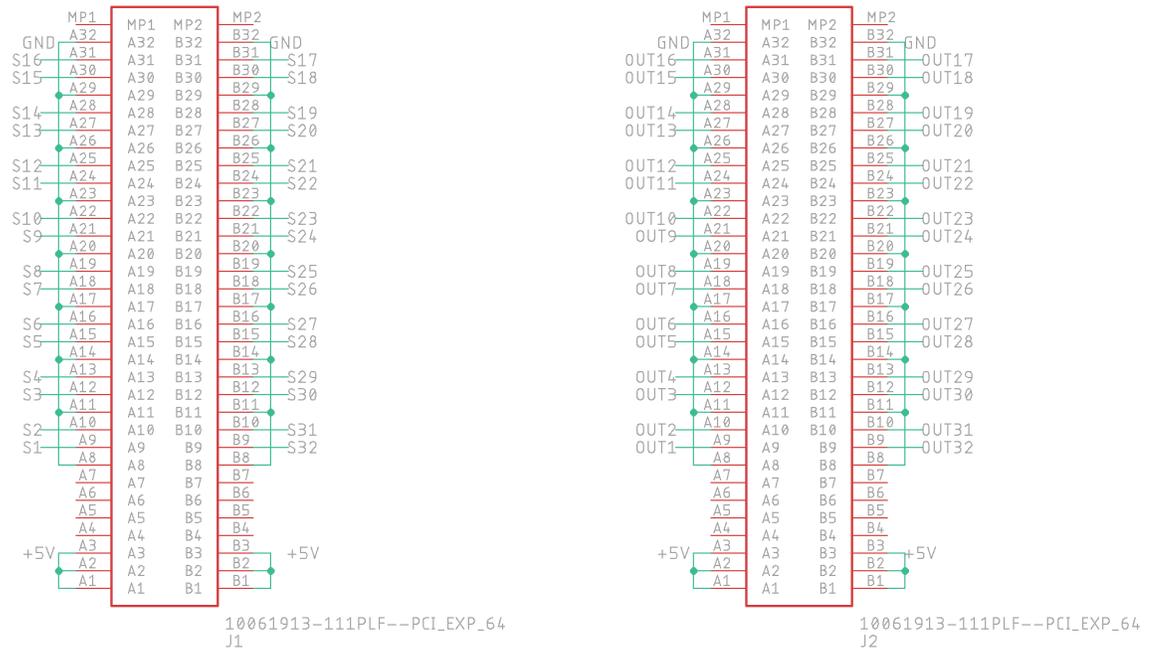
El acondicionamiento de señales agrupadas digital pasa por dos conectores PCI Express de 64 posiciones al igual que en las señales analógicas. En la Fig. 6.8 se puede ver la distribución de los pines de los conectores PCI Express para los ASA digitales.

#### 6.2.5. Entradas y salidas digitales

Luego de pasar por el ASA digital, se encuentran las entradas y salidas digitales. En la práctica cada grupo de 8 señales digitales llega a un conector IDC de 40 posiciones. y en la Fig. 6.9 se puede ver la distribución de pines para los conectores IDC de



**Figura 6.7:** Acercamiento del esquemático en bloques a la parte de acondicionamiento de señales agrupado y se entrada/salida de señales digitales.



**Figura 6.8:** Esquemático del acondicionamiento de señales agrupado digital.

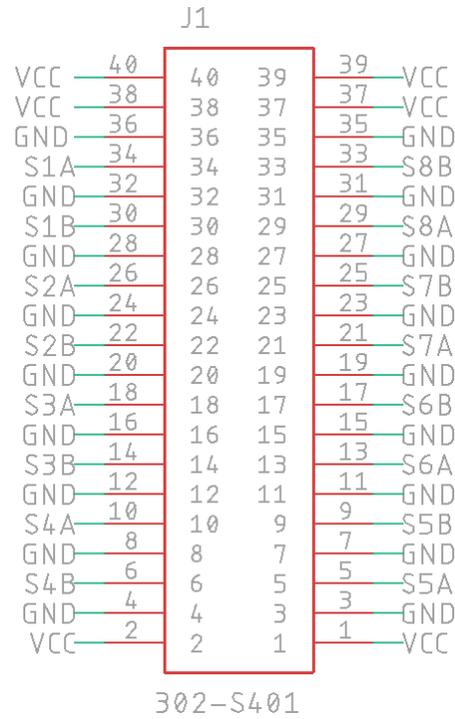
señales digitales.

### 6.2.6. Panel frontal

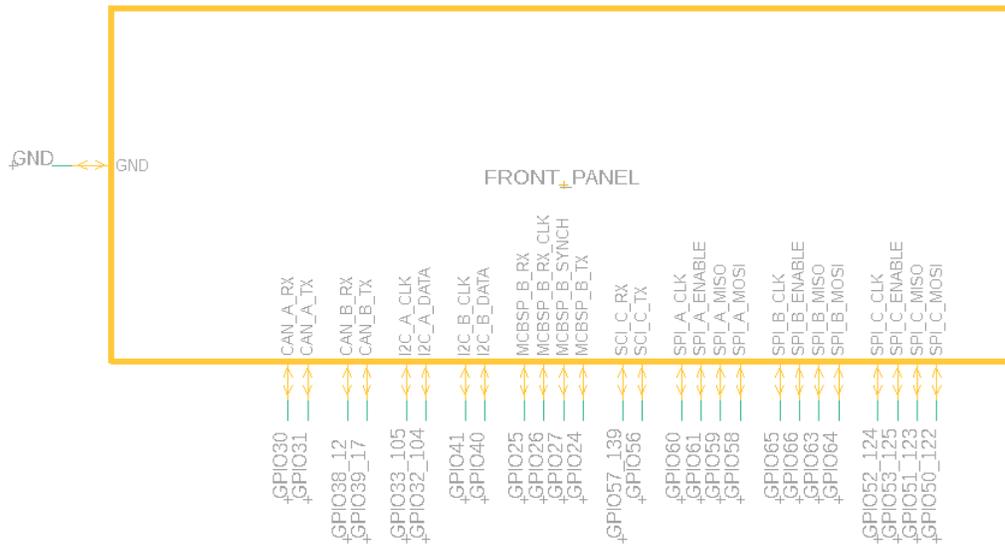
El módulo de panel frontal agrupa todas las señales que se utilizan en las diferentes comunicaciones junto con un botón de reset y un led indicador. Las señales salen por conectores MTA100 de 5 y 3 posiciones. También hay un pulsador para resetear los controladores y un led de uso general. En la Fig. 6.10 se puede ver un acercamiento al bloque de panel frontal. En la Fig. 6.11 se puede ver en detalle cómo fueron asignados los pines de los conectores a las diferentes señales.

### 6.2.7. Backplane

El módulo de backplane es el encargado de entregar la alimentación de potencia de la placa madre. En la Fig. 6.12 se puede ver un acercamiento a este bloque. Este bloque consiste en un conector Card Edge de 20 posiciones el cual hace el enlace a su



**Figura 6.9:** Esquemático del conector IDC de entradas y salidas digitales.



**Figura 6.10:** Acercamiento al bloque de panel frontal.

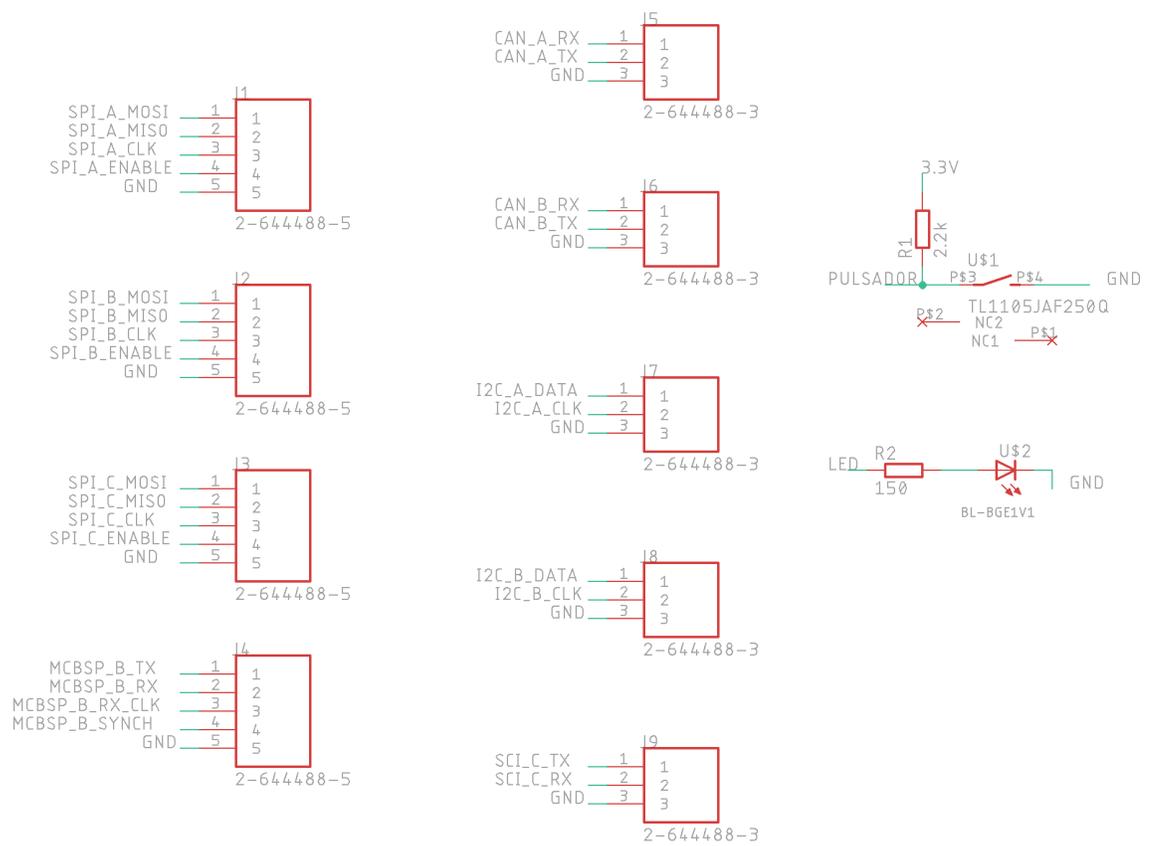
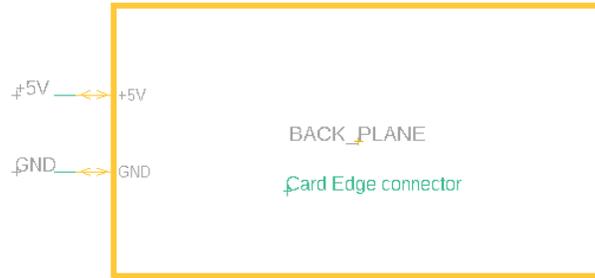
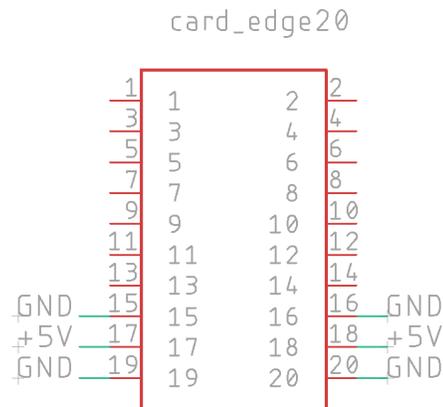


Figura 6.11: Esquemático del panel frontal



**Figura 6.12:** Acercamiento al bloque de Backplane.



**Figura 6.13:** Esquemático de Backplane.

respectivo conector backplane. En la Fig. 6.13 se puede ver el detalle de la asignación de los pines del conector.

### 6.2.8. PCB

En la Fig. 6.14 se pueden ver las placas de circuito que fueron generadas.

### 6.2.9. Modelo 3D

En la Fig. 6.15 se puede ver el modelo 3D generado de la placa madre con todos los conectores descritos anteriormente.

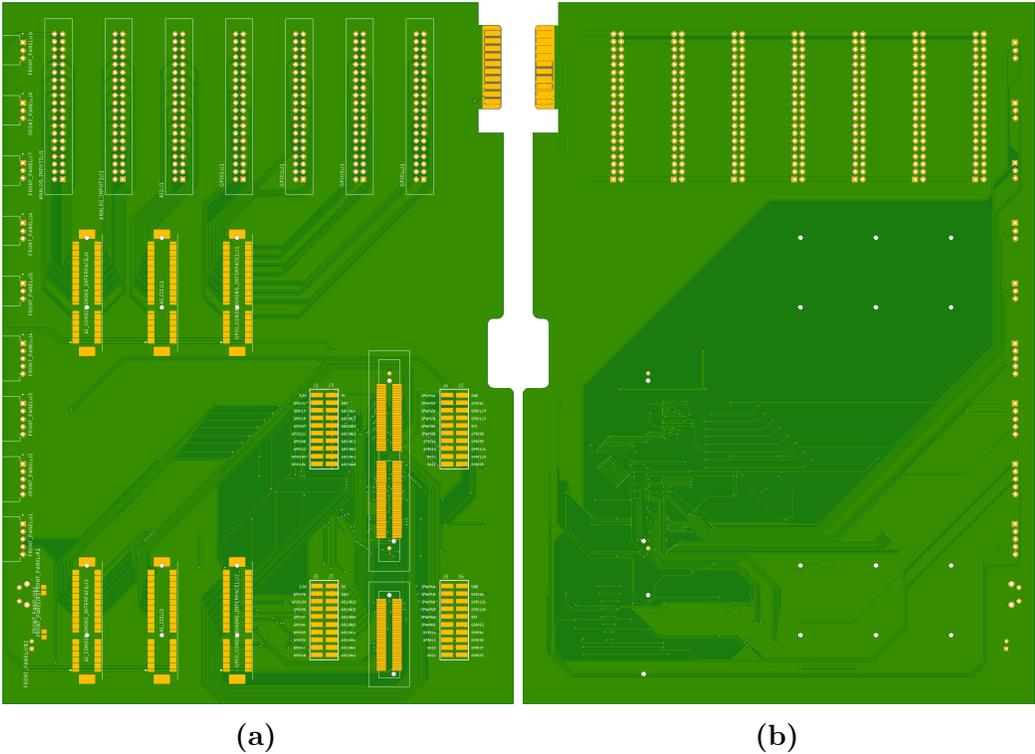
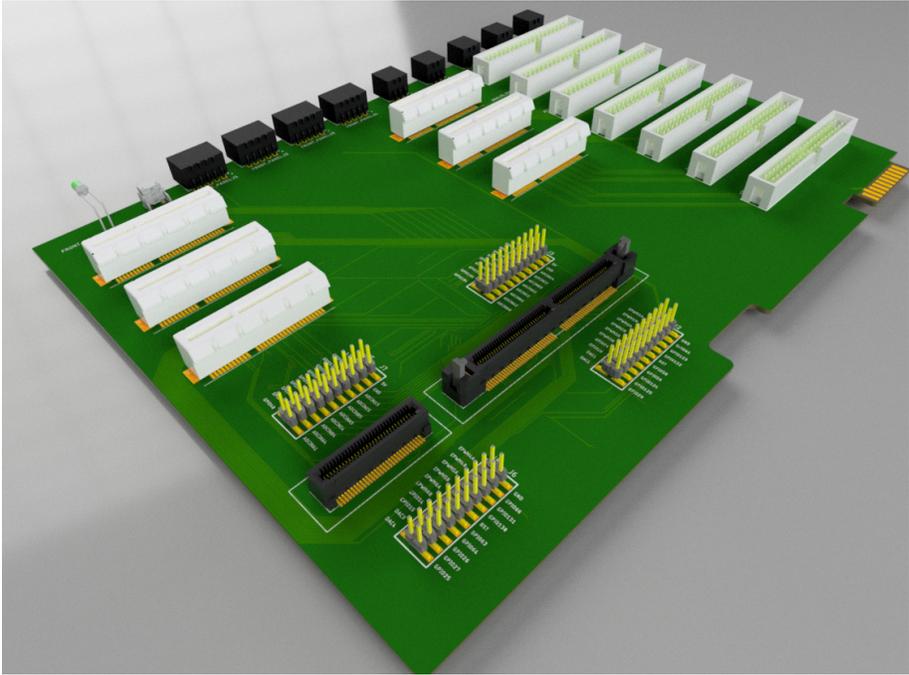
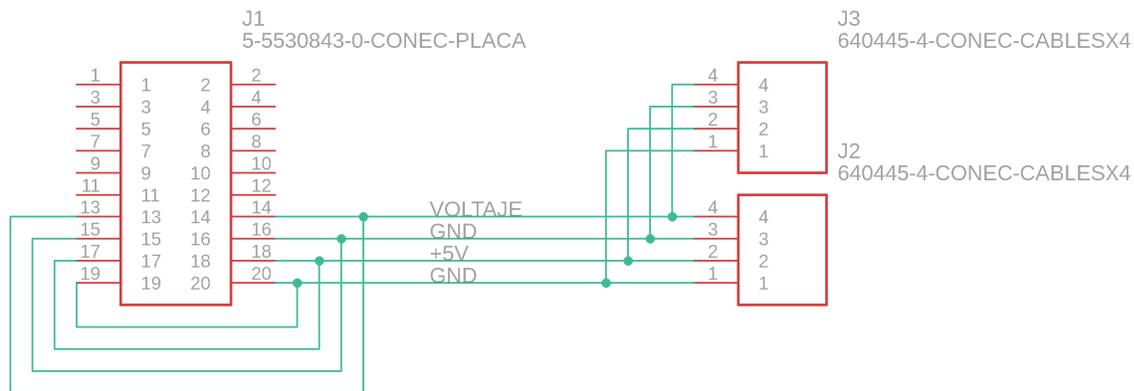


Figura 6.14: PCB de la placa madre.

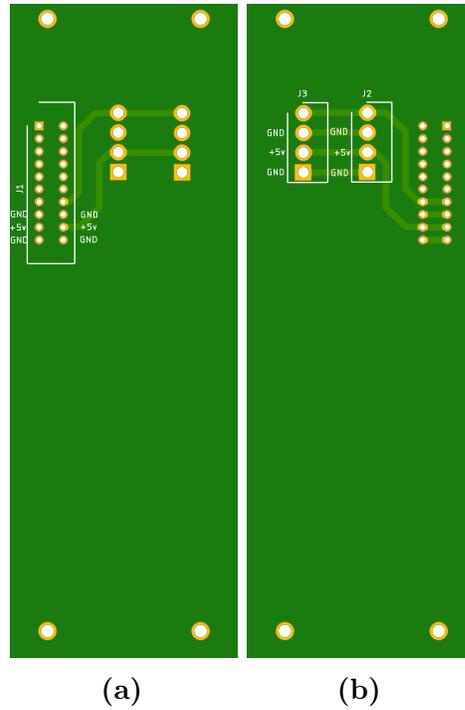




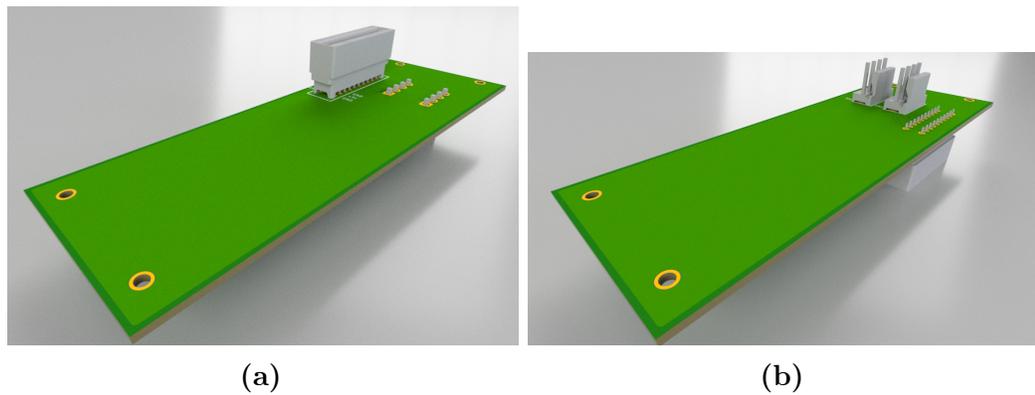
**Figura 6.16:** Esquemático BackPlane de la placa madre.

### 6.3. Backplane placa madre

El backplane de la placa madre es el encargado de generar el enlace entre la fuente de poder y la placa madre. Este backplane consiste en un conector Card Edge de 20 posiciones y dos conectores MTA100. En la Fig. 6.16 se puede ver el esquemático del backplane de la placa madre. En la Fig. 6.17 se puede ver la placa de circuito generada por ambas caras. En la Fig. 6.18 se puede ver el modelo 3D del backplane de la plataforma por ambas caras.



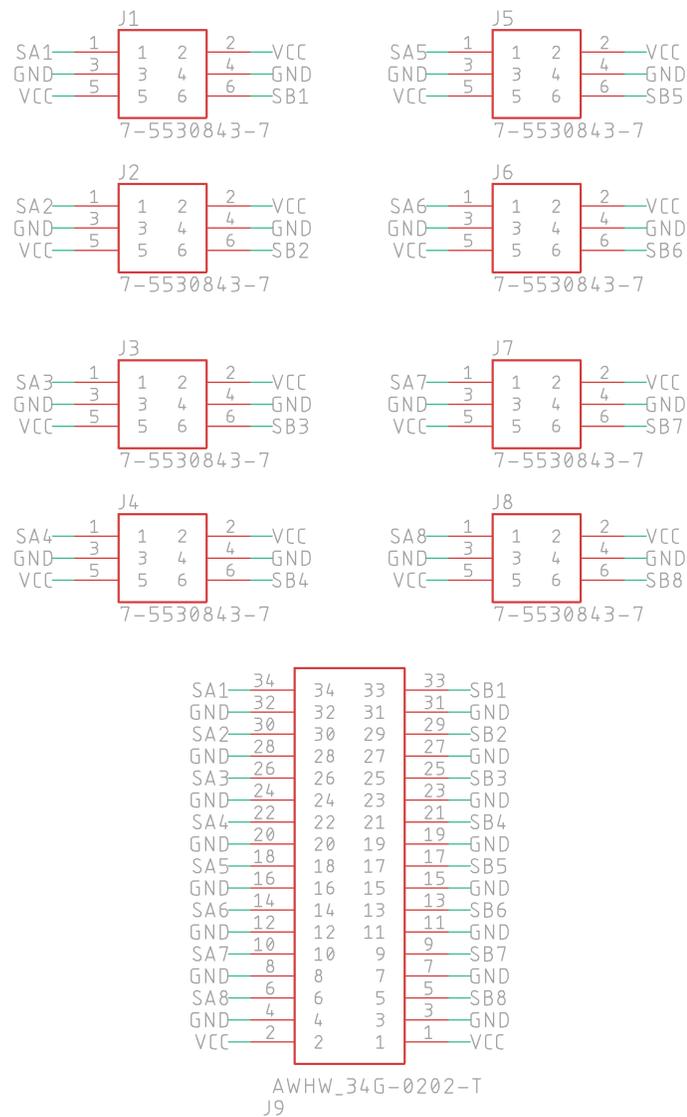
**Figura 6.17:** PCB de la placa madre. (a)Top. (b)Bottom



**Figura 6.18:** Modelo 3D de backplane de la placa madre. (a)Vista isométrica mostrando cara top. (b) Vista isométrica mostrando cara bottom.

## 6.4. BackPlane de los acondicionamientos distribuidos

Los backplane de acondicionamientos distribuidos tienen como función concentrar las señales capturadas por los módulos de acondicionamiento distribuidos(ASD), y direccionarlas a la placa madre. Para capturar las señales desde los ASD se utilizan conectores Card Edge de 20 posiciones y luego se direccionan las señales a un conector IDC de 40 posiciones, que luego, y por medio de un cable plano transportará las señales hasta la placa madre. En la Fig. 6.19 se puede ver el esquemático. En la Fig. 6.20 se pueden ver las placas de circuito generadas por ambas caras. En la Fig. 6.21 se puede ver el modelo 3D generado por ambas caras.



**Figura 6.19:** Esquemático BackPlane acondicionamientos distribuidos.

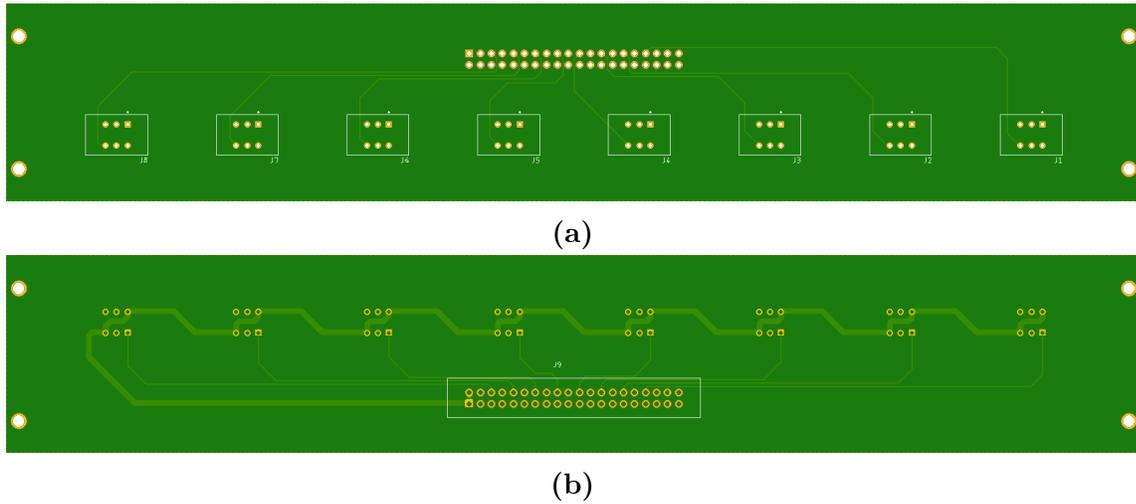


Figura 6.20: PCB BackPlane ASD. (a)Top. (b)Bottom

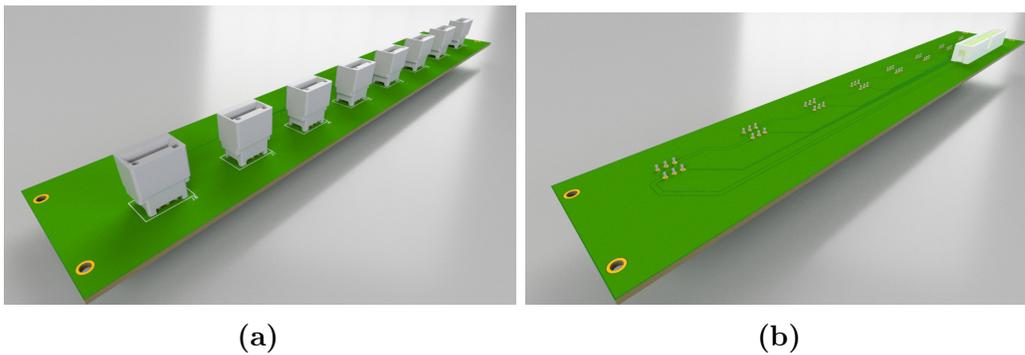


Figura 6.21: Diferentes vistas del modelo 3D del backplane ASD. (a)Vista isométrica mostrando cara top. (b) Vista isométrica mostrando cara bottom.

## 6.5. Módulos de acondicionamientos de señales distribuidos (ASD)

Como último eslabón en el transporte de señales se llega a los módulos de acondicionamiento de señales distribuido (ASD). Estos módulos tienen como objetivo capturar la señal desde el exterior de la plataforma, poder acondicionarla, si así se requiere, y direccionarla hacia la placa madre por medio del backplane. A continuación, se detallan los diferentes tipos de ASD que fueron diseñados para la plataforma.

### 6.5.1. Entradas analógicas

En la Fig. 6.22 se puede ver el esquemático en Eagle que implementa el acondicionamiento para entradas analógicas. Puntos a destacar en el diseño son que se definió un estándar para conector CardEdge de 6 posiciones en donde la señal siempre va cercana a una tierra y que el ancho de pista que se utilizó fue de 16 mil; más que suficiente para soportar la potencia de esta placa. En las Fig. 6.23 y 6.24 se pueden ver el resultado de placa obtenido y el modelo 3D respectivamente.

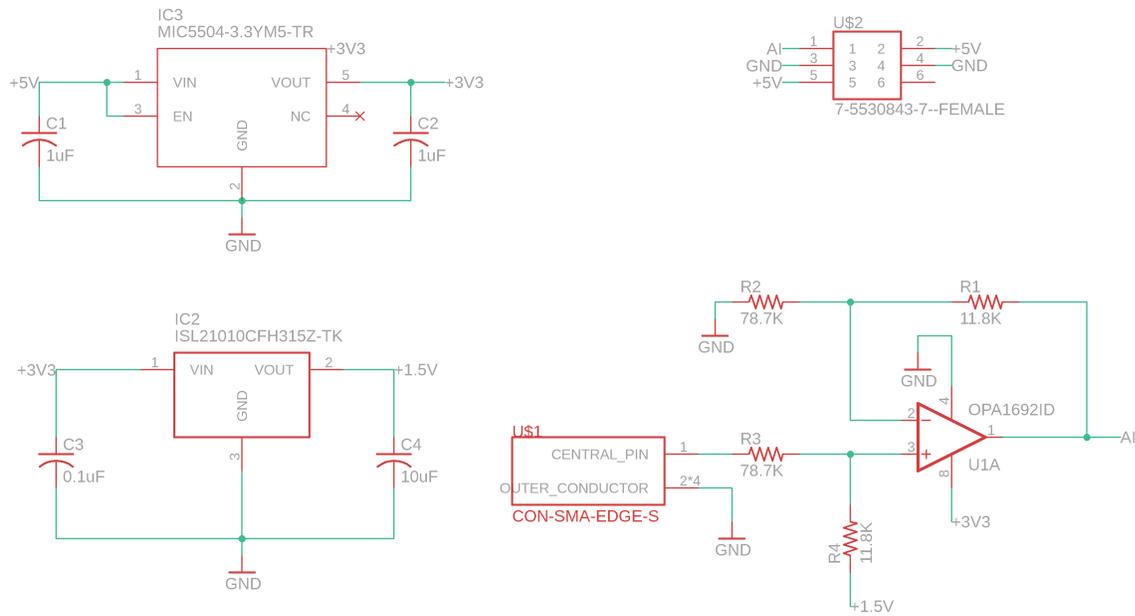


Figura 6.22: Esquemático de la placa para el acondicionador análogo.

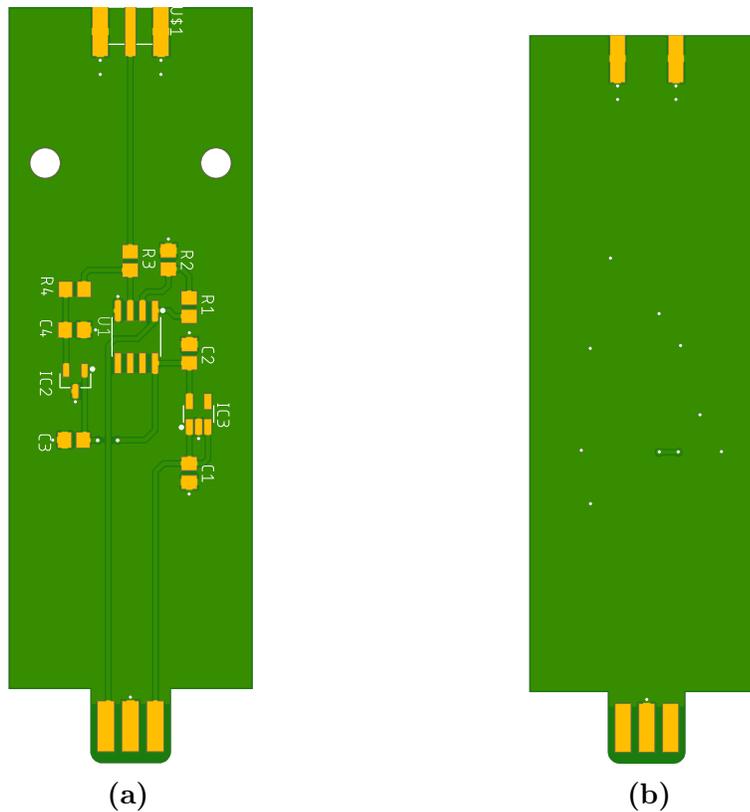
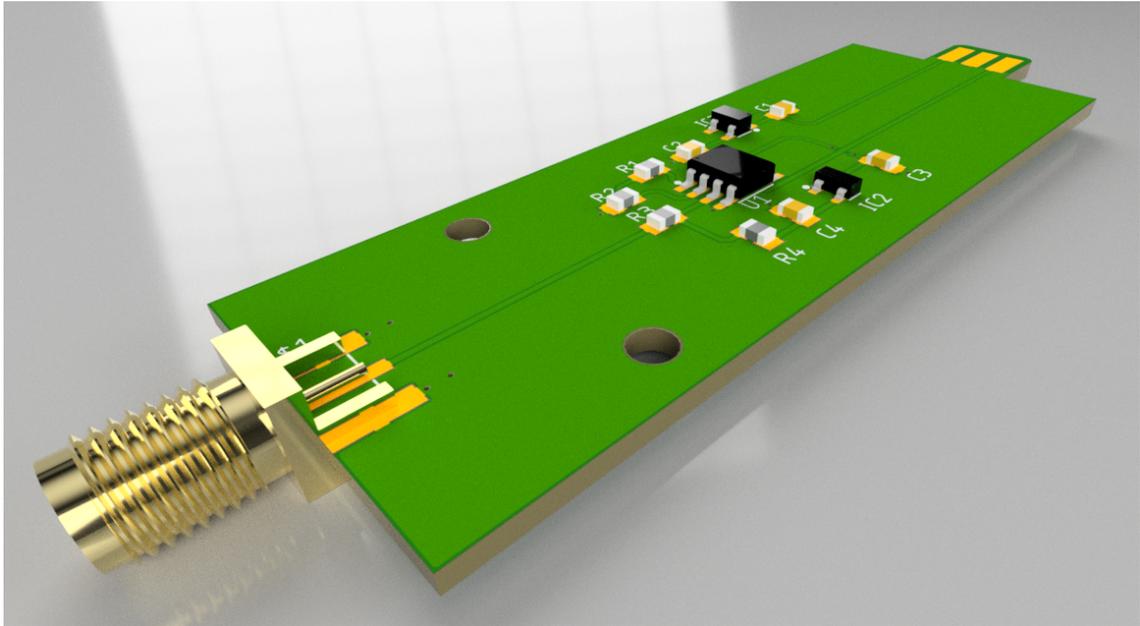


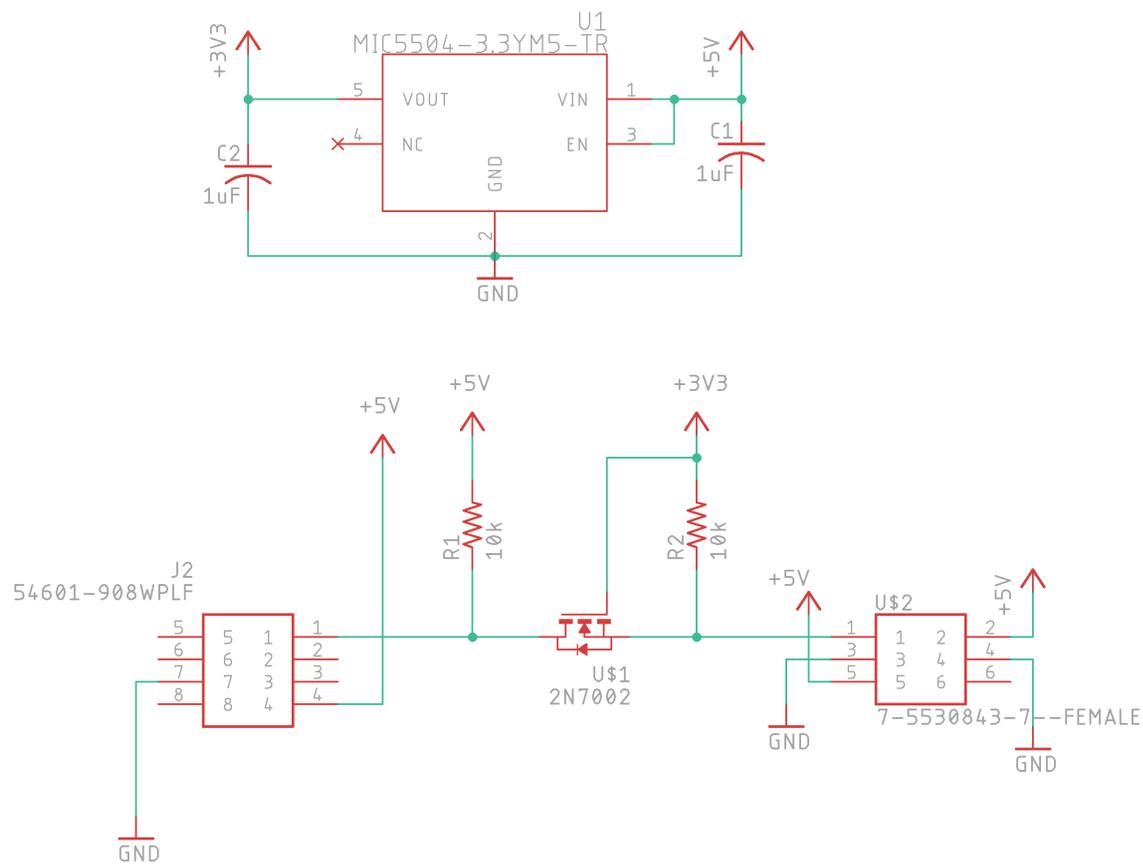
Figura 6.23: Diferentes vistas del modelo 3D del rack EuropacPro.



**Figura 6.24:** PCB del acondicionador análogo.

### 6.5.2. I/O digital con RJ45

En la Fig. 6.25 se puede ver el esquemático en Eagle que implementa el acondicionamiento para entradas y salidas digitales con conector RJ45. En las Fig. 6.26 y 6.27 se pueden ver el PCB y modelo 3D respectivamente.



**Figura 6.25:** Esquemático del acondicionador para entradas y salidas digitales con conector RJ45.

### 6.5.3. Salida digital óptica

En la Fig. 6.28 se puede ver el esquemático en Eagle que implementa el acondicionamiento para salidas digitales con conector óptico. En las Fig. 6.29 y 6.30 se pueden ver el PCB y modelo 3D respectivamente.

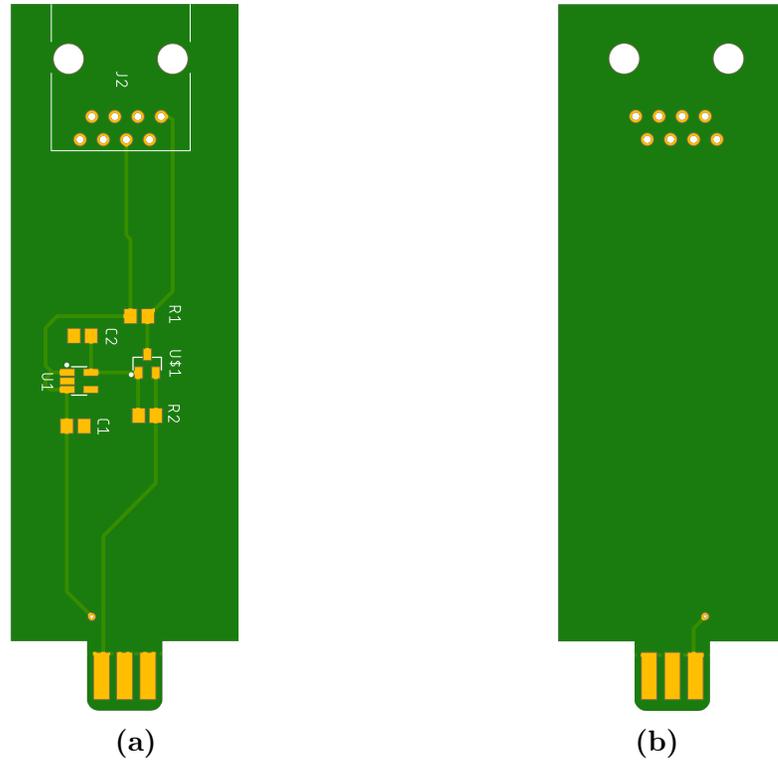


Figura 6.26: PCB acondicionador entrada y salida con conector RJ45.

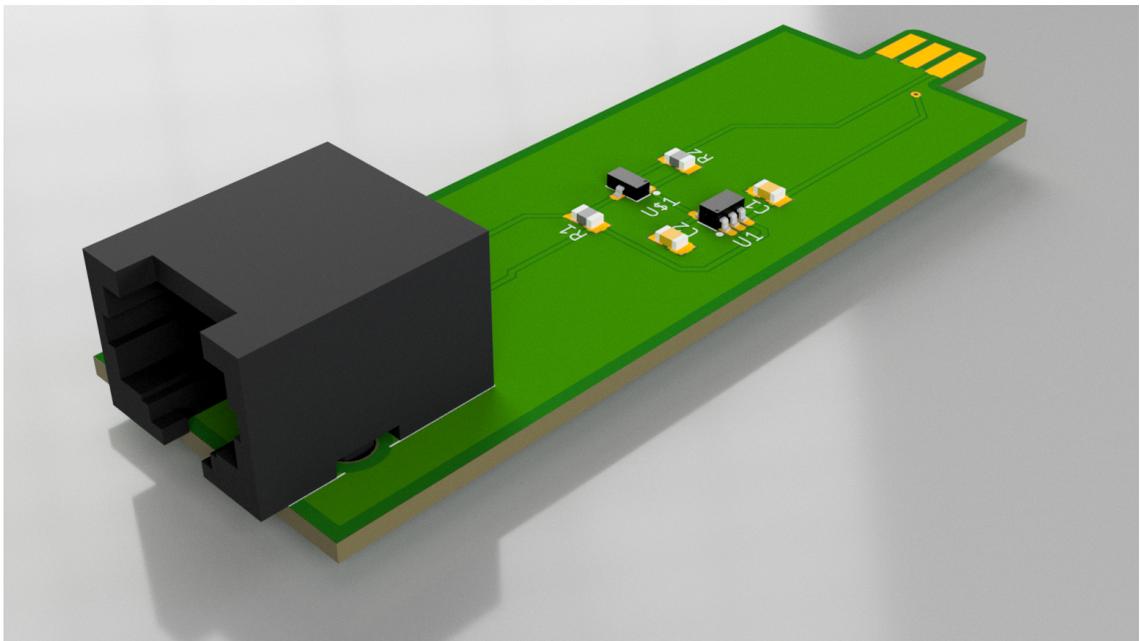
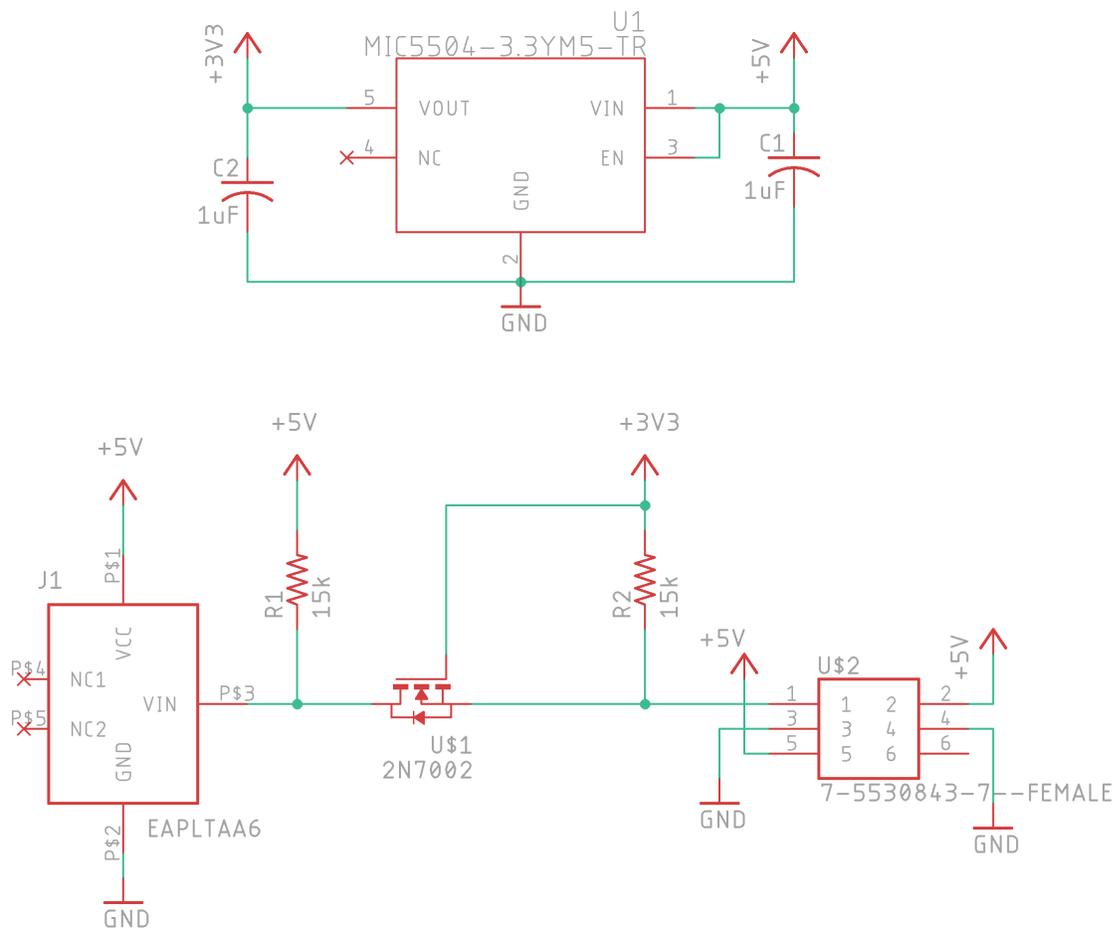


Figura 6.27: Modelo 3D acondicionador entrada y salida con conector RJ45.



**Figura 6.28:** Esquemático de la placa para el acondicionador para salida con conector óptico.

### 6.5.4. Entrada digital óptica

En la Fig. 6.31 se puede ver el esquemático en Eagle que implementa el acondicionamiento para entradas digitales con conector óptico. En las Fig. 6.32 y 6.33 se pueden ver el PCB y modelo 3D respectivamente.

## 6.6. Placas puente para ASA

Como en el diseño de esta plataforma se quiere mostrar cómo funcionan los acondicionamientos de señales distribuidos, no se diseñó un acondicionamiento de

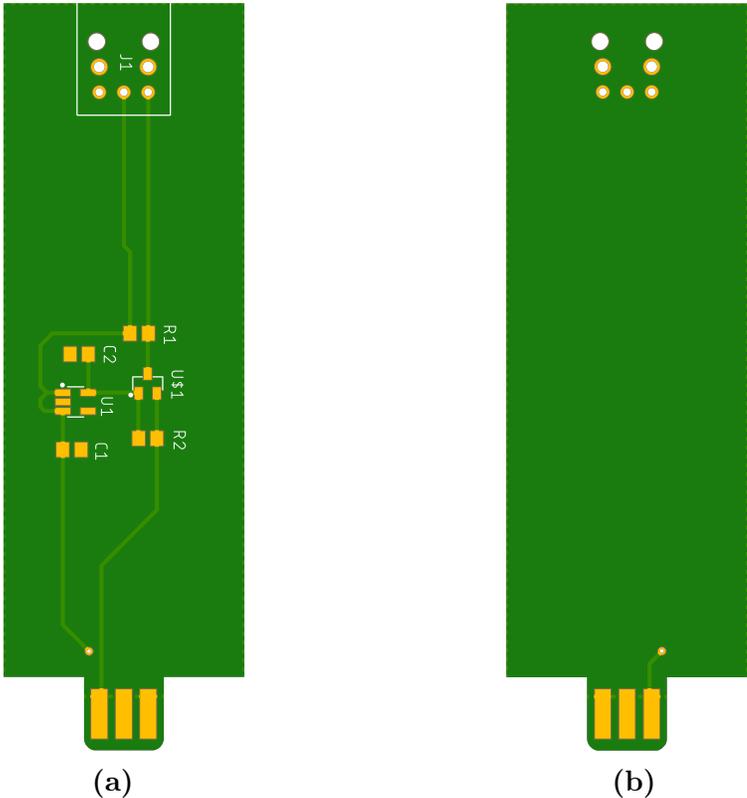


Figura 6.29: PCB acondicionador para salida con conector óptico.

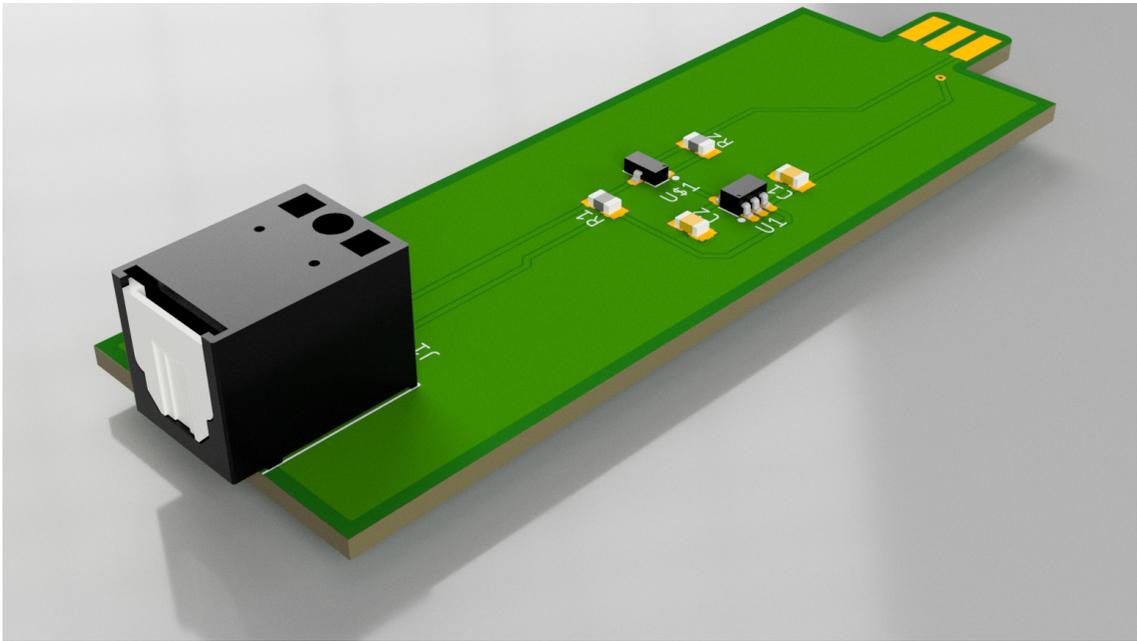
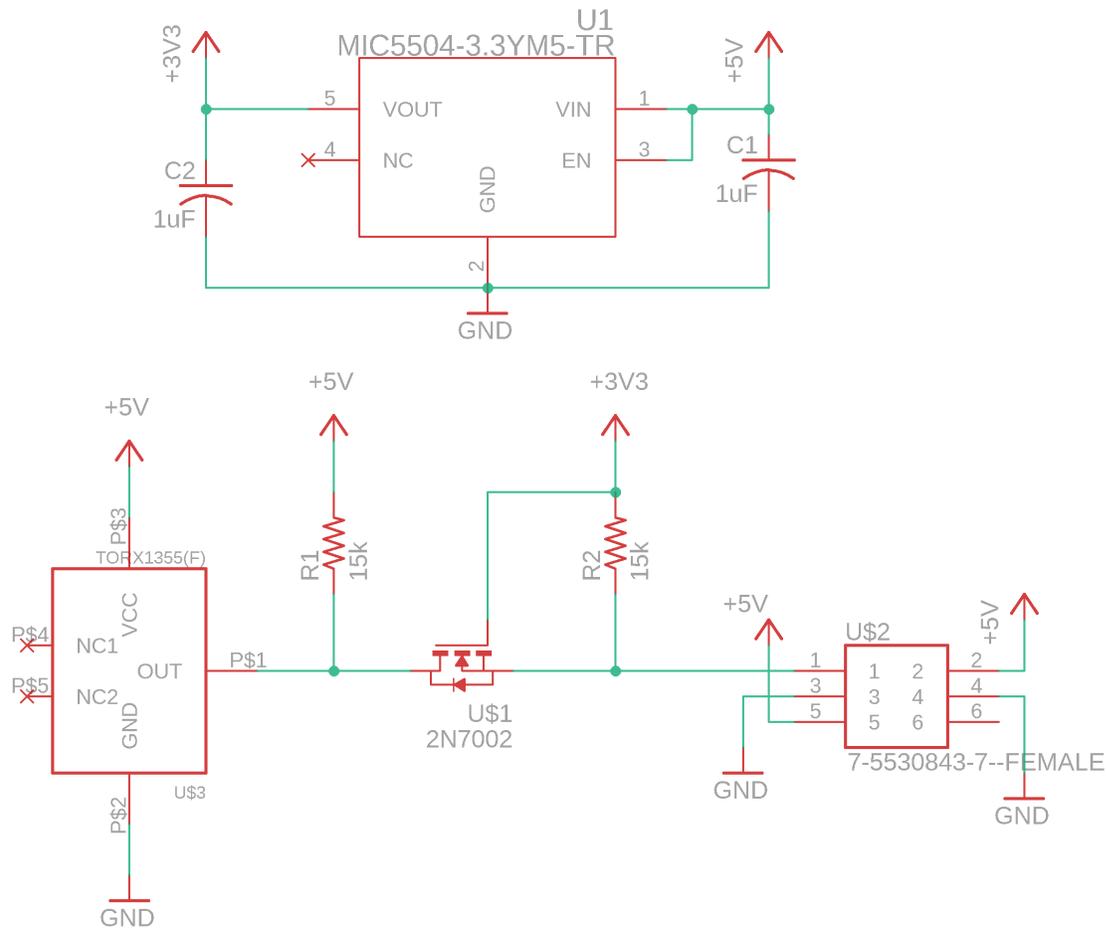


Figura 6.30: Modelo 3D acondicionador para salida con conector óptico.



**Figura 6.31:** Esquemático de la placa para el acondicionador análogo.

señales agrupado. No obstante, sí se obtuvieron placas puentes que sirven como base para futuros diseños y también establecen las dimensiones máximas que permitirá una placa ASA. Cabe mencionar que como el total de señales pasa por los ASA es posible hacer multitud de tareas de expansión para la plataforma. Ejemplo podría ser utilizar una FPGA, poner otro procesador, etc. En la Fig. 6.34 se puede ver el esquemático de la distribución de los pines para cada conector PCI Express macho. En la Fig. 6.35 se puede ver las placas de circuitos generadas. Finalmente, en la Fig. 6.36 se puede ver el modelo 3D generado. La extensión máxima de la placa puede ser de 145 mm x 75 mm. El espacio entre los conectores PCI Express es de 109 mm.

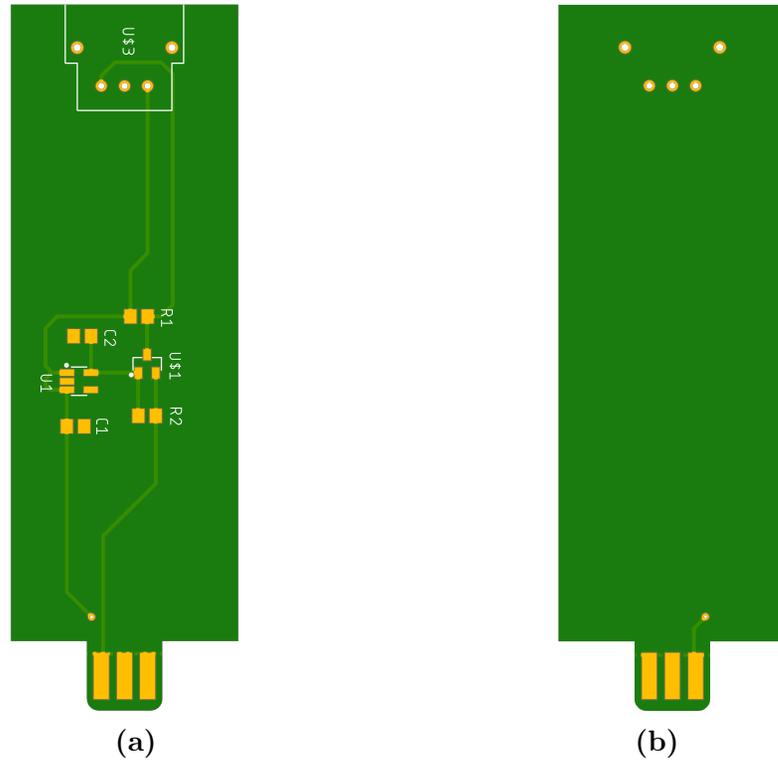


Figura 6.32: PCB acondicionador para salida con conector óptico.

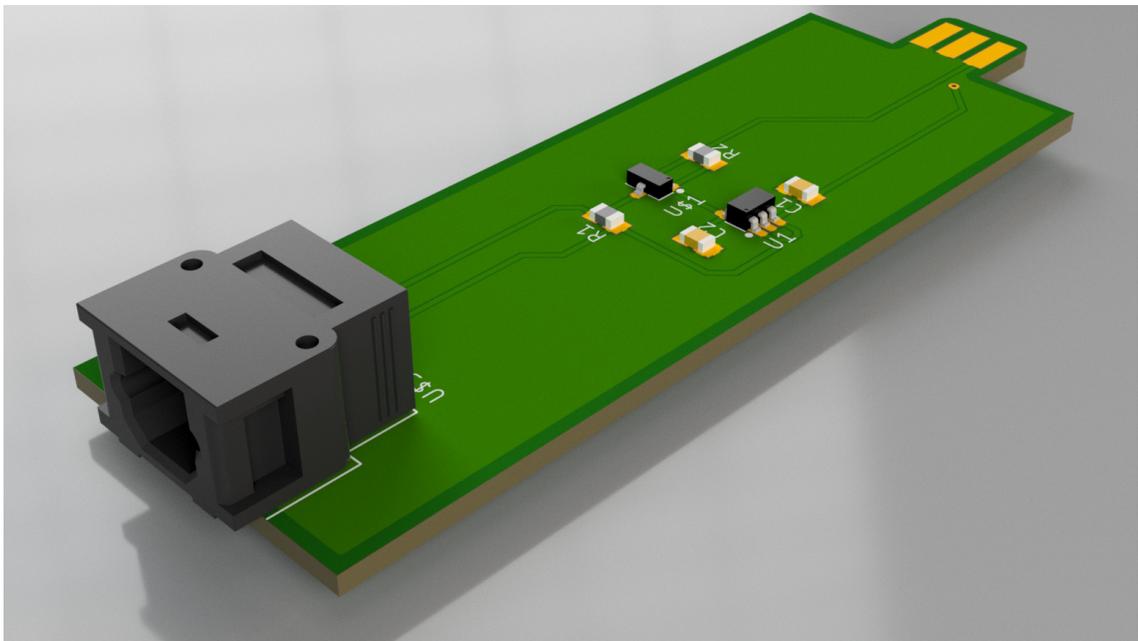


Figura 6.33: Esquemático de la placa para el acondicionador análogo.

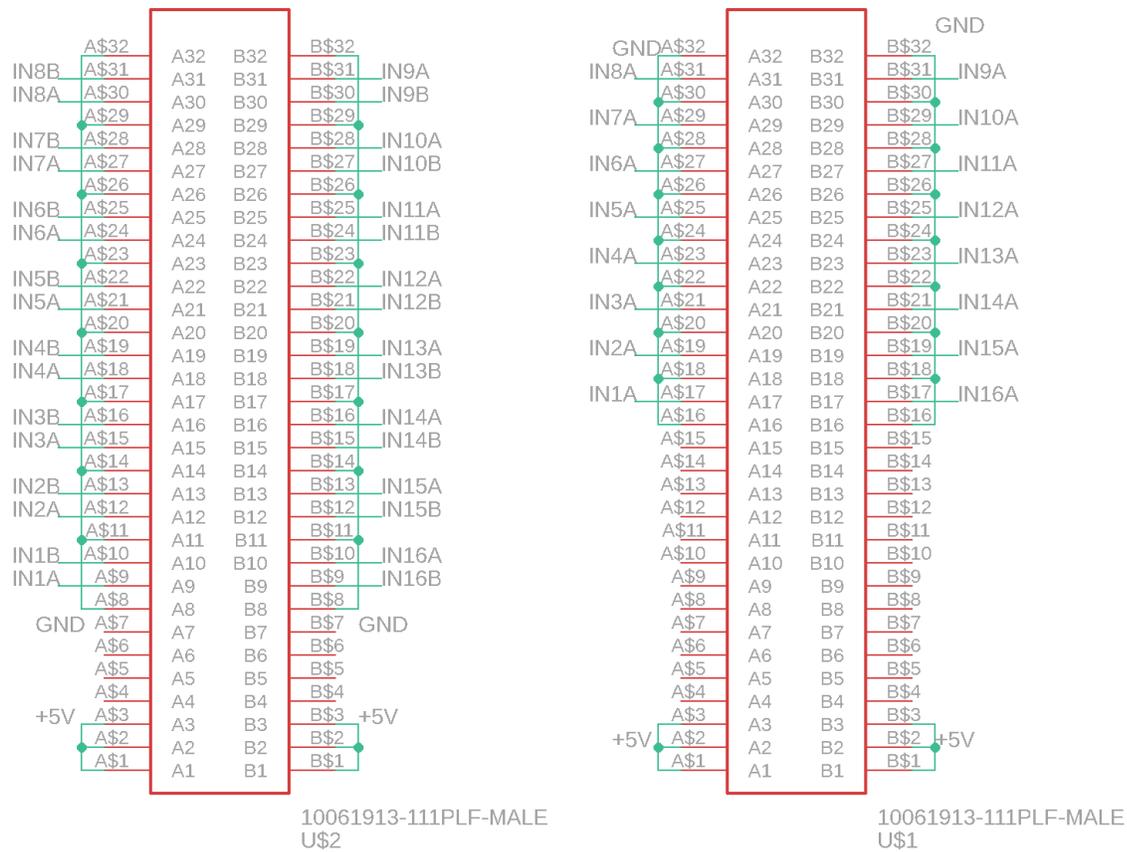


Figura 6.34: Esquemático del puente realizado.

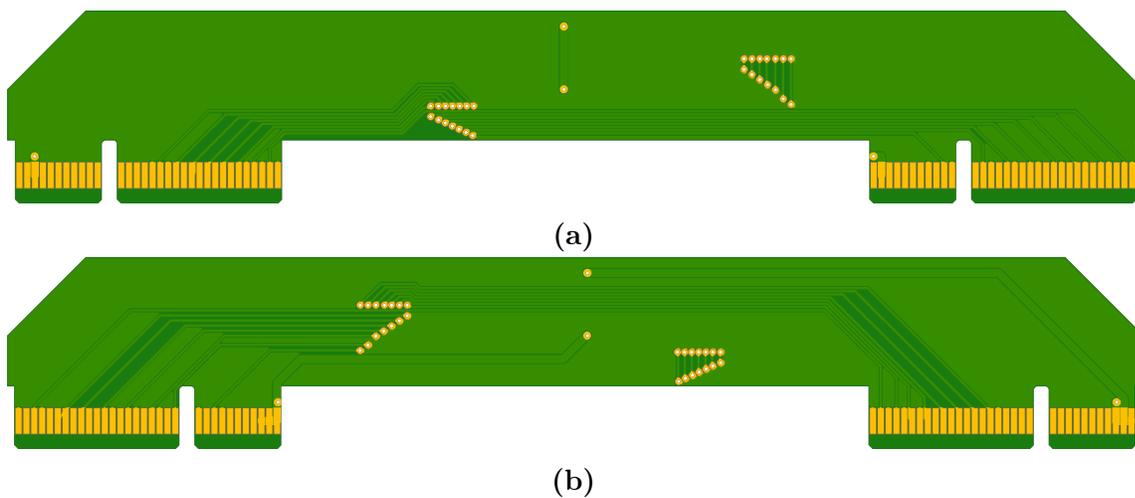
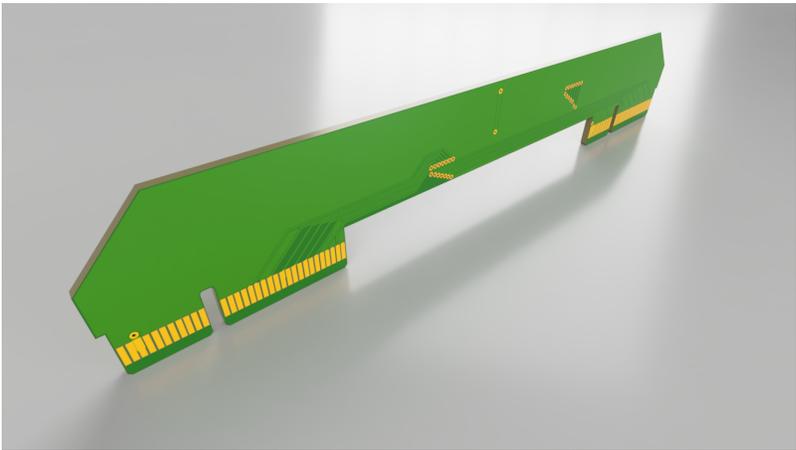


Figura 6.35: Diferentes vistas de las placas de PCB del puente ASA. (a)Top. (b)Bottom.



**Figura 6.36:** Modelo 3D del puente.

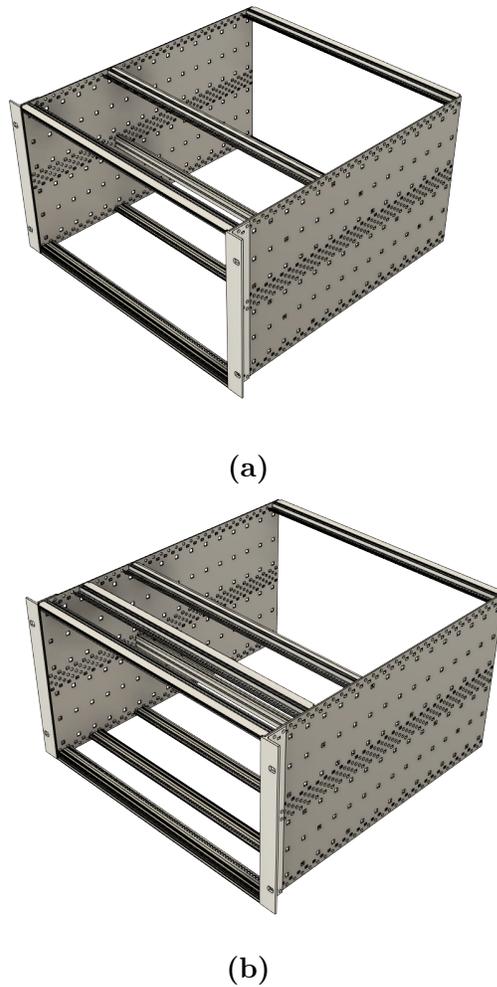
# Capítulo 7

## Modelo 3D de la plataforma

### 7.1. Introducción

En este capítulo se expone el desarrollo del modelo CAD de la plataforma, integrando todo lo que se ha desarrollado en los capítulos anteriores. Este capítulo muestra los modelos CAD de cada pieza independiente y cómo se une e interactúa con las diferentes partes de la plataforma. Esto tiene como objetivo el generar una validación mecánica temprana y asegurarse que todos los componentes de la plataforma interactúen bien unos con otros.

Este capítulo parte mostrando como unidad base el subrack en el cual se montará la plataforma completa y a medida que se avanza se irán agregando las piezas hasta tener la plataforma armada en su conjunto. Cada parte CAD que se desarrolla está acompañada de su respectiva planimetría. La planimetría completa se puede encontrar en el apéndice B.



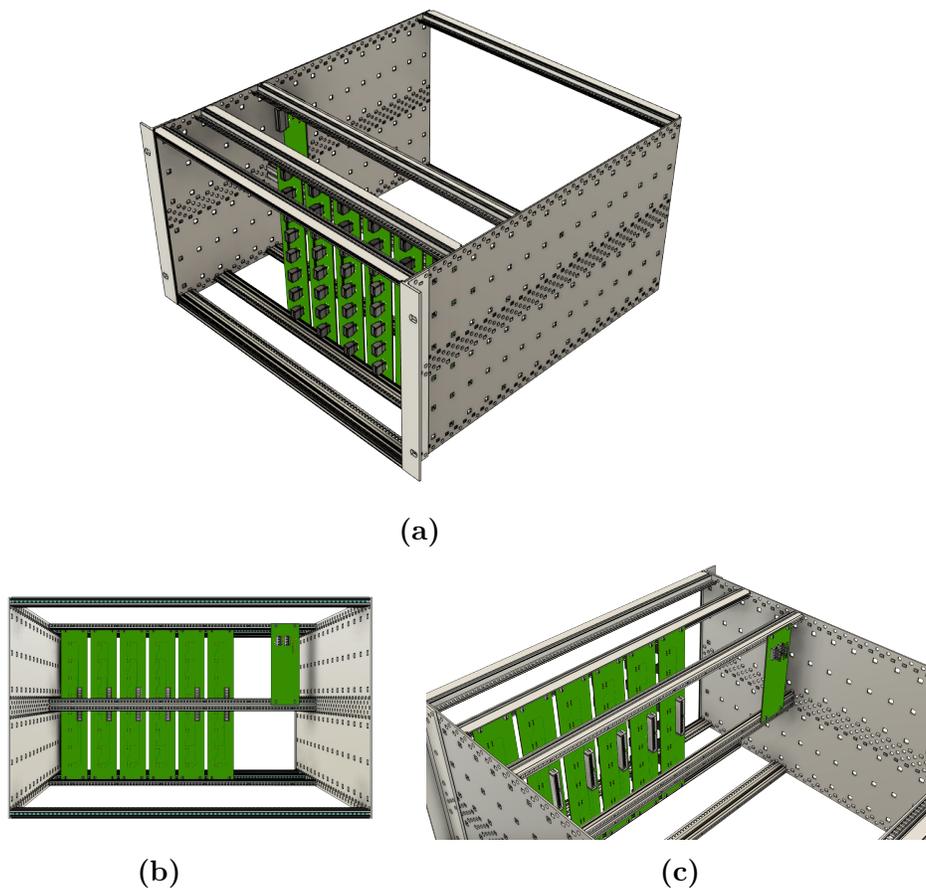
**Figura 7.1:** Diferentes vistas del Subrack de la plataforma. (a) Pack standar Europac pro. (b) Subrack con barras de soporte extra.

## 7.2. Base mecánica de la plataforma

La base mecánica de la plataforma consiste en el Subrack Europac de 19". El modelo CAD del Subrack es proporcionado por el fabricante y se puede ver en la Fig. 7.1a. La configuración del subrack que se puede apreciar corresponde a los componentes básicos que contiene el Europac. Para hacer posible la geometría de la plataforma es necesario incluir dos barras de soporte extra. En la Fig. 7.1b se pueden ver las barras agregadas al modelo del Subrack.

### 7.3. BackPlane placa madre y acondicionamientos distribuidos

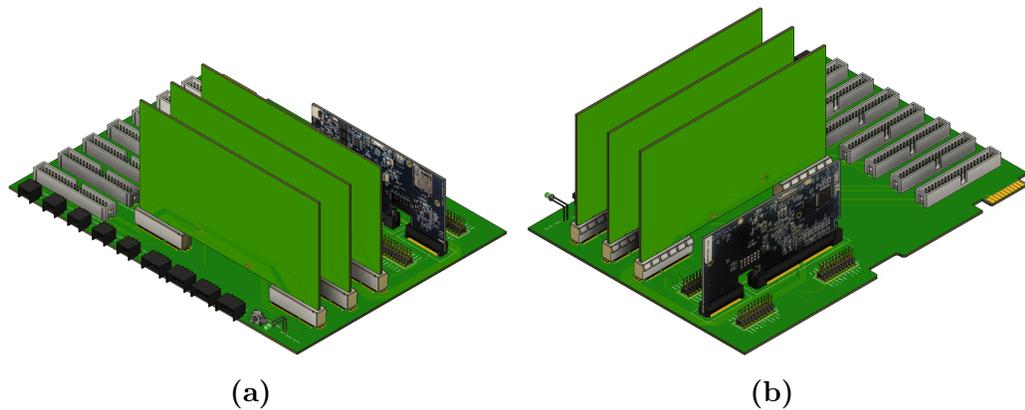
Ya con la base mecánica, es posible incluir los componentes que van fijos a esta base. Los BackPlanes de la placa madre y de los acondicionamientos distribuidos van fijos al subrack por medio de 4 uniones apernadas cada uno. En la Fig. 7.2 se pueden ver diferentes vistas de cómo van ubicados los BackPlane.



**Figura 7.2:** Diferentes vistas de la plataforma mostrando en lugar de los BackPlane. (a) Vista isométrica. (b) Vista trasera. (c) Acercamiento a la instalación de los BackPlane con sus respectivos tornillos.

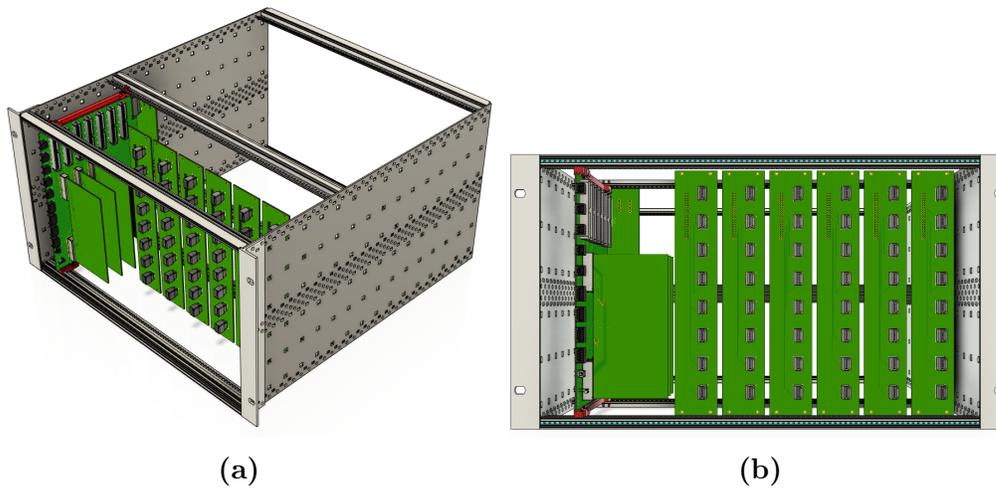
## 7.4. Placa Madre

Ya con los Backplane instalados, la plataforma está lista para recibir las piezas extraíbles. La más importante de las piezas extraíbles es la Placa Madre. Antes de insertar la Placa Madre en la plataforma, hay que seleccionar la configuración que se desea dentro de las posibles alternativas. La Placa Madre puede soportar dos diferentes tipos de controlador, como también diferentes posibilidades en los acondicionadores de señales concentrados. A modo de muestra, en la Fig. 7.3 se puede ver la Placa Madre con la ControlCard como controlador y en los acondicionadores de señales concentrados placas puentes que muestran la máxima extensión del PCB que se tiene disponible.



**Figura 7.3:** Configuración de muestra de la Placa Madre con 3 placas puente y ControlCard. (a)Vista isométrica A. (b)Vista isométrica B.

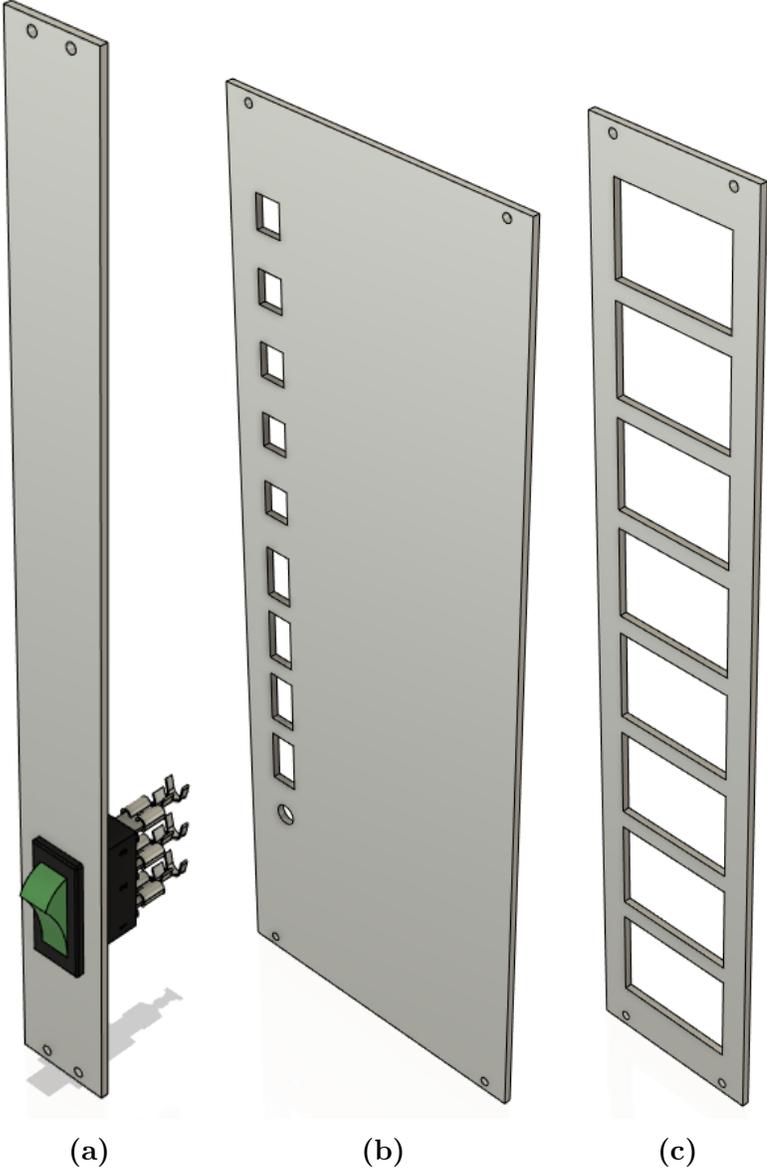
La placa madre va montada en la estructura sobre Guide Rails que ayudan a su inserción y extracción. En la Fig. 7.4 se puede ver la Placa Madre insertada dentro del subrack.



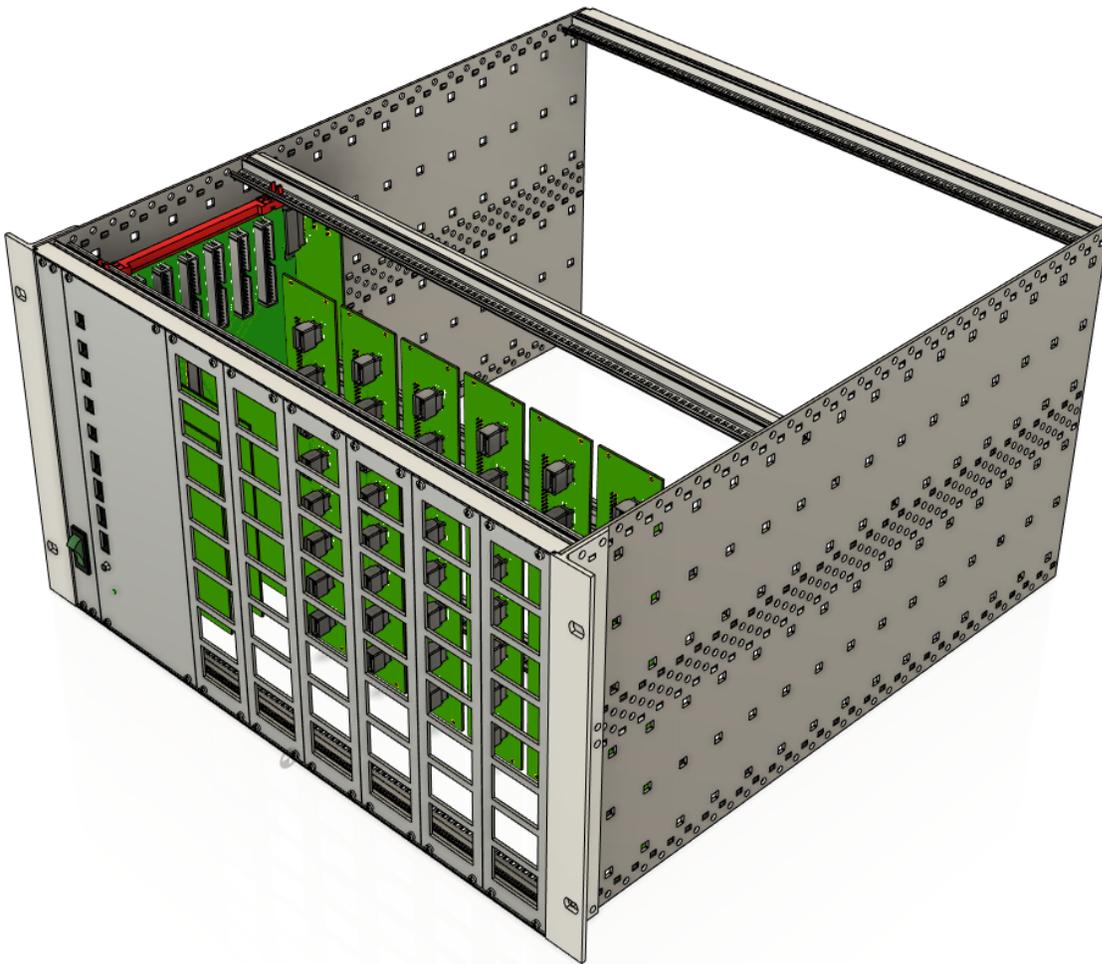
**Figura 7.4:** Diferentes vistas de la plataforma mostrando la inserción de la Placa Madre. (a)Vista isométrica. (b)Vista frontal.

## 7.5. Paneles frontales

Ahora es posible fijar los Front Panels de la plataforma. Hay tres tipos de paneles frontales: El de potencia, que posee la ranura para insertar un Rocker Switch, el panel frontal de la Placa Madre y los paneles frontales para los conectores de los acondicionamientos distribuidos. Estos paneles están diseñados para ser fabricados con aluminio de 2 mm de espesor y para ser fijados con 4 uniones apernadas cada uno. En la Fig. 7.5 se pueden ver imágenes de los 3 tipos de paneles frontales que posee la plataforma. En la Fig. 7.6 se puede ver una imagen con los paneles montados en la plataforma junto con sus uniones apernadas.



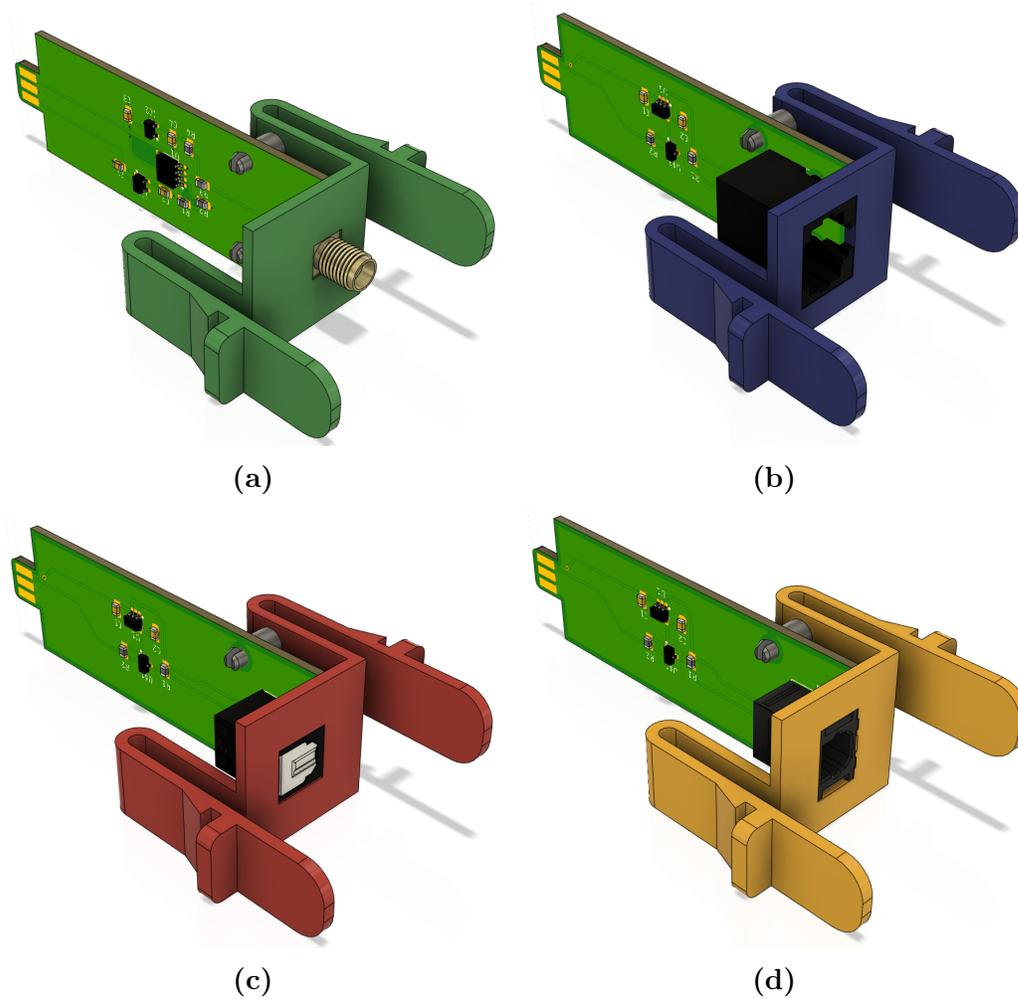
**Figura 7.5:** Tipos de Paneles frontales (a)Panel de potencia. (b)Panel de Placa Madre. (c)Panel de conectores ASD.



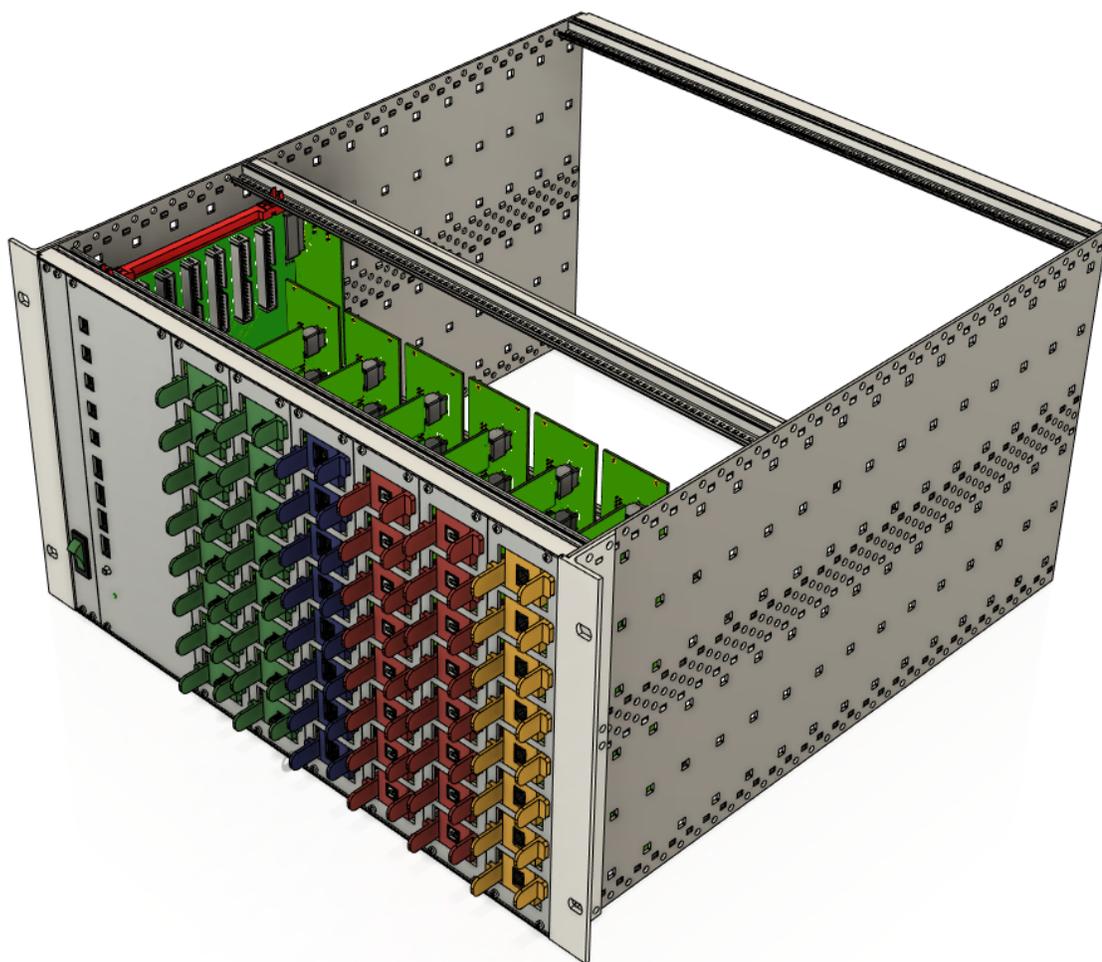
**Figura 7.6:** Vista isométrica de la plataforma mostrando los paneles frontales montados.

## 7.6. Conectores ASA con Snap fit

La forma de inserción y extracción rápida que se ideó para la plataforma fue combinar conectores BackPlane junto con Snap fit haciendo posible que cada módulo de acondicionamiento de señal distribuido (ASA) se puede extraer e insertar de manera sencilla. Existen cuatro tipos de conectores que pueden ser insertados en la plataforma y se puede ver en la Fig. 7.7. a los conectores se les dieron diferentes colores para que sea más fácil su identificación. En la Fig. 7.7 se puede ver un set de conectores montados en la plataforma.



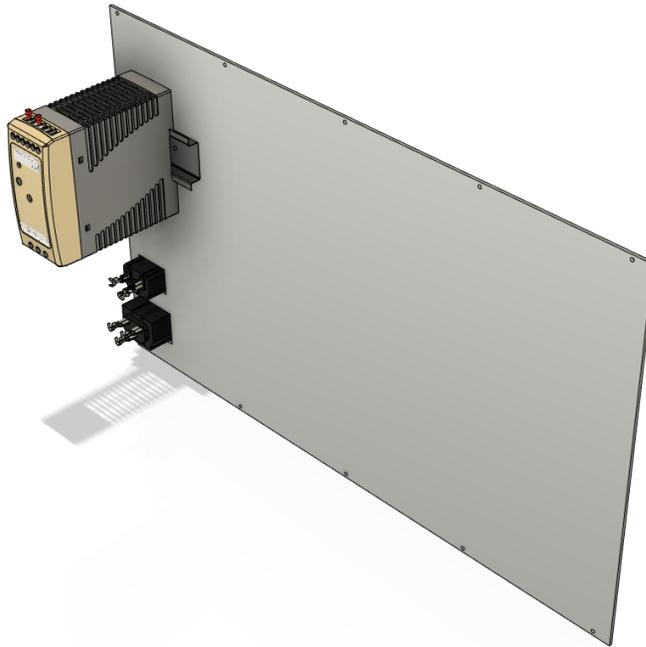
**Figura 7.7:** Tipos de conectores ASA con Snap fits de montaje. (a)Entrada analógica. (b)Entrada/salida digital. (c)Entrada digital óptica. (d)Entrada digital óptica.



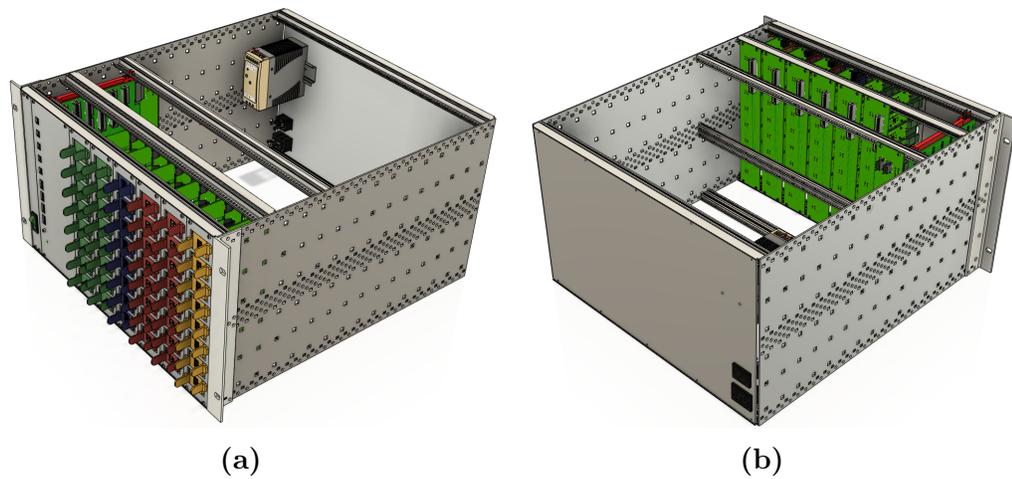
**Figura 7.8:** Vista isométrica de la plataforma mostrando los conectores ASA montados.

## 7.7. Panel trasero

El panel trasero de la plataforma tiene la función de sellar la carcasa en la parte posterior. Se utiliza aluminio de 2 mm para formar este panel el cual va fijo al Subrack por medio de uniones apernadas. El panel trasero también sirve de soporte para los conectores IEC y la fuente de alimentación. En la Fig 7.9 se puede ver el Panel trasero y el la Fig. 7.10 se muestra montado en la plataforma.



**Figura 7.9:** Vista isométrica del Panel trasero.



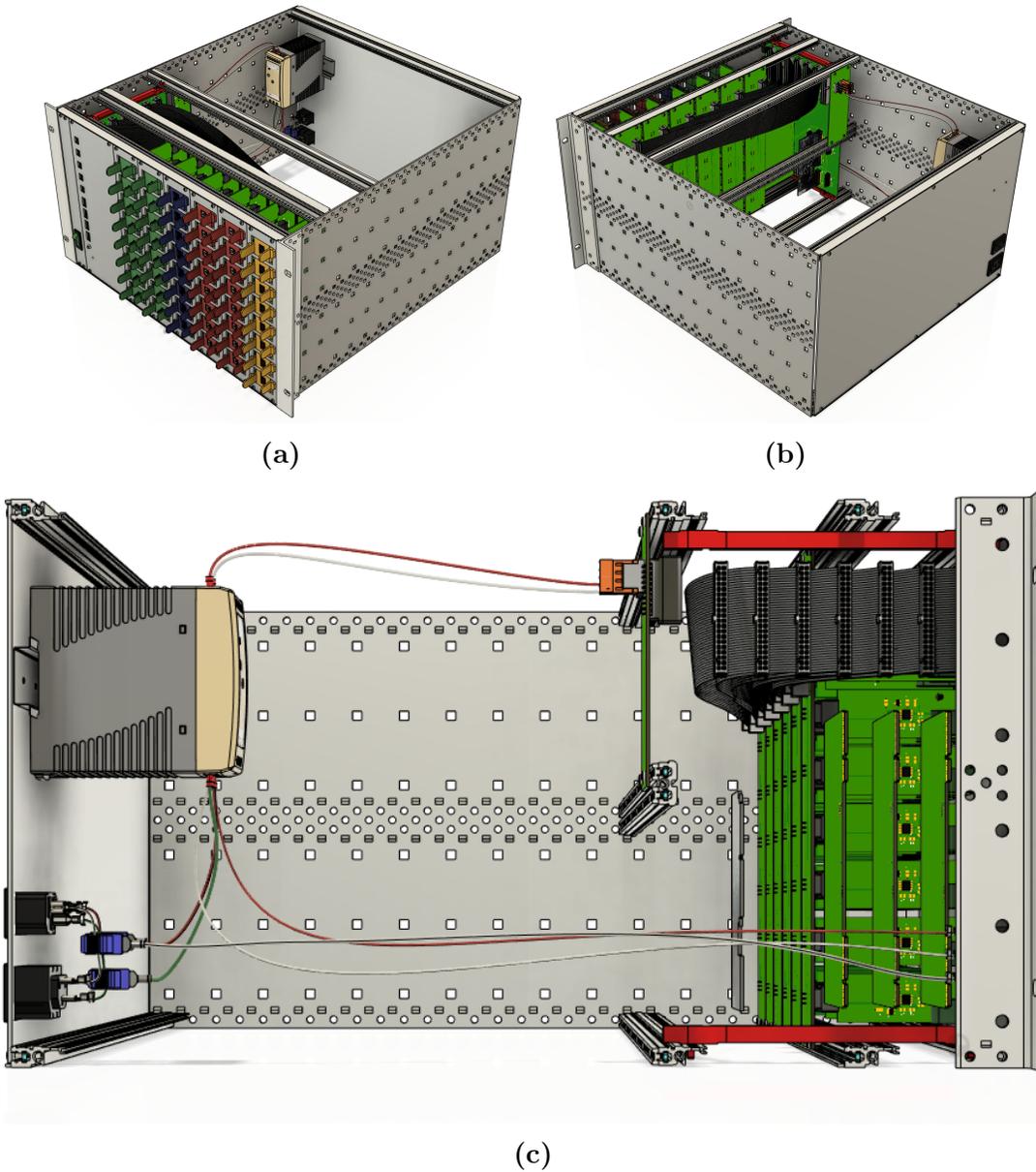
**Figura 7.10:** Diferentes vistas de la plataforma con el Panel trasero montado. (a)Vista isométrica frontal. (b)Vista isométrica trasera.

## 7.8. Cableado

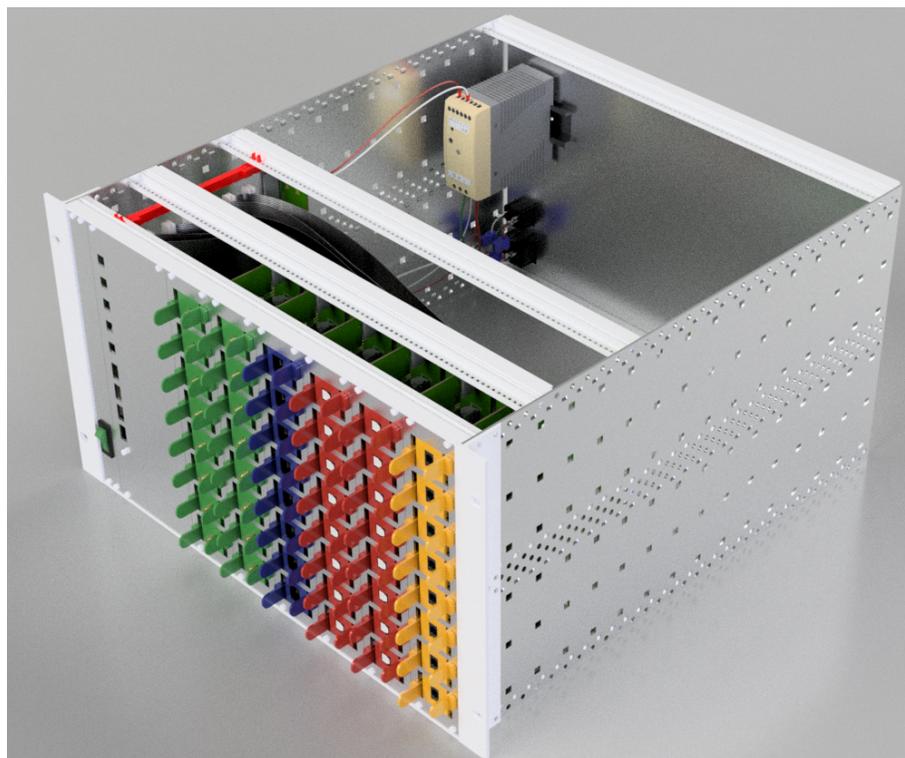
Para finalizar el montaje de la plataforma sólo hace falta el cableado. En la plataforma hay principalmente dos tipos de cableado: Cables flexibles con conectores IDC para conectar los BackPlane a la PlacaMadre y cableado de potencia. En la Fig. 7.11 se pueden ver diferentes vistas de la plataforma mostrando el cableado realizado.

## 7.9. Modelo 3D

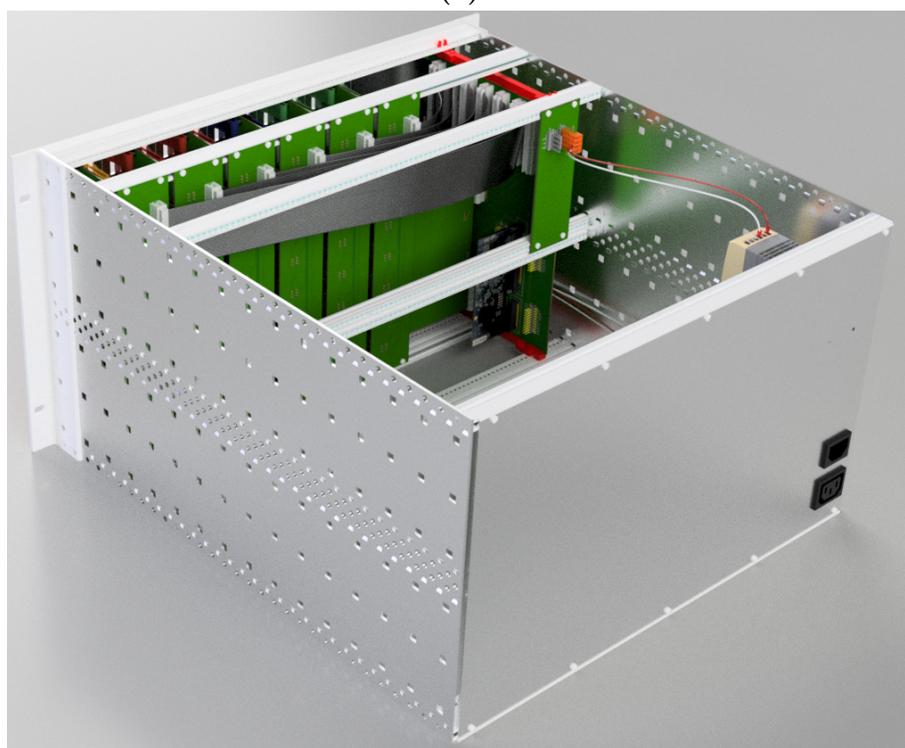
Para finalizar en Fig. 7.12 se pueden ver diferentes imágenes del resultado que se obtuvo.



**Figura 7.11:** Diferentes vistas mostrando el cableado dentro de la plataforma. (a)Vista isométrica frontal. (b)Vista isométrica trasera. (c)Vista lateral.



(a)



(b)

**Figura 7.12:** Diferentes vistas del modelo 3D ensamblado de la plataforma.

# Capítulo 8

## Conclusiones

### 8.1. Sumario

Se realizó un análisis actual de las metodologías más populares que están siendo utilizadas en prototipado rápido de control y cómo estas se pueden implementar en diferentes plataformas. También se analizaron las características de las plataformas de prototipado rápido de control que se pueden encontrar en el mercado.

Se propuso un set de características y requerimientos que hacen que la plataforma se diferencie de lo que se encuentra en el mercado sin que pierda la potencia que entregan las metodologías de prototipado rápido de control.

Se diseñó de manera íntegra la electrónica. Se desarrollaron acondicionadores de señales y se estimó la potencia que podría llegar a consumir la plataforma. Se validó de manera experimental el acondicionador de entradas analógicas. Se seleccionaron todos los componentes electrónicos.

Se ideó cómo se distribuye la plataforma dentro del subrack Europac PRO de 19 pulgadas. Se definieron cuáles iban a ser los mecanismos implementados para la manipulación de la placa como lo son el uso de conectores backplane y Snap Fit. Se

definió la forma en la que se iba a ensamblar todo sobre el subrack y se seleccionaron todos los componentes necesarios.

Se desarrollaron todas las placas de circuitos que componen la plataforma y se obtuvieron sus respectivos modelos 3D. Finalmente, se unieron todos los modelos desarrollados y se ensamblaron en un modelo 3D unificado.

## 8.2. Conclusiones

El diseño de la plataforma de prototipado rápido de control se desarrolló según lo propuesto. Fue posible desarrollar una plataforma con características diferenciadoras que se puede utilizar para acelerar el diseño y desarrollo de sistemas de control.

La plataforma desarrollada es compatible con diferentes metodologías de prototipado rápido de control. Si se desea utilizar con Model-Based Design es posible hacerla trabajar en conjunto con Simulink y diferentes herramientas de generación de código automático para la familia de microcontroladores C2000 de Texas Instruments. Si el objetivo es utilizarla como lo propone CHIL, habría que juntarla con un simulador en tiempo real, y se podrían validar sistemas de control basados en los controladores C2000. Finalmente, si se dispone de la planta, la metodología que se podría preferir podría ser RCP en donde con MBD se podría tener una alta abstracción de la implementación y se podrían diseñar sistemas de control de manera eficaz.

La plataforma desarrollada es totalmente compatible con los estándares eléctricos solicitados. Si bien esta plataforma apunta a validar un convertidor en específico, debido a las características que se le dio a la plataforma es posible hacerla compatible con cualquier dispositivo que se requiera.

Si bien la plataforma se utilizará dentro de un laboratorio de investigación, se alcanzó un punto medio entre plataforma de investigación y material docente. Si se pretende utilizar la plataforma en docencia, las áreas en la que se podría utilizar serían: Diseño

de sistemas de control, acondicionamiento de señales, sistemas embebidos, prototipado rápido de control. Esta última es especialmente importante en la actualidad, ya que la industria y la academia la están adoptando muy rápido en el último tiempo.

### **8.3. Trabajo futuro**

Es necesario manufacturar las placas de circuito y validar el funcionamiento de la plataforma como un todo. Principalmente verificar que el transporte de señales por los cables no afecta de manera significativa. La validación final se podría hacer comparando los resultados de control que se obtienen de esta plataforma con alguna alternativa comercial como podría ser la dSPACE MicroLabBox.

Finalmente, el diseño modular planteado abre la posibilidad de extender las características de la plataforma. Se podría pensar en agregar algún dispositivo de procesamiento extra como puede ser una FPGA. Por otro lado, se podrían extender los diseños electrónicos utilizando amplificadores más potentes o agregar protecciones optoacopladas a las entradas críticas.

## Bibliografía

- [1] Energía para el futuro ESTRATEGIA NACIONAL DE ENERGÍA 2012-2030. Technical report, Ministerio de Energía, 2012. URL <https://mma.gob.cl/wp-content/uploads/2014/10/3{ }Estrategia-Nacional-de-Energia-2012-2030{ }Energia-para-el-Futuro.pdf>.
- [2] Energía 2050 política energética de Chile. Technical report, Ministerio de Energía, 2014. URL <https://energia.gob.cl/sites/default/files/energia{ }2050{ }-{}politica{ }energetica{ }de{}chile.pdf>.
- [3] Don Tan. Emerging System Applications and Technological Trends in Power Electronics: Power electronics is increasingly cutting across traditional boundaries. *IEEE Power Electronics Magazine*, 2(2):38–47, jun 2015. ISSN 23299215. doi: 10.1109/MPPEL.2015.2422051.
- [4] Zhe Zhang, Claus Thorp Hansen, and Michael A.E. Andersen. Teaching Power Electronics with a Design-Oriented, Project-Based Learning Method at the Technical University of Denmark. *IEEE Transactions on Education*, 59(1):32–38, feb 2016. ISSN 00189359. doi: 10.1109/TE.2015.2426674.
- [5] Wenxin Liu, Jang Mok Kim, Cheng Wang, Won Sang Im, Liming Liu, and Hao Xu. Power converters based advanced experimental platform for integrated study of power and controls. *IEEE Transactions on Industrial Informatics*, 14(11): 4940–4952, nov 2018. ISSN 15513203. doi: 10.1109/TII.2018.2830382.
- [6] José Aravena, Dante Carrasco, Matias Diaz, Matias Uriarte, Felix Rojas, Roberto Cardenas, and Juan Carlos Travieso. Design and Implementation of a Low-Cost Real-Time Control Platform for Power Electronics Applications. *Energies*, 13(6):1527, mar 2020. ISSN 1996-1073. doi: 10.3390/en13061527. URL <https://www.mdpi.com/1996-1073/13/6/1527>.
- [7] K. S. Amitkumar, R. Sudharshan Kaarthik, and Pragasen Pillay. A Versatile Power-Hardware-in-the-Loop-Based Emulator for Rapid Testing of Transportation Electric Drives. *IEEE Transactions on Transportation Electrification*, 4(4):901–911, dec 2018. ISSN 23327782. doi: 10.1109/TTE.2018.2857216.

- [8] A. S. Vijay, Suryanarayana Doolla, and Mukul C. Chandorkar. Real-Time Testing Approaches for Microgrids. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 5(3):1356–1376, sep 2017. ISSN 21686785. doi: 10.1109/JESTPE.2017.2695486.
- [9] 4 ways Controller Hardware in the Loop and Model-Based Engineering are Reducing Risk, 2020. URL <https://info.typhoon-hil.com/blog/4-ways-c-hil-and-mbse-are-reducing-risk>.
- [10] Chris S. Edrington, Michael Steurer, James Langston, Touria El-Mezyani, and Karl Schoder. Role of Power Hardware in the Loop in Modeling and Simulation for Experimentation in Power and Energy Systems. *Proceedings of the IEEE*, 103(12):2401–2409, dec 2015. ISSN 15582256. doi: 10.1109/JPROC.2015.2460676.
- [11] ¿Qué es el hardware-in-the-loop? - NI, 2020. URL <https://www.ni.com/es-cl/innovations/white-papers/17/what-is-hardware-in-the-loop-.html>.
- [12] Georg Lauss, Filip Probst, Filip Andren, Fabian Leimgruber, and Thomas I. Strasser. Analyzing standardization needs for CHIL-based testing of power systems and components. In *Proceedings - 2018 IEEE International Conference on Industrial Electronics for Sustainable Energy Systems, IESES 2018*, volume 2018-Janua, pages 523–528. Institute of Electrical and Electronics Engineers Inc., apr 2018. ISBN 9781509049745. doi: 10.1109/IESES.2018.8349932.
- [13] N. Fischer Celanovic, Z. Miletic, I. Morar, R. Bründlinger, O. Gagrica, F. Leimgruber, D. Majstorovic, and G. Lauss. Development of a Controller-Hardware-in-the-Loop (CHIL) Toolbox Applied for Pre-Certification Services for Grid-Connected PV Inverters According to the State-of-the-Art BDEW RL Guideline and FGW TR3 Standard. *33rd European Photovoltaic Solar Energy Conference and Exhibition*, pages 1841–1846, nov 2017. doi: 10.4229/EUPVSEC20172017-5DV.3.45. URL <http://www.eupvsec-proceedings.com/proceedings?paper=43308>.
- [14] M. O. Faruque, T. Strasser, G. Lauss, V. Jalili-Marandi, P. Forsyth, C. Dufour, V. Dinavahi, A. Monti, P. Kotsampopoulos, J. A. Martinez, K. Strunz, M. Saeedifard, X. Wang, D. Shearer, M. Paolone, R. Brandl, M. Matar, A. Davoudi, and R. Iravani. Real-Time Simulation Technologies for Power Systems Design, Testing, and Analysis. *IEEE Power and Energy Technology Systems Journal*, 2:63–73, 2015. ISSN 23327707. doi: 10.1109/JPETS.2015.2427370.
- [15] Amir Valibeygi, Raymond A. De Callafon, Mark Stanovich, Michael Sloderbeck, Karl Schoder, James Langston, Isaac Leonard, Sourindu Chatterjee, and Rick Meeker. Microgrid control using remote controller hardware-in-the-loop over the Internet. In *2018 IEEE Power and Energy Society Innovative Smart Grid*

- Technologies Conference, ISGT 2018*, pages 1–5. Institute of Electrical and Electronics Engineers Inc., jul 2018. ISBN 9781538624531. doi: 10.1109/ISGT.2018.8403345.
- [16] Siddhartha Nigam, Olaoluwapo Ajala, Alejandro D. Domínguez-García, and Peter W. Sauer. Controller hardware in the loop testing of microgrid secondary frequency control schemes. *Electric Power Systems Research*, 190:106757, jan 2021. ISSN 03787796. doi: 10.1016/j.epsr.2020.106757.
- [17] Shashank Kumar Jain, Siri Subrahmanyam Vadlamani, and G. Narayanan. Controller Hardware-in-Loop Simulation of a Multi-Machine System using an Educational Real-time Simulator. In *2018 20th National Power Systems Conference, NPSC 2018*. Institute of Electrical and Electronics Engineers Inc., dec 2018. ISBN 9781538661598. doi: 10.1109/NPSC.2018.8771720.
- [18] A. Galassini, G. Lo Calzo, A. Formentini, C. Gerada, P. Zanchetta, and A. Costabeber. UCube: Control platform for power electronics. In *Proceedings - 2017 IEEE Workshop on Electrical Machines Design, Control and Diagnosis, WEMDCD 2017*, pages 216–221. Institute of Electrical and Electronics Engineers Inc., jun 2017. ISBN 9781509058532. doi: 10.1109/WEMDCD.2017.7947749.
- [19] Joao Martins, Sergiu Spataru, Tamas Kerekes, Dezso Sera, Philip Douglass, Guangya Yang, and Klaus Moth. Test Platform for Rapid Prototyping of Digital Control for Power Electronic Converters. In *IECON Proceedings (Industrial Electronics Conference)*, volume 2019-October, pages 2056–2061. IEEE Computer Society, oct 2019. ISBN 9781728148786. doi: 10.1109/IECON.2019.8927836.
- [20] C Madritsch. Rapid Prototyping using Model-Based Design methodology: A Digital Signal Processing lecture case study. In *The 33rd International Convention MIPRO*, pages 849–851, may 2010.
- [21] Sanghun Choi and Maryam Saeedifard. An educational laboratory for digital control and rapid prototyping of power electronic circuits. *IEEE Transactions on Education*, 55(2):263–270, 2012. ISSN 00189359. doi: 10.1109/TE.2011.2169066.
- [22] Real-Time simulation / Real-Time Solutions / OPAL-RT, 2020. URL <https://www.opal-rt.com/>.
- [23] Electrical Engineering Software | Plexim, 2020. URL <https://www.plexim.com/>.
- [24] Home - dSPACE, 2020. URL <https://www.dspace.com/en/inc/home.cfm>.
- [25] PED-Board | just add power, 2020. URL <http://www.ped-board.com/>.
- [26] Home Page - Typhoon HIL, 2020. URL <https://www.typhoon-hil.com/>.
- [27] Imperix - Rapid Control Prototyping Solutions for Power Electronics, 2020. URL <https://imperix.com/>.

- [28] Anónimo. Systems development life cycle - Wikipedia. URL [https://en.wikipedia.org/wiki/Systems\\_development\\_life\\_cycle](https://en.wikipedia.org/wiki/Systems_development_life_cycle).
- [29] Donald Firesmith. Using V Models for Testing, 2013. URL [https://insights.sei.cmu.edu/sei\\_blog/2013/11/using-v-models-for-testing.html](https://insights.sei.cmu.edu/sei_blog/2013/11/using-v-models-for-testing.html).
- [30] Mouaiad Alras, Paul Caspi, Alain Girault, and Pascal Raymond. Model-based design of embedded control systems by means of a synchronous intermediate model. In *Proceedings - 2009 International Conference on Embedded Software and Systems, ICESS 2009*, pages 3–10, 2009. ISBN 9780769536781. doi: 10.1109/ICISS.2009.36.
- [31] DSPACE. MicroLabBox - dSPACE. URL <https://www.dspace.com/en/inc/home/products/hw/microlabbox.cfm>.
- [32] EuropacPRO kit, flexible design, unshielded, for backplane mounting | Subracks and 19çhassis | nVent SCHROFF, 2020. URL <https://schroff.nvent.com/en/schroff/24563-436>.
- [33] C2000 real-time control MCUs | Overview | TI.com, . URL <http://www.ti.com/microcontrollers/c2000-real-time-control-mcus/overview.html>.
- [34] LAUNCHXL-F28379D C2000 Delfino MCU F28379D LaunchPad™ development kit | TI.com, 2020. URL <http://www.ti.com/tool/LAUNCHXL-F28379D>.
- [35] TMDSCNCD28379D F28379D controlCARD for C2000 Real time control development kits | TI.com, 2020. URL <http://www.ti.com/tool/TMDSCNCD28379D>.
- [36] TI C2000 Support from Embedded Coder - Hardware Support - MATLAB & Simulink, . URL <https://www.mathworks.com/hardware-support/ti-c2000.html>.
- [37] Tim Green, Pete Semig, and Collin Wells. *Analog Engineer's Circuit Cookbook: Op Amps*. Texas Instruments, first edition, 2018.
- [38] AD711 Datasheet and Product Info | Analog Devices, 2020. URL <https://www.analog.com/en/products/ad711.html#product-overview>.
- [39] Renesas Electronics Corporation. ISL21010 Datasheet. Technical report, 2019.
- [40] 2N7002NXAK 60 V, single N-channel Trench MOSFET. Technical report, 2019.
- [41] TMS320F2837xD Dual-Core Microcontrollers 1 Device Overview. Technical report, 2013. URL [www.ti.com](http://www.ti.com).
- [42] Darwin Edwards and Hiep Nguyen. Semiconductor and IC Package Thermal Metrics. Technical report, 2003. URL [www.ti.com](http://www.ti.com).

- [43] TORX1355(F) | Optical Semiconductor Devices | Toshiba Electronic Devices & Storage Corporation | Americas – United States, 2020. URL [https://toshiba.semicon-storage.com/us/semiconductor/product/optoelectronics/detail.TORX1355\(F\).html](https://toshiba.semicon-storage.com/us/semiconductor/product/optoelectronics/detail.TORX1355(F).html).
- [44] Fiber Optic Photo-Link - Everlight Americas Inc., 2020. URL <https://everlightamericas.com/fiber-optic-photo-link/202/eapltaa6.html?search{ }query=EAPLTA6{&}results=1>.
- [45] VME Dimensions | Systems Integration Plus, Inc., 2020. URL <https://www.vme.com/wp/engineers-guide/vme-eurocard/vme-dimensions/>.
- [46] 1101.10-1996 - 1101.10-1996 - IEEE Standard for Additional Mechanical Specifications for Microcomputers Using the IEEE Std 1101.1-1991 Equipment Practice - IEEE Standard, 2020. URL <https://ieeexplore-ieee-org.atalca.idm.oclc.org/document/588320>.
- [47] 1101.1-1991 - 1101.1-1991 - IEEE Standard for Mechanical Core Specifications for Microcomputers Using IEC 603-2 Connectors - IEEE Standard, 2020. URL <https://ieeexplore-ieee-org.atalca.idm.oclc.org/document/211187>.
- [48] Guide rails, for plug-in units and frame type plug-in units | x\_Restructuring\_old\_Sep\_2014 | nVent SCHROFF, 2020. URL <https://schroff.nvent.com/en/schroff/24560-351>.
- [49] Tim Williams. Interfaces and filtering. In *EMC for Product Designers*, pages 387–434. Elsevier, jan 2017. doi: 10.1016/b978-0-08-101016-7.50014-6.

# Apéndice A

## PinMap

A continuación de puede encontrar el mapeo de pines completo.

ID plataforma	ControlCard		LaunchPad	
	Función	Numero de Pin	Función	Numero de Pin
ADCIN14	AnalogIn	25	AnalogIn	23
ADCINC3	AnalogIn	33	AnalogIn	24
ADCINB3	AnalogIn	20	AnalogIn	25
ADCINA3	AnalogIn	17	AnalogIn	26
ADCINC2	AnalogIn	31	AnalogIn	27
ADCINB2	AnalogIn	18	AnalogIn	28
ADCINA2	AnalogIn	15	AnalogIn	29
ADCINA0	AnalogIn, DAC	9	AnalogIn, DAC	30
ADCIN15	AnalogIn	27	AnalogIn	63
ADCINC5	AnalogIn	39	AnalogIn	64
ADCINB5	AnalogIn	26	AnalogIn	65
ADCINA5	AnalogIn	23	AnalogIn	66
ADCINC4	AnalogIn	37	AnalogIn	67
ADCINB4	AnalogIn	24	AnalogIn	68
ADCINA4	AnalogIn	21	AnalogIn	69
ADCINA1	AnalogIn, DAC	11	AnalogIn, DAC	70
ADCIND3	AnalogIn	36	AnalogIn	J21-7
ADCIND2	AnalogIn	34	AnalogIn	J21-5
ADCIND1	AnalogIn	30	AnalogIn	J21-3
ADCIND0	AnalogIn	28	AnalogIn	J21-1
ADCINB1	AnalogIn, DAC	14	No conectado	-
ADCINB0	AnalogIn	12	No conectado	-
ADCIND5	AnalogIn	42	No conectado	-
ADCIND4	AnalogIn	40	No conectado	-

**Tabla A0.1:** Mapeo de pines analógicos.

ID plataforma	ControlCard		LaunchPad	
	Función	Numero de Pin	Función	Numero de Pin
EPWM1A	PWM, GPIO	49	PWM, GPIO	40
EPWM1B	PWM, GPIO	51	PWM, GPIO	39
EPWM2A	PWM, GPIO	53	PWM, GPIO	38
EPWM2B	PWM, GPIO	55	PWM, GPIO	37
EPWM3A	PWM, GPIO	50	PWM, GPIO	36
EPWM3B	PWM, GPIO	52	PWM, GPIO	35
EPWM4A	PWM, GPIO	54	PWM, GPIO	80
EPWM4B	PWM, GPIO	56	PWM, GPIO	79
EPWM5A	PWM, GPIO	57	PWM, GPIO	78
EPWM5B	PWM, GPIO	59	PWM, GPIO	77
EPWM6A	PWM, GPIO	61	PWM, GPIO	76
EPWM6B	PWM, GPIO	63	PWM, GPIO	75
EPWM8A	PWM, GPIO	62	PWM, GPIO	74
EPWM8B	PWM, GPIO	64	PWM, GPIO	73
EPWM9A	PWM, GPIO	67	PWM, GPIO	33
EPWM10A	PWM, GPIO	71	PWM, GPIO	4
EPWM10B	PWM, GPIO	73	PWM, GPIO	3
EPWM12A	PWM, GPIO	72	PWM, GPIO	8
EPWM11A	PWM, GPIO	68	PWM, GPIO	J14-A
EPWM11B	PWM, GPIO	70	PWM, GPIO	J14-B
EPWM12B,GPIO111	PWM, GPIO	74	GPIO	6
EPWM7A, GPIO95	PWM, GPIO	58	GPIO	42
EPWM7B, GPIO97	PWM, GPIO	60	GPIO	45
EPWM9B, GPIO131	PWM, GPIO	69	GPIO	58
GPIO32	GPIO	85	GPIO	2
GPIO67	GPIO	132	GPIO	5
GPIO94	GPIO	163	GPIO	46
GPIO52	GPIO	107	GPIO	48
GPIO24	GPIO	75	GPIO	34
GPIO25	GPIO	77	GPIO	51
GPIO26	GPIO	79	GPIO	53
GPIO27	GPIO	81	GPIO	52

**Tabla A0.2:** Mapeo de pines de entrada y salida digitales.

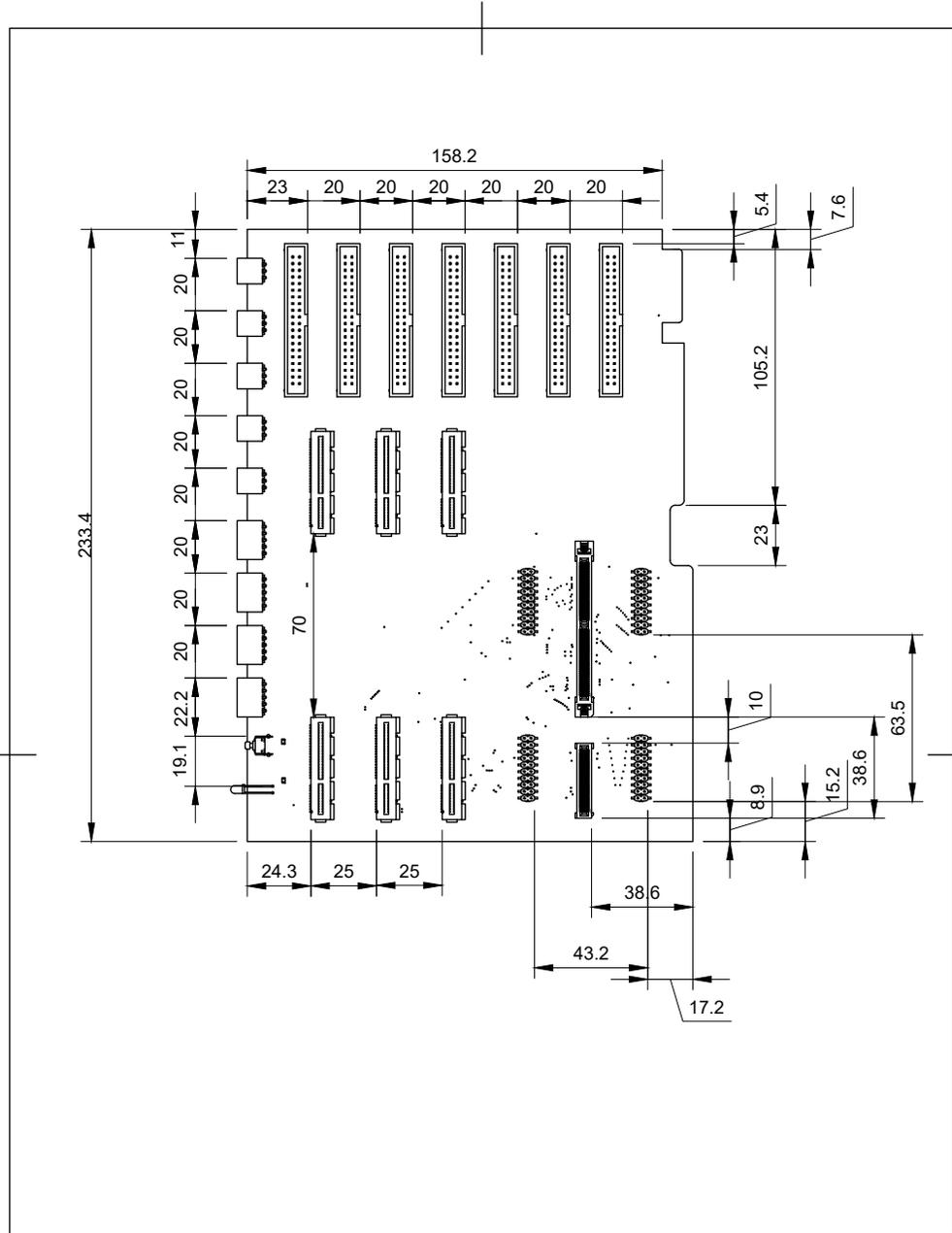
Id Plataforma	ControlCard			LaunchPad		
	Función	Nombre pin	Numero de pin	Función	Nombre pin	Numero de Pin
SPI A MOSI	SPI A MOSI	GPIO58	108	SPI A MOSI	GPIO58	15
SPI A MISO	SPI A MISO	GPIO59	110	SPI A MISO	GPIO59	14
SPI A CLK	SPI A CLK	GPIO60	125	SPI A CLK	GPIO60	7
SPI A ENABLE	SPI A ENABLE	GPIO61	126	SPI A ENABLE	GPIO61	19
SPI B MISO	SPI B MISO	GPIO63	128	SPI B MISO	GPIO63	55
SPI B MOSI	SPI B MOSI, SCI-A receive data	GPIO64	129	SPI B MOSI, SCI-A receive data	GPIO64	54
SPI B CLK	SPI B CLK, SCI-A transmit data	GPIO65	130	SPI B CLK, SCI-A transmit data	GPIO65	47
SPI B ENABLE	SPI B ENABLE	GPIO66	131	SPI B ENABLE	GPIO66	59
SPI C MOSI	SPI C MOSI	GPIO50	103	SPI C MOSI	GPIO122	17
SPI C MISO	SPI C MISO	GPIO51	105	SPI C MISO	GPIO123	18
SPI C CLK	SPI C CLK	GPIO52	107	SPI C CLK	GPIO124	13
SPI C ENABLE	SPI C ENABLE	GPIO53	109	SPI C ENABLE	GPIO125	12
CAN-A Rx	CAN-A receive	GPIO30	80	-	-	-
CAN-A Tx	CAN-A transmit	GPIO31	82	-	-	-
CAN-B Rx	CAN-B receive	GPIO38	124	CAN-B receive	GPIO12	J12-1
CAN-B Tx	CAN-B transmit	GPIO39	88	CAN-B transmit	GPIO17	J12-2
I2C A DATA	I2C A DATA	GPIO32	85	I2C A DATA	GPIO104	30
I2C A CLK	I2C A CLK	GPIO33	87	I2C A CLK	GPIO105	29
I2C B DATA	I2C B DATA	GPIO40	89	I2C B DATA	GPIO40	50
I2C B CLK	I2C B CLK	GPIO41	91	I2C B CLK	GPIO41	49
SCI C Tx	SCI C transmit data	GPIO56	104	SCI C transmit data	GPIO 56	44
SCI C Rx	SCI C receive data	GPIO57	106	SCI C receive data	GPIO139	43
McBSP-B Tx	McBSP-B transmit serial data	GPIO24	75	McBSP-B transmit serial data	GPIO24	34
McBSP-B Rx	McBSP-B receive serial data	GPIO25	77	McBSP-B receive serial data	GPIO25	51
McBSP-B Rx clk	McBSP-B transmit clock	GPIO26	79	McBSP-B transmit clock	GPIO26	52
McBSP-B Synch	McBSP-B transmit frame synch	GPIO27	81	McBSP-B transmit frame synch	GPIO27	53

**Tabla A0.3:** Mapeo de pines de comunicaciones.

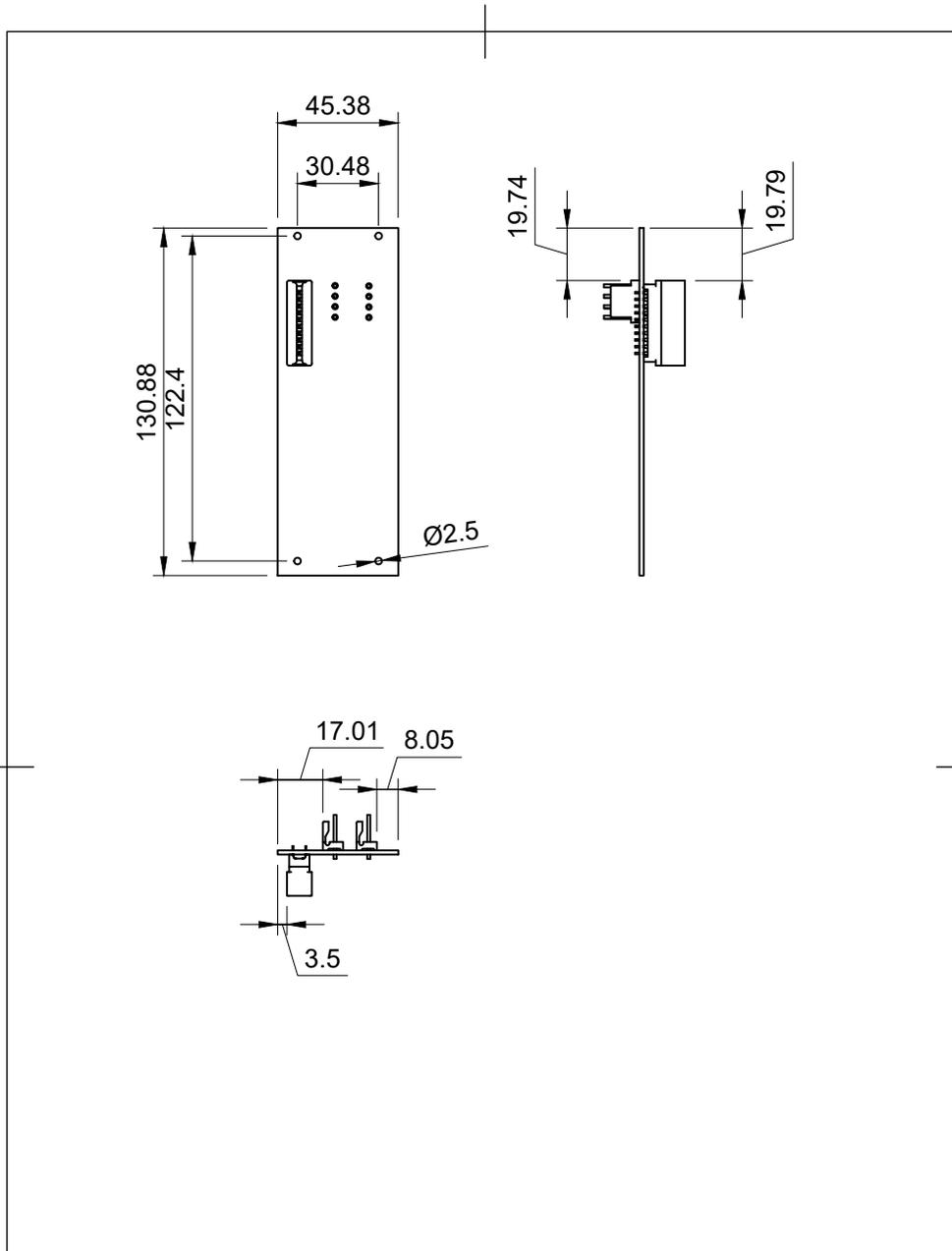
# Apéndice B

## Planimetría

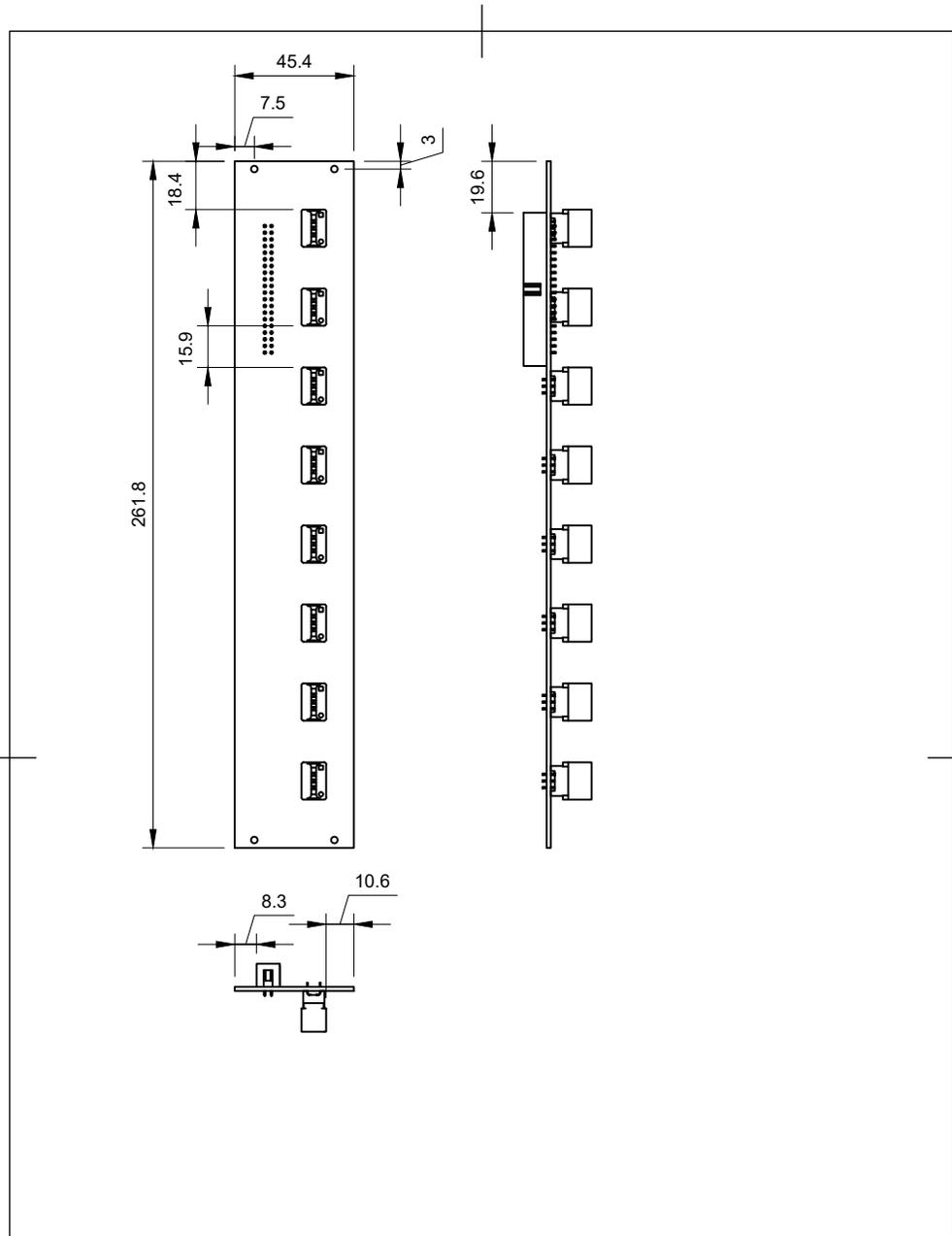
A continuación se puede encontrar la planimetría completa.



Dept.	Technical reference	Created by Victor Hernandez Herrera 12/17/2020	Approved by	
		Document type	Document status	
		Title motherBoard	DWG No.	
		Rev.	Date of issue	Sheet 1/1

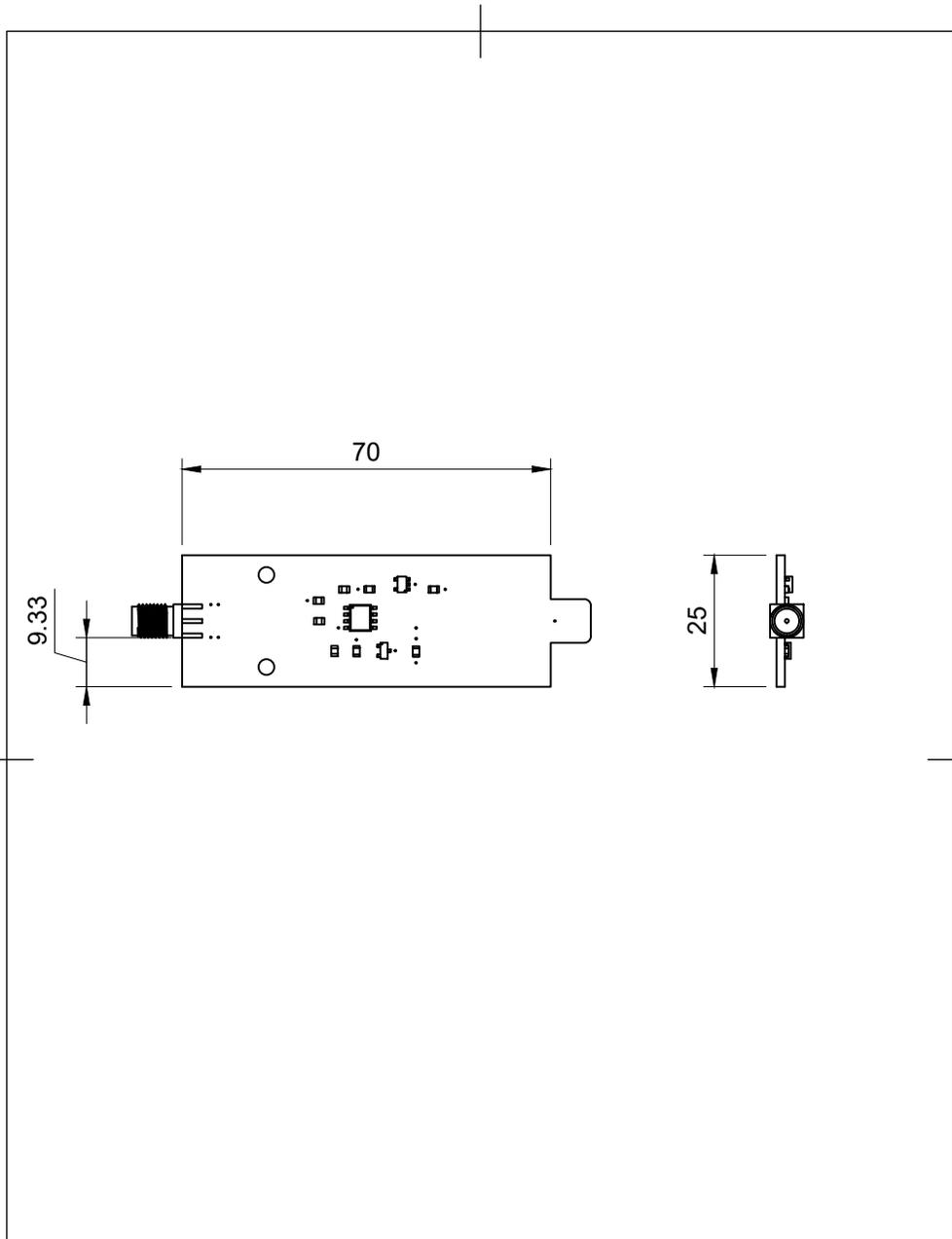


Dept.	Technical reference	Created by Victor Hernandez Herrera 12/18/2020	Approved by	
		Document type	Document status	
		Title <b>MB_BackPlane</b>	DWG No.	
		Rev.	Date of issue	Sheet 1/1

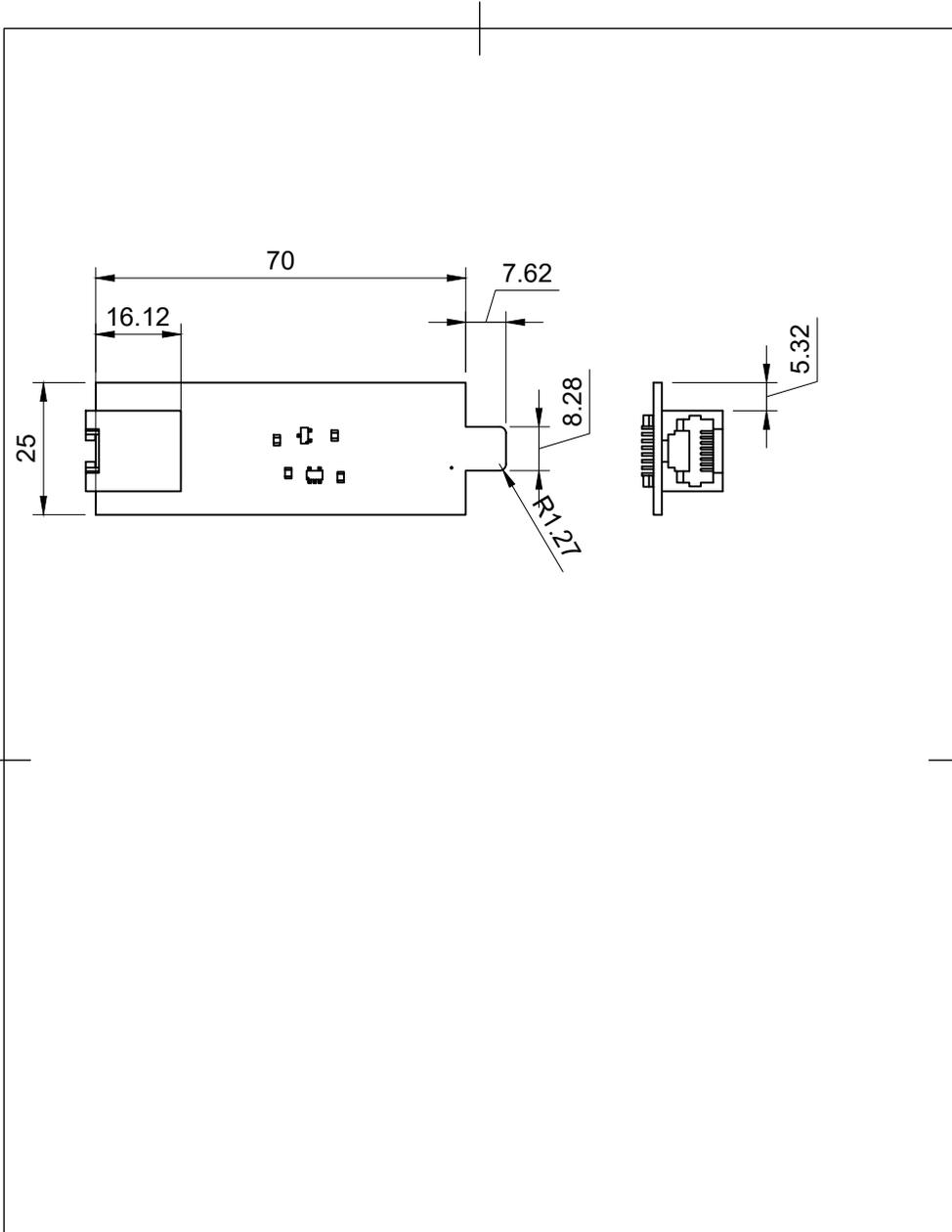


Dept.	Technical reference	Created by Victor Hernandez Herrera 12/18/2020	Approved by	
		Document type	Document status	
		Title CONN_BackPlane	DWG No.	
		Rev.	Date of issue	Sheet 1/1

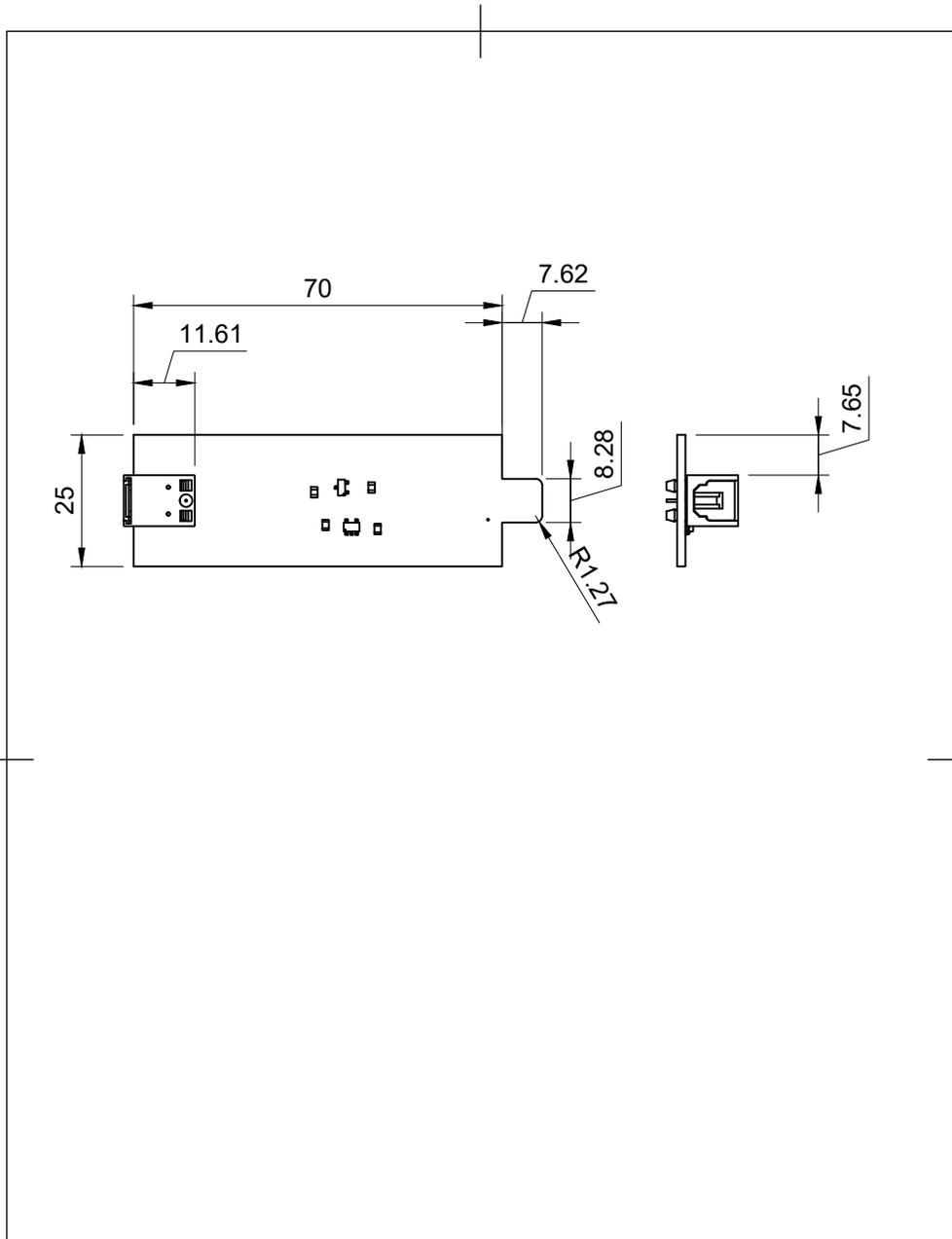




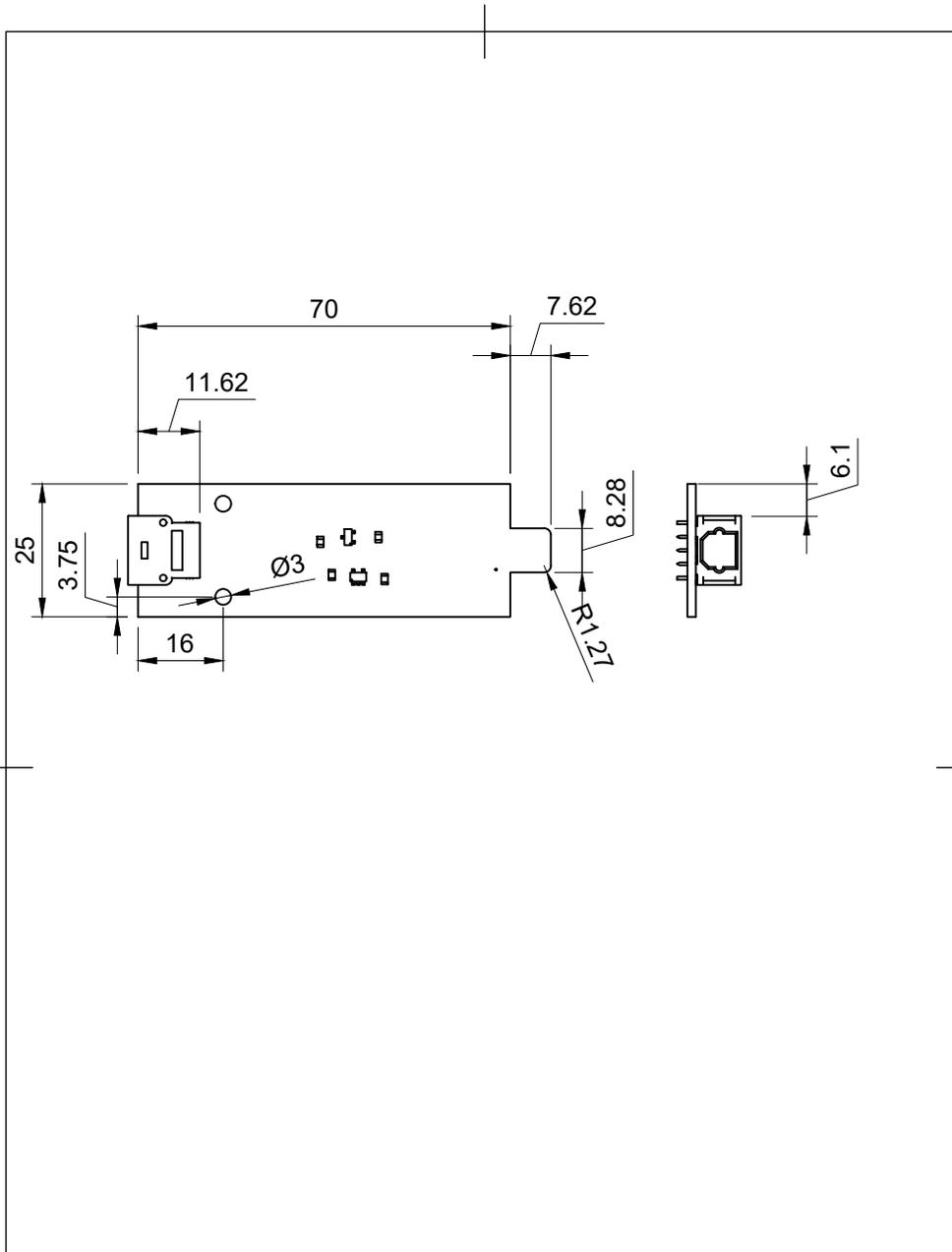
Dept.	Technical reference	Created by Victor Hernandez Herrera 12/18/2020	Approved by	
		Document type	Document status	
		Title analogInputOpt1	DWG No.	
		Rev.	Date of issue	Sheet 1/1



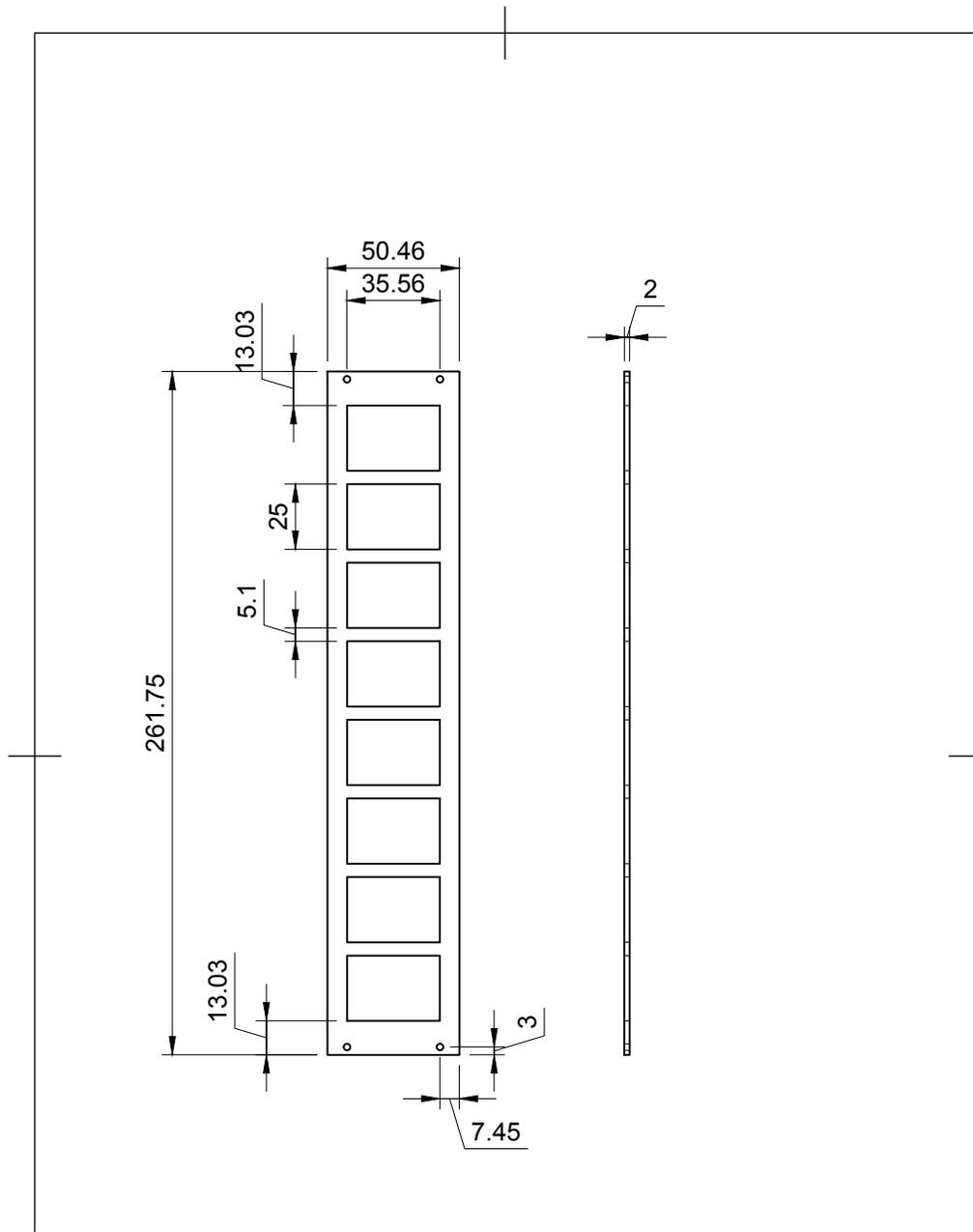
Dept.	Technical reference	Created by Victor Hernandez Herrera 12/18/2020	Approved by	
		Document type	Document status	
		Title digitalOutRJ45	DWG No.	
		Rev.	Date of issue	Sheet 1/1



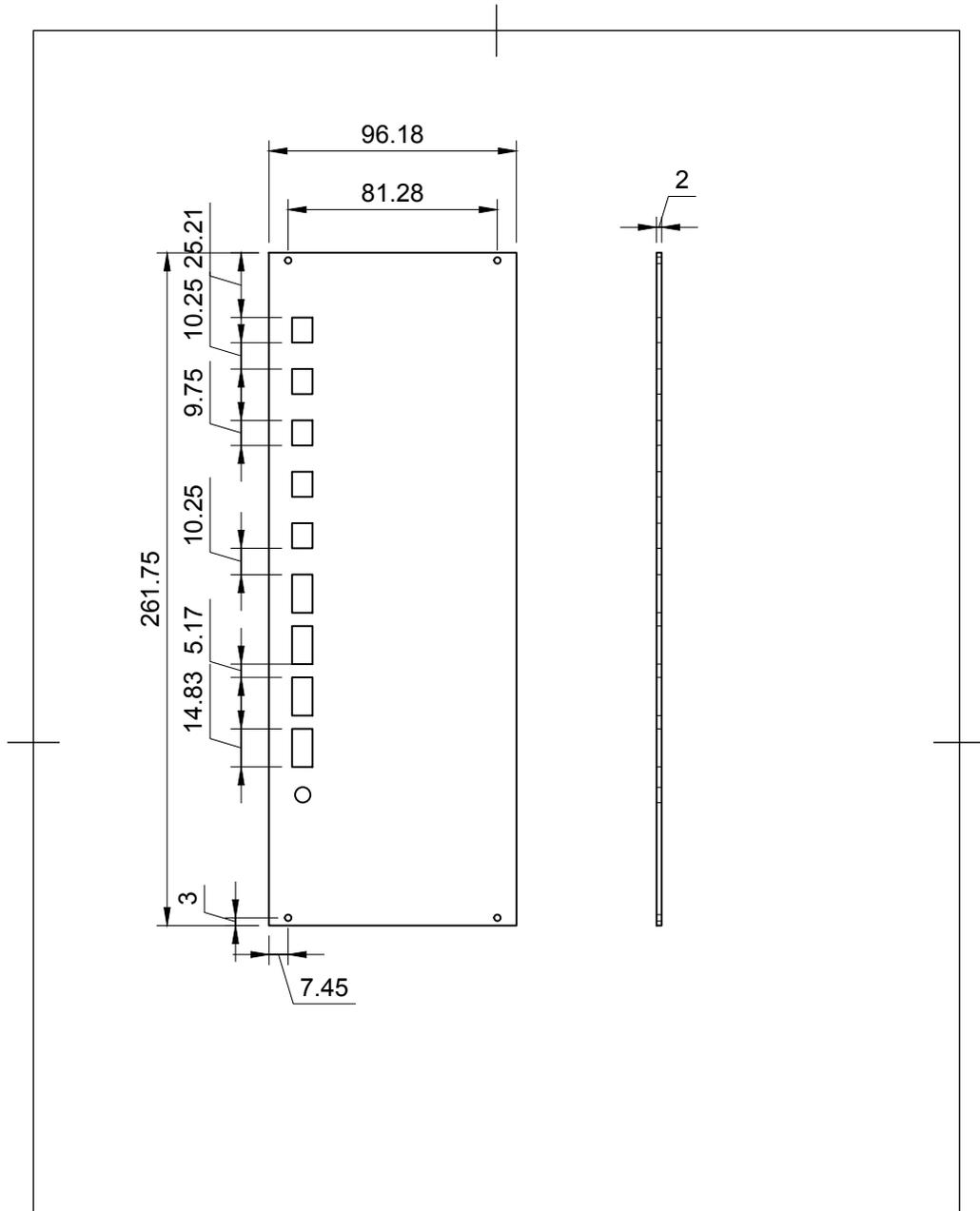
Dept.	Technical reference	Created by Victor Hernandez Herrera 12/18/2020	Approved by	
		Document type	Document status	
		Title digitalOutFinal	DWG No.	
		Rev.	Date of issue	Sheet 1/1



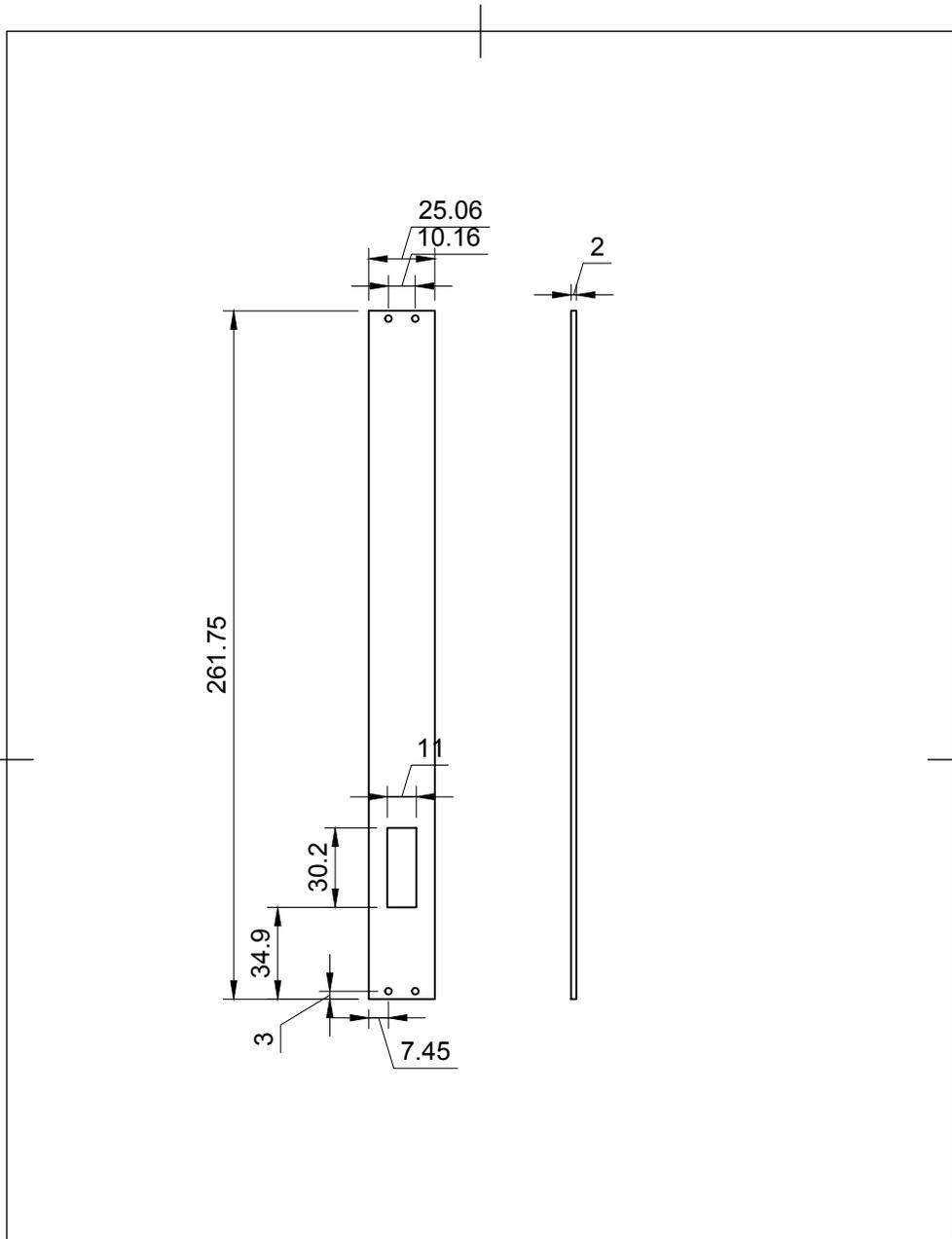
Dept.	Technical reference	Created by Victor Hernandez Herrera 12/18/2020	Approved by	
		Document type	Document status	
		Title <b>digitalInputFinal</b>	DWG No.	
	Rev.	Date of issue	Sheet 1/1	



Dept.	Technical reference	Created by Victor Hernandez Herrera 21-12-2020	Approved by	
		Document type	Document status	
		Title CONN_FrontPanel	DWG No.	
		Rev.	Date of issue	Sheet 1/1



Dept.	Technical reference	Created by Victor Hernandez Herrera 21-12-2020	Approved by	
		Document type	Document status	
		Title <b>MB_FrontPanel</b>	DWG No.	
		Rev.	Date of issue	Sheet 1/1



Dept.	Technical reference	Created by Victor Hernandez Herrera 21-12-2020	Approved by	
		Document type	Document status	
		Title On/off	DWG No.	
		Rev.	Date of issue	Sheet 1/1

